國立臺灣師範大學科技與工程學院電機工程學系

碩士論文

Department of Electrical Engineering

College of Technology and Engineering

National Taiwan Normal University

Master's Thesis

應用於雙電源電路電源間之靜電放電防護設計

ESD Protection Circuit Design for Dual-Power Domains

王宣賀

Hsuan-Ho Wang

指導教授：林群祐 博士

Advisor: Chun-Yu Lin, Ph.D.

中華民國 113 年 1 月

January 2024

Acknowledgement

首先，我要由衷地感謝我的指導教授林群祐，在研究的道路上給予的悉心指導和支持，同時提供了豐富的資源供我們使用，在研究途中遭遇瓶頸時，給予了許多寶貴的意見，使我得以克服困難，順利完成研究課題。同時，我也要向晶炫半導體股份有限公司總經理黃紹璋博士以及國立臺灣大學電機工程學系張子璿教授致以誠摯的謝意，感謝您們撥冗蒞臨指導我的碩士學位考試，提供我許多專業的指導和建議，使我的碩士論文能更加的完善。

感謝我親愛的家人們，父親王承樵先生、母親邱麗君女士與哥哥王千瑞先生，感謝你們不僅支持我的學業選擇，更在經濟上給予了無私的支持，你們時刻的關心與陪伴，給予我巨大的動力和溫暖，使我能夠毫無後顧之憂地完成我的學業，再次衷心感謝你們的付出與陪伴。

感謝研究群同屆的洋守與群榮，在我求學的過程中陪伴左右，平時與我談天說地，增添許多歡樂化解研究生活中不少的壓力，在研究遭遇瓶頸時，你們不吝分享建議，與我一起討論如何克服困境，使我感受到了真摯的友誼和支持。同時也感謝佳佑、柏孝青霖、與皓恩幫忙處理研究群中的大小事務，大家的努力與協作使實驗室得以順利運作。最後，我想特別感謝電機 110 的同學們：弘智、宗勝、暐家、尚德、梓沂、弘勳、廷魁、鼎傑、品蓉與鈞霖，謝謝你們為我的大學與研究所生涯注入了許多樂趣，感謝你們的陪伴讓我的求學中充滿了美好與回憶。

王宣賀　　謹致

國立臺灣師範大學奈米積體電路與系統實驗室

中華民國一一三年一月九日

應用於雙電源電路電源間之靜電放電防護設計

學生：王宣賀　　指導教授：林群祐 博士

國立臺灣師範大學電機工程學系碩士班

摘　　要

本篇論文主要研究應用於雙電源電路電源間之靜電放電防護設計，並將所提出之防護元件實作於 CMOS 製程中。過去積體電路中通常僅需使用單一電源，然而現今積體電路同時整合了更多的電路與功能，有些應用必需隔離混合信號電源間干擾，因此現代積體電路中通常包括至少兩組電源，由於靜電放電 (Electrostatic Discharge, ESD)具有隨機性，任意兩組電源間均可能發生靜電放電事件，需要為每組電源間設計靜電放電防護路徑，因此需要設計多條放電路徑，這將大幅增加 ESD 防護電路的設計難度，同時也將大幅增加所需花費之佈局面積。矽控整流器 (Silicon-Controlled Rectifier, SCR) 因具有單位面積下最高之靜電放電耐受度，常被用於靜電放電防護元件，然而 SCR 之高觸發電壓和低保持電壓特性可能在應用於靜電放電防護設計時產生問題，過去有許多降低觸發電壓之設計被提出，但大部分的設計會違反製程規則並不利於積體電路之製作。

本篇提出之新型 MOS 觸發 SCR (MT_SCR)，透過將 MOS 嵌入至 SCR 內且使用金屬連接 N-Well 與 P-Well 可以有效降低觸發電壓同時不會違反製程規則。提出之高保持電壓 POLY MOS 觸發 SCR (HHVPO_MT_SCR) 可以有效提升 MT_SCR 之保持電壓，防止防護元件閂鎖產生漏電干擾內部電路之正常工作。提出之 MOS 觸發雙電源 SCR (MT_DP_SCR) 通過共用 MT_SCR 部分放電路徑使

單一放電元件即可提供雙電源電路電源間所需之十二條靜電放電防護路徑，透過區分 MT_SCR 內部觸發元件為 NMOS 或 PMOS，MT_DP_SCR 可以分為 NMT_DP_SCR 與 PMT_DP_SCR 兩種類型防護元件。透過量測結果可以得知提出之 NMT_DP_SCR 設計與傳統設計相比單位面積下 ESD 防護能力提升了至少 48%，證明相較於傳統設計提出之防護元件應用於雙電源電路電源間之靜電放電防護時具有單位面積下更好的靜電放電防護能力。最後，為了驗證提出之設計是否能確實保護內部電路免於 ESD 之破壞，本篇論文將位準偏移器用於被保護之內部電路，以驗證提出之 MT_DP_SCR 是否確實具有靜電放電防護能力，透過量測結果可知，提出之 NMT_DP_SCR 寬度為 50μm 之元件應用於被保護位準偏移器後可以使晶片具有 4750V 人體模型靜電放電之防護能力，證明提出之設計可以保護雙電源電路免於靜電放電的破壞。

關鍵字：靜電放電、電源箝制靜電放電防護電路、雙電源介面、矽控整流器。

ESD Protection Circuit Design for Dual-Power Domains

Student: Xsuan-Ho Wang Advisor: Chun-Yu Lin, Ph.D.

Department of Electrical Engineering

National Taiwan Normal University

ABSTRACT

This paper primarily investigates the electrostatic discharge (ESD) protection design applied to the dual-power-domains power rail and implements the proposed protection device in a CMOS process. In the past, integrated circuits typically required only a single power source. However, contemporary integrated circuits integrate more circuits and functionalities, and some applications necessitate the isolation of mixed-signal power sources to mitigate noise. Therefore, nowadays integrated circuits generally incorporate at least two power sources. Due to the stochastic nature of ESD, ESD events can occur between any two power sources. Consequently, it is necessary to design ESD discharge paths for each power source. This significantly increases the difficulty of designing ESD protection circuits and also significantly increases the required layout area. Silicon-controlled rectifier (SCR) is commonly used as an ESD protection device due to its high ESD capability per unit area. However, the low holding voltage and high trigger voltage characteristics of SCR may be problems when applied to ESD protection design. In the past, many designs to reduce trigger voltage have been proposed, but most of them violate foundries' design rules and are not conducive to integrated circuit production.

This paper proposes a novel MOS-triggered SCR (MT_SCR) that effectively reduces the trigger voltage by embedding MOS within the SCR and using a metal connection between the N-Well and P-Well, without violating the foundries' design rules. The proposed high holding voltage poly MOS triggered SCR (HHVPO_MT_SCR) effectively increases the holding voltage of MT_SCR and prevents the protection device from latch up, which affects the normal operation of the internal circuit. The proposed MOS triggered dual-power SCR (MT_DP_SCR) enables a single protection device to provide the twelve ESD discharge paths required between the dual-power sources by sharing part of the discharge path of MT_SCR. By differentiating the internal trigger device of MT_SCR as NMOS or PMOS, MT_DP_SCR can be divided into two types of protection devices: NMT_DP_SCR and PMT_DP_SCR. Measurement results demonstrate that the proposed NMT_DP_SCR design provides at least a 48% improvement in ESD protection capability per unit area compared to traditional designs. Proving that the proposed protection device has a better electrostatic discharge protection capability per unit area when applied to dual-power-domains power-rail ESD protection compared to traditional designs. Finally, to verify whether the proposed design can protect the internal circuit from ESD damage, a level shifter is used as the protected internal circuit to confirm whether the MT_DP_SCR indeed possesses ESD protection capability. Based on the measurement results, the proposed NMT_DP_SCR, with a width of 50μm, when used to protect the level shifter, enables the integrated circuit to withstand 4750V human body model ESD event. This proves that the proposed design can protect the dual-power-domains power rail from ESD damage.

Keywords: Electrostatic Discharge, Power-Rail ESD Clamp Circuit, Dual-Power Domains, Silicon-Controlled Rectifier.