



(12) 发明专利

(10) 授权公告号 CN 101221943 B

(45) 授权公告日 2015. 05. 13

(21) 申请号 200810003207. 9

(56) 对比文件

(22) 申请日 2006. 11. 02

US 5012317 A, 1991. 04. 30, 说明书第 2 栏第 19 行至第 4 栏第 51 行, 附图 1-2.

(62) 分案原申请数据

200610143680. 8 2006. 11. 02

审查员 于晓芳

(73) 专利权人 友达光电股份有限公司

地址 中国台湾新竹科学工业园区新竹市力行二路一号

(72) 发明人 柯明道 邓至刚 孙文堂

(74) 专利代理机构 上海专利商标事务所有限公
司 31100

代理人 郭蔚

(51) Int. Cl.

H01L 23/60(2006. 01)

H01L 27/12(2006. 01)

H01L 21/02(2006. 01)

H01L 21/84(2006. 01)

G02F 1/1362(2006. 01)

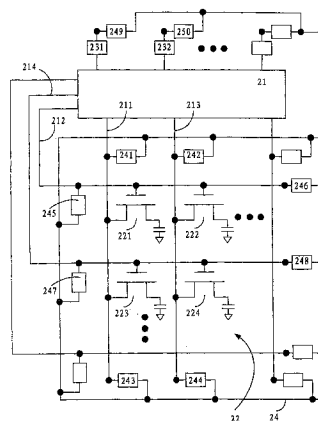
权利要求书2页 说明书5页 附图6页

(54) 发明名称

静电放电防护架构、元件及元件的制作方法

(57) 摘要

本发明揭示一静电放电防护元件, 一静电放电防护架构, 以及一种静电放电防护元件的制作方法。静电放电防护元件包含至少四个离子掺杂区, 其中相邻的两个掺杂区类型不同。静电放电防护架构包含一静电放电汇流排; 多个第一静电放电防护元件, 连接一显示器的薄膜晶体管的栅极与该静电放电汇流排; 多个第二静电放电防护元件, 连接这些薄膜晶体管的源/漏极与该静电放电汇流排; 以及多个第三静电放电防护元件, 连接显示器之一驱动电路的多个输入输出端与该静电放电汇流排。



1. 一种静电放电防护元件, 包含两个反方向导通的薄膜硅控整流器, 用以在包含一薄膜像素阵列的液晶显示器中提供静电防护, 所述薄膜硅控整流器进一步包含:

- 一玻璃基板 (glass substrate);
- 一半导体基板, 形成于该玻璃基板上;
- 一第一离子掺杂区;
- 一第二离子掺杂区;
- 一第三离子掺杂区; 一第四离子掺杂区; 以及
- 一第五离子掺杂区;

其中该第一、第二、第三第四与第五离子掺杂区以串联形式形成于该半导体基板中, 该第一、第二、第三与第四离子掺杂区分别为P型离子掺杂、N型离子掺杂与本质 (intrinsic) 区域其中之一, 且相邻的两个掺杂区类型不同, 该第五离子掺杂区与该第四离子掺杂区是N型离子掺杂类型, 离子掺杂浓度不同。

2. 根据权利要求1所述的静电放电防护元件, 其特征在于, 更包含:

一栅极; 以及

一绝缘层, 形成于该栅极与这些第一、第二、第三与第四离子掺杂区之间, 用以绝缘该栅极与这些第一、第二、第三与第四离子掺杂区;

其中该栅极位于这些第一、第二、第三与第四离子掺杂区至少其中之一的上方。

3. 根据权利要求2所述的静电放电防护元件, 其特征在于, 该栅极是一金属栅极。

4. 根据权利要求1所述的静电放电防护元件, 其特征在于, 该半导体基板是非晶硅层或低温多晶硅层。

5. 一种静电放电防护元件, 包含两个反方向导通的薄膜硅控整流器, 用以在包含一薄膜像素阵列的液晶显示器中提供静电防护, 所述薄膜硅控整流器进一步包含:

- 一玻璃基板 (glass substrate);
- 一半导体基板, 形成于该玻璃基板上;
- 一第一离子掺杂区;
- 一第二离子掺杂区;
- 一第三离子掺杂区;
- 一第四离子掺杂区; 以及
- 一第五离子掺杂区;

其中该第一、第二、第三第四与第五离子掺杂区以串联形式形成于该半导体基板中, 该第一、第二、第三分别为P型离子掺杂、N型离子掺杂与本质 (intrinsic) 区域其中之一, 且相邻的两个掺杂区类型不同, 该第五离子掺杂区为N型离子掺杂, 该第四离子掺杂区为本质掺杂。

6. 根据权利要求5所述的静电放电防护元件, 其特征在于, 更包含:

一栅极; 以及

一绝缘层, 形成于该栅极与这些第一、第二、第三与第四离子掺杂区之间, 用以绝缘该栅极与这些第一、第二、第三与第四离子掺杂区;

其中该栅极位于这些第一、第二、第三与第四离子掺杂区至少其中之一的上方。

7. 根据权利要求6所述的静电放电防护元件, 其特征在于, 该栅极是一金属栅极。

8. 根据权利要求 5 所述的静电放电防护元件,其特征在于,该半导体基板是非晶硅层或低温多晶硅层。

静电放电防护架构、元件及元件的制作方法

[0001] 本申请是 2006 年 11 月 2 日提交的题为“静电放电防护架构、元件及元件的制作方法”的第 200610143680.8 号中国专利申请的分案申请。

【技术领域】

[0002] 本发明是关于一种静电放电防护架构与元件。更详细地说,是关于一种用以在液晶显示器中,能提供静电防护的静电放电防护的架构与元件。

【背景技术】

[0003] 静电放电 (electrostatic discharge) 现象会将静电能量释放到一电子电路中,造成电路中突然出现的短时间高电压以及高电流。这些高电压及高电流可能造成电子电路的损坏,包含对内部电路的破坏,以及造成内部导线损毁等等。因此在多个内部电路和像素阵列之间提供静电放电保护,即成为一个需要解决的问题。

[0004] 静电放电现象发生时,因其高电压以及高电流,会在短时间内产生大量的热。在液晶显示器中,由于基板为玻璃材质,导热系数低,因此静电放电现象所造成的热,无法在短时间内通过基板有效地传导。因此,若静电放电的电流无法在短时间内经由低电阻路径释放能量,则经由高电阻路径放电,因在此高电阻路径产生的电压降很大,短时间内产生过多的热量却无法有效地散逸会导致显示器上的元件损坏。

[0005] 为解决液晶显示器的静电放电现象造成的问题,习知的方式是在液晶显示器的像素阵列的导线之间设置静电放电防护元件。液晶显示器系由许多像素元件以阵列方式排列构成,其中每一个像素元件由一个晶体管控制液晶偏转大小,使背光光源通过时以呈现画面不同的明暗亮度,现今较常使用的控制晶体管为薄膜晶体管,可以直接形成在液晶显示器的玻璃基板上。因此,薄膜像素阵列伴随着像素元件阵列共同形成。薄膜像素阵列系受控于栅极汇流排以及数据汇流排,栅极汇流排包含多条导线,每一条导线连接多个薄膜晶体管的栅极,同理,数据汇流排连接到薄膜晶体管的源/漏极。而静电放电防护元件则设置在每一条导线上,如图 1 所示。图 1 绘示已知的静电放电防护架构示意图,其中数据汇流排 11 连接到薄膜晶体管的源/漏极,以写入数据,而栅极汇流排 12 则连接到薄膜晶体管的栅极,以控制薄膜晶体管的开启 (turn-on) 与关闭 (turn-off)。图 1 仅绘示薄膜像素阵列中的部分薄膜晶体管。在此架构中,数据汇流排 11 与栅极汇流排 12 的每一条导线皆通过静电放电防护元件 101 连接到一静电放电防护汇流排 13,值得注意的是,每一条导线连接到像素阵列的首端与尾端,皆通过静电放电防护元件 101 连接到静电放电防护汇流排。

[0006] 已知静电放电防护架构至少仍具有一些难以克服的缺点。随着技术发展,现今已有显示器整合驱动电路与薄膜晶体管,意即驱动电路与薄膜晶体管在同一块基板上形成;当驱动电路与薄膜晶体管整合时,习知架构无法对驱动电路提供静电放电防护,因此静电放电能量会对显示器上的驱动电路造成伤害。

[0007] 另外,设计静电放电防护元件的导通电压 (turn-on voltage) 不够高时,在显示器点亮面板正常工作时,施加在薄膜晶体管上的工作电压,会造成与薄膜晶体管连接的静电

放电防护元件产生漏电流。由于习知静电放电防护架构系在薄膜像素阵列四周放置大量的静电放电防护元件,因此漏电流将会影响显示器的正常操作。当设计静电放电防护元件的导通电压过高,会造成显示器在遭受静电放电时,静电放电电流经由高电阻路径放电,无法有效地释放能量,造成显示器上元件的损坏。

[0008] 由上述描述可知,现今依然欠缺能够提供整合驱动电路与薄膜晶体管的液晶显示器良好防护的静电放电防护架构,同时又能避免静电放电防护元件的漏电流影响显示器的正常操作。因此,如何提供具有低漏电流静电放电防护元件的整合式静电放电防护架构,仍为值得研究的问题。

【发明内容】

[0009] 本发明的一目的为提供一种静电放电防护架构,用以在包含一薄膜像素阵列与一驱动电路的一液晶显示器中提供静电防护。该静电放电防护架构包含一静电放电汇流排,多个第一静电放电防护元件,多个第二静电放电防护元件,以及多个第三静电放电防护元件。这些第一静电放电防护元件连接这些薄膜晶体管的栅极与该静电放电汇流排。这些第二静电放电防护元件连接这些薄膜晶体管的源/漏极与该静电放电汇流排。这些第三静电放电防护元件连接该驱动电路的多个输入输出端与该静电放电汇流排。该薄膜像素阵列包含多个栅极导线以连接这些薄膜晶体管的栅极,以及多个数据导线以连接这些薄膜晶体管的源/漏极,该驱动电路连结这些栅极导线与这些数据导线。

[0010] 本发明的另一目的为提供一种静电放电防护元件,用以在包含一薄膜像素阵列的液晶显示器中提供静电防护。该静电放电防护元件包含一玻璃基板 (glass substrate)、一半导体基板,形成于该玻璃基板上、一第一离子掺杂区、一第二离子掺杂区、一第三离子掺杂区、以及一第四离子掺杂区。该第一、第二、第三与第四离子掺杂区以串联形式形成于该半导体基板中,该第一、第二、第三与第四离子掺杂区分别可为 P 型离子掺杂、N 型离子掺杂与本质 (intrinsic) 区域其中之一,且相邻的两个掺杂区类型不同。

[0011] 本发明的另一目的为提供一种静电放电防护元件制作方法,该静电放电防护元件用以在包含薄膜晶体管的液晶显示器中提供静电防护,该制作方法包含下列步骤:形成一半导体基板于一玻璃基板上;定义第一、第二、第三与第四离子掺杂区于该半导体层之中;以及分别掺杂这些第一、第二、第三与第四离子掺杂区为 P 型离子掺杂、N 型离子掺杂与本质区域其中之一。这些第一、第二、第三与第四离子掺杂区与相邻的掺杂区具有不同掺杂。

[0012] 本发明具有提供整合驱动电路与薄膜晶体管的液晶显示器良好防护的静电放电防护架构,同时又能避免静电放电防护元件的漏电流影响显示器的正常操作的优点。

[0013] 在参阅图式及随后描述的实施方式后,该技术领域具有通常知识者便可了解本发明的其他目的,以及本发明的技术手段及实施态样。

【附图说明】

[0014] 图 1 是习知的静电放电防护架构示意图;

[0015] 图 2 是本发明的第一实施例;

[0016] 图 3 是本发明的第二实施例;

[0017] 图 4(a) 至图 4(e) 是薄膜硅控整流器的掺杂区示意图;

[0018] 图 5(a) 至图 5(d) 是薄膜硅控整流器的等效架构示意图 ; 以及

[0019] 图 6 是本发明的第三实施例。

【具体实施方式】

[0020] 图 2 绘示本发明的第一实施例, 在整合的驱动电路 21 以及像素阵列 22 之间, 提供一静电放电防护架构。该驱动电路的输出端分别连接到像素阵列 22 中, 每一个薄膜晶体管的栅极以及源 / 漏极。在图 2 中仅绘示部分像素阵列 22 与驱动电路 21 的连接示意图。数据线 211 连接到像素阵列中, 排列为一直行的多个薄膜晶体管的源 / 漏极, 在图 2 中仅绘示连接到数据线 211 的部分薄膜晶体管 221 以及薄膜晶体管 223。同理, 薄膜晶体管 222 及 224 的源 / 漏极连接到数据线 213。薄膜晶体管 221 及薄膜晶体管 222 的栅极连接到栅极线 212。薄膜晶体管 223 及薄膜晶体管 224 的栅极连接到栅极线 214。这些数据线及栅极线, 皆为驱动电路 21 的输出。同时驱动电路 21 具有多个输入 / 输出端, 在图 2 中仅绘示部分输入 / 输出端, 例如输入 / 输出端 231 及 232。

[0021] 第一实施例的静电放电防护架构, 系在所有数据线、栅极线、以及输入 / 输出端配置静电放电防护元件, 例如与数据线 211 相连的静电放电防护元件 241 与 243、与数据线 213 相连的静电放电防护元件 242 与 244、与栅极线 212 相连的静电放电防护元件 245 与 246、与栅极线 214 相连的静电放电防护元件 247 与 248、与输入 / 输出端 231 相连的静电放电防护元件 249、以及与输入 / 输出端 232 相连的静电放电防护元件 250。这些静电放电防护元件皆连接至一静电放电防护汇流排 24。

[0022] 通过共同连接到静电放电防护汇流排 24, 整合驱动电路 21 以及像素阵列 22 的显示器, 即可对驱动电路和像素阵列元件产生静电放电防护, 因此静电放电能量不会对显示器上的驱动电路和像素阵列元件造成伤害。静电放电防护架构所适用的静电放电防护元件, 可为例如薄膜二极管、薄膜晶体管、耦合薄膜晶体管 (coupling TFT) 与薄膜硅控整流体 (TF-SCR) 其中之一。

[0023] 图 3 绘示本发明的第二实施例, 利用薄膜硅控整流器 3 作为液晶显示器中, 静电放电防护架构的静电放电防护元件的基础结构。因为薄膜硅控整流器 3 的骤回触发电压 (snap-back trigger voltage) 可以设计为绝对大于液晶显示器的正常工作电压, 因此, 液晶显示器施加在薄膜晶体管上的工作电压不会触发系控整流器 3 产生骤回效应, 而可避免漏电流产生而干扰液晶显示器的运作。

[0024] 当静电放电现象发生时, 其高电压会大于薄膜硅控整流器 3 的骤回触发电压, 而使薄膜硅控整流器 3 发生骤回崩溃 (snap-back breakdown), 将放电电压下拉至薄膜硅控整流器 3 的导通电压, 而进入低电阻区操作, 在相同的静电放电能量冲击下, 而可承受更大的静电放电电流, 藉此将静电放电现象所产生的高电流导引离开液晶显示器, 而达到保护目的。

[0025] 图 3 的薄膜硅控整流器 3 包含了 P+ 掺杂区 31、N- 掺杂区 32、P+ 掺杂区 33、N- 掺杂区 34、以及 N+ 掺杂区 35, 掺杂区共同形成于玻璃基板 (glass substrate) 36 上, 而掺杂区系形成于一半导体基板 (substrate) 之中, 半导体基板可为非晶硅层或低温多晶硅层。一个静电放电防护元件包含两个反方向导通的薄膜硅控整流器 3, 由于静电放电可能在静电放电防护元件的任一端发生, 因此两个反方向导通的薄膜硅控整流器 3 可以提供双向的静

电放电路径。

[0026] 薄膜硅控整流器可有许多等效架构,其需至少具备四个串联型式的离子掺杂区,离子掺杂区分别可为P型离子掺杂、N型离子掺杂与本质(intrinsic)区域其中之一,且相邻的两个掺杂区类型不同。图4(a)至图4(e)例示薄膜硅控整流器的掺杂区的等效架构示意图,这些等效架构皆形成于玻璃基板上。其中图4(a)包含P+掺杂区411、N-掺杂区412、P-掺杂区413及N+掺杂区414;图4(b)包含P+掺杂区421、N-掺杂区422、本质掺杂区423及N+掺杂区424;图4(c)包含P+掺杂区431、本质掺杂区432、P-掺杂区433及N+掺杂区434;图4(d)包含P+掺杂区441、N-掺杂区442、本质掺杂区443、N-掺杂区444及N+掺杂区445;图4(e)包含P+掺杂区451、本质掺杂区452、P+掺杂区453、本质掺杂区454及N+掺杂区455。

[0027] 特别说明的是,图4(a)至图4(e)仅为例示,熟于此项技艺的人士可在参阅前述揭露后,理解并据以实施其他薄膜硅控整流器的等效架构,在此不再赘述。

[0028] 图5(a)至图5(d)例示形成隔离层与金属栅极的薄膜硅控整流器的等效架构示意图。其中隔离层的作用在隔绝栅极与掺杂区。图5(a)包含P+掺杂区511、N-掺杂区512、P-掺杂区513、N+掺杂区514、隔离层516及金属栅极517,对于硅控整流器来说,金属栅极所在的区域为P-掺杂区513上方,定义完金属栅极后即可对于整个非晶硅层进行N-载子掺杂,此时P-掺杂区513被栅极金属挡住不受N-载子掺杂影响,因此可以节省N-掺杂区512的光罩。同理,图5(b)包含P+掺杂区521、N-掺杂区522、本质掺杂区523、N-掺杂区524、N+掺杂区525、隔离层526及金属栅极527,其中金属栅极527形成于本质掺杂区523上方,可以节省N-掺杂区522及524的光罩。

[0029] 相同的结构可应用于节省P-掺杂区的光罩,图5(c)包含P+掺杂区531、本质掺杂区532、P-掺杂区533、N+掺杂区534、隔离层536及金属栅极537,对于硅控整流器来说,金属栅极所在的区域为本质掺杂区532上方,定义完金属栅极后即可对于整个非晶硅层进行P-载子掺杂,此时本质掺杂区532被栅极金属挡住不受P-载子掺杂影响,因此可以节省P-掺杂区533的光罩。图5(d)包含P+掺杂区541、本质掺杂区542、P-掺杂区543、本质掺杂区544、N+掺杂区545、隔离层546及金属栅极547、548,其中金属栅极547及548分别形成于本质掺杂区542及544上方,可以节省P-掺杂区543的光罩。

[0030] 图6为本发明的第三实施例,是形成静电放电防护元件的制作方法。在步骤601中,一半导体基板形成于一玻璃基板上。接着执行步骤602,定义至少四个离子掺杂区于半导体层之中,掺杂区与相邻的掺杂区定义为具有不同掺杂。接着执行步骤603,掺杂P+离子于定义为P+的区域。执行步骤604,掺杂N+离子于定义为N+的区域。执行步骤605,掺杂N-离子于定义为N-的区域。执行步骤606,形成绝缘层包覆所有掺杂区。执行步骤607,在N-区域或本质掺杂区上方形成栅极。执行步骤608,全面性进行P-离子掺杂。

[0031] 其中,步骤605中的N-离子可替换为P-离子,相对应地,步骤607的N-区域替换为P-区域,且步骤608的P-离子替换为N-离子。上述步骤的次序仅为例示说明,并非用以限制本发明,例如,步骤604可先于步骤603执行。

[0032] 由上述可知,本发明具有提供整合驱动电路与薄膜晶体管的液晶显示器良好防护的静电放电防护架构,同时又能避免静电放电防护元件的漏电流影响显示器的正常操作的优点。

[0033] 惟上述实施例仅为例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟于此项技艺的人士均可在不违背本发明的技术原理及精神的情况下,对上述实施例进行修改及变化。因此本发明的权利保护范围应如后述的专利申请范围所列。

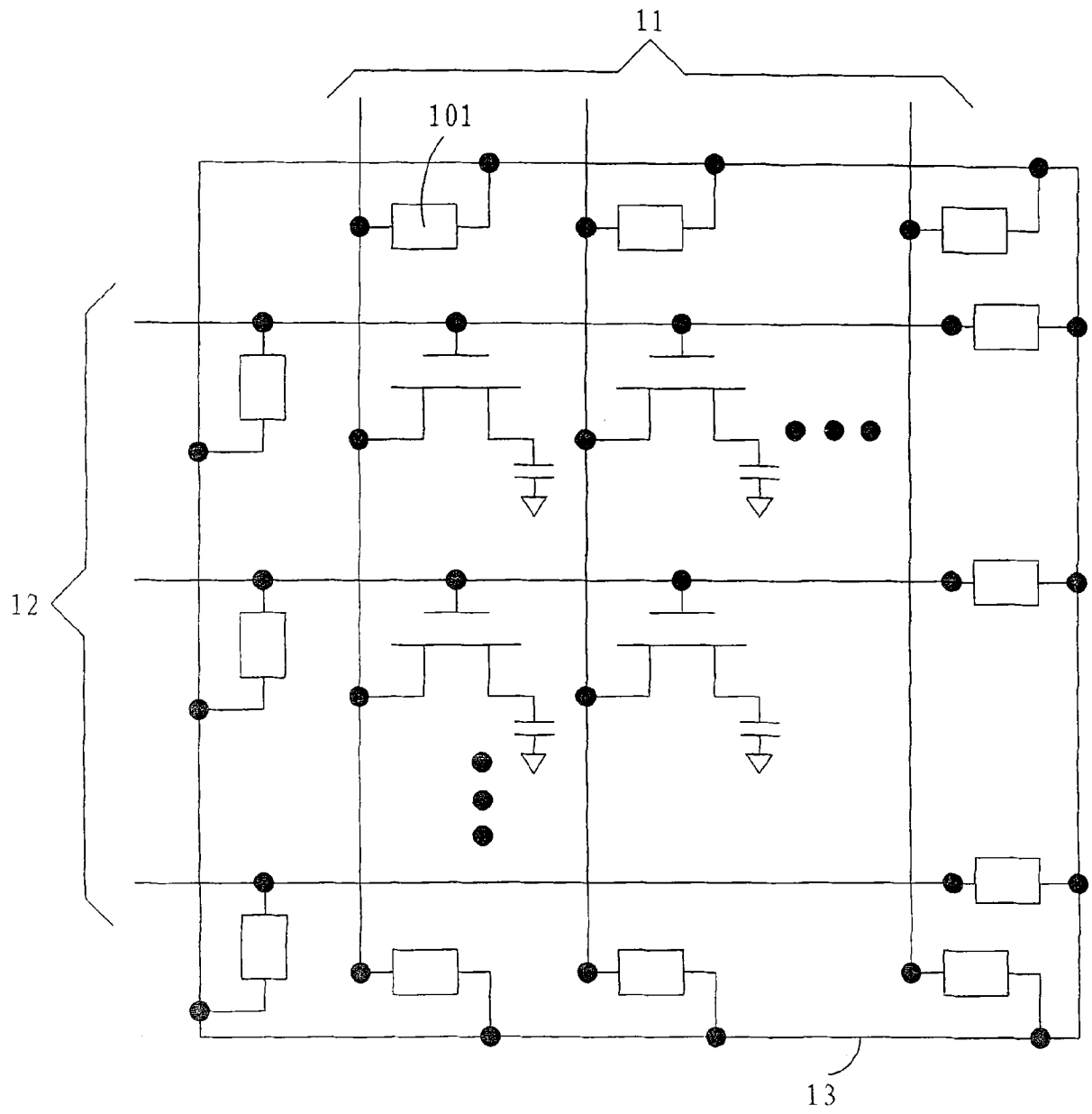


图 1

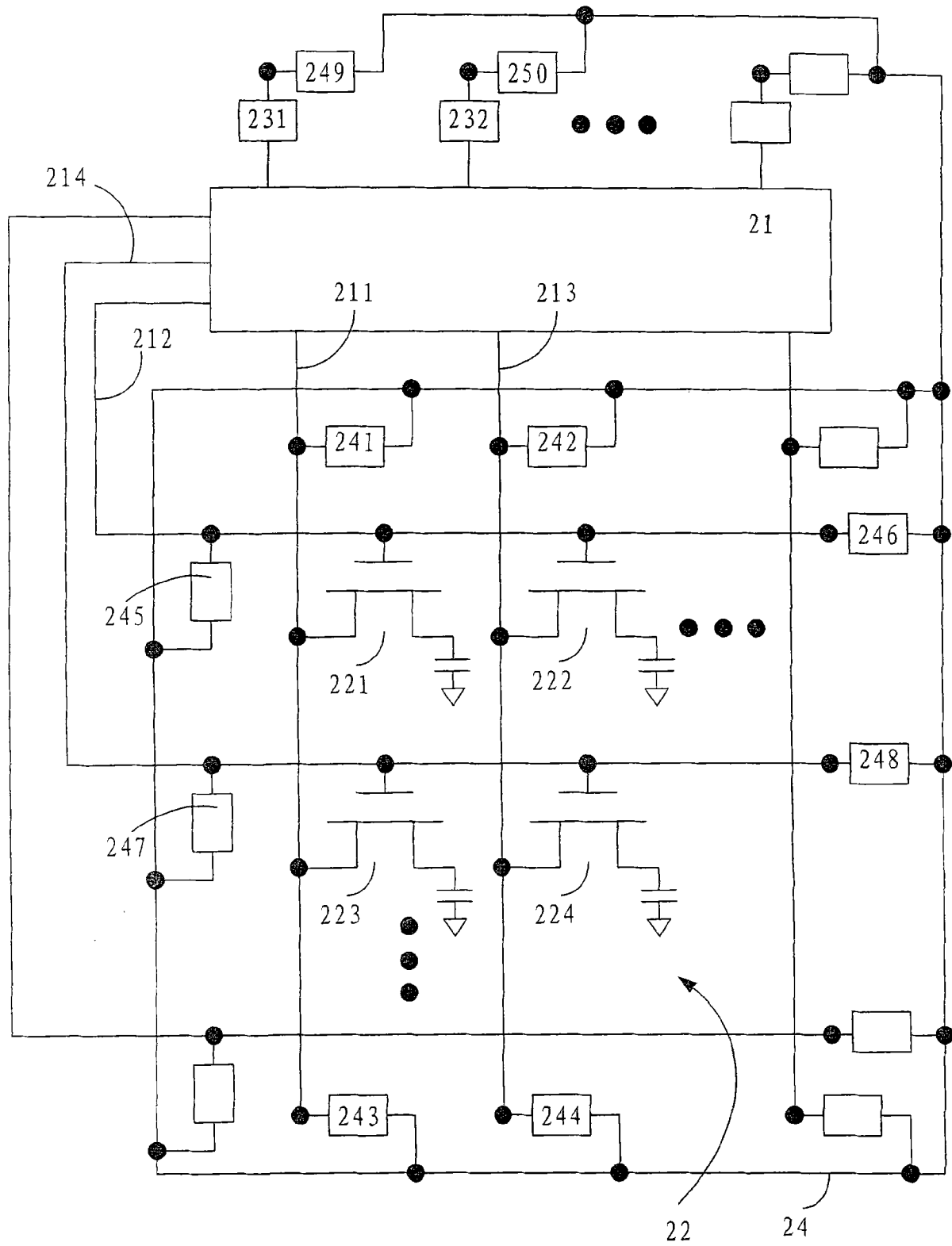


图 2

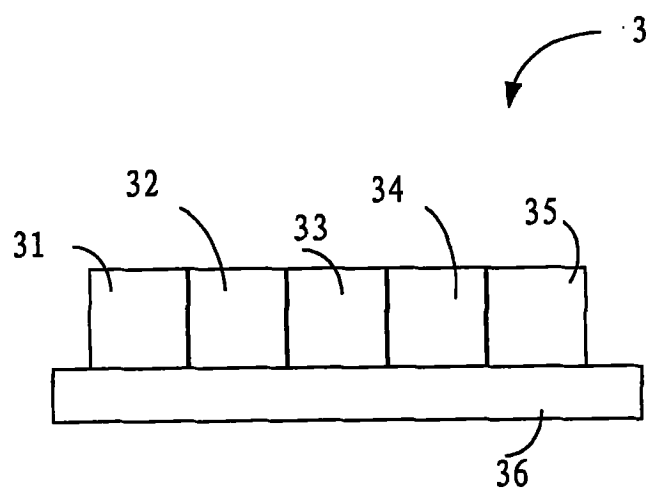


图 3

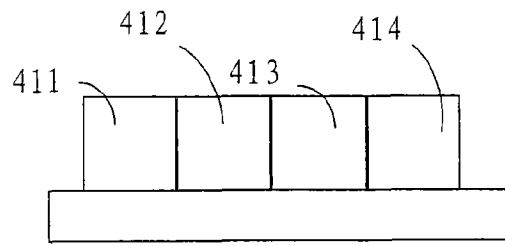


图 4(a)

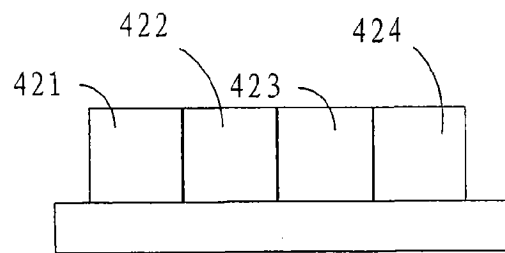


图 4(b)

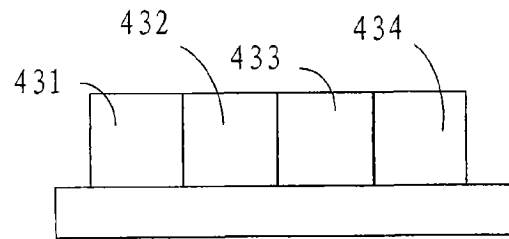


图 4(c)

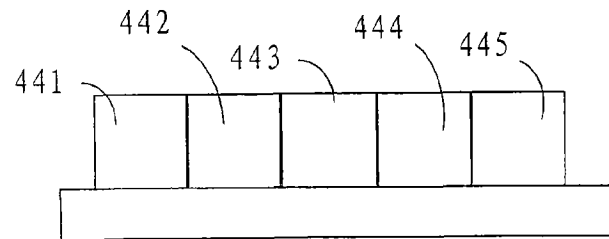


图 4(d)

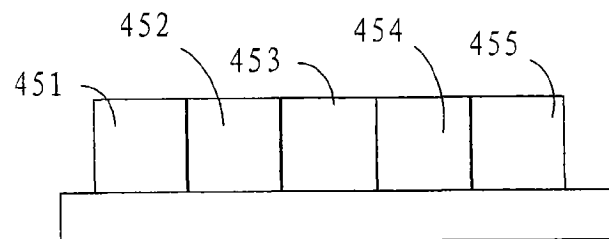


图 4(e)

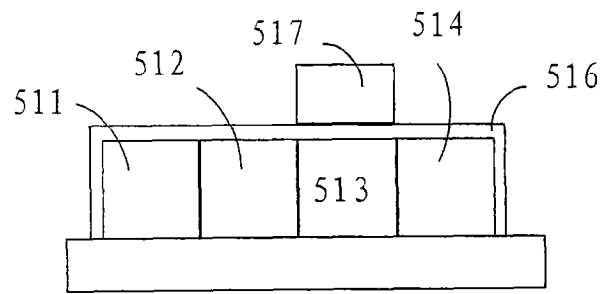


图 5(a)

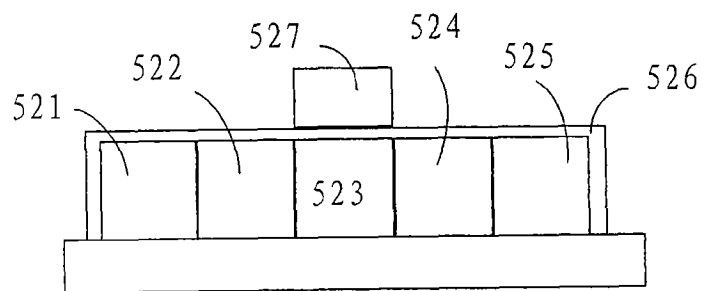


图 5(b)

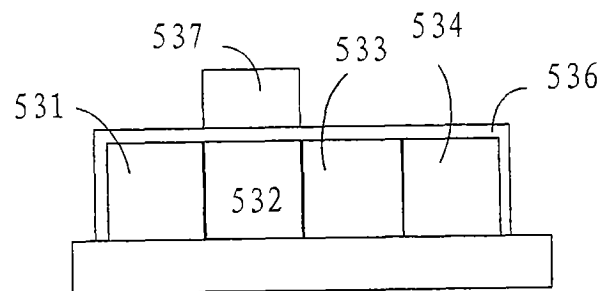


图 5(c)

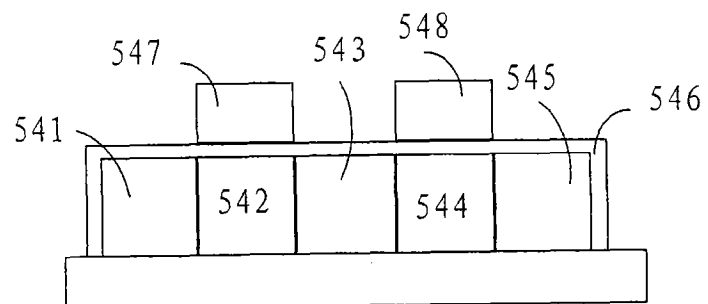


图 5(d)

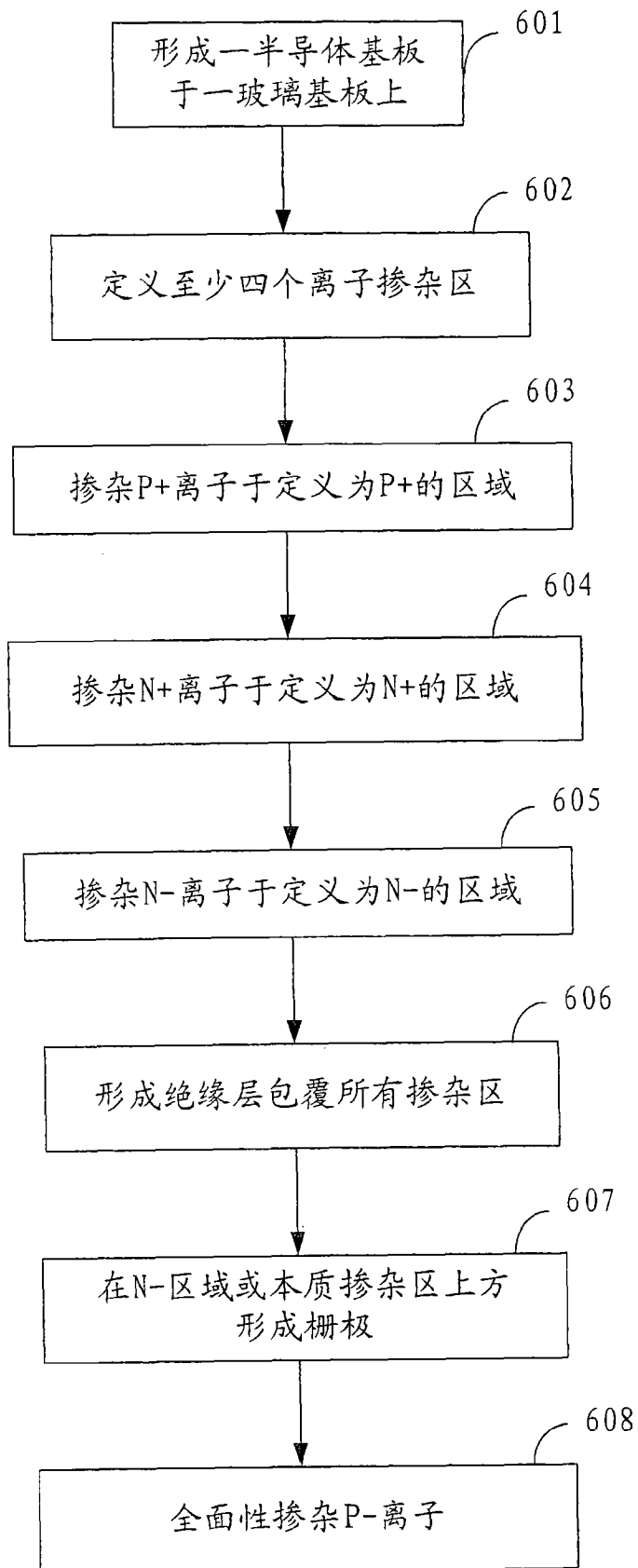


图 6