

1. 一种电源箝制静电放电防护电路,其特征在于,包括:

一硅控整流器,连接于一高电压准位与一低电压准位之间,并用以承载一电流路径,其中,该硅控整流器为一P型基底触发硅控整流器;以及

一控制模块,并联于该硅控整流器,该控制模块电性连接于该硅控整流器的一触发节点、该高电压准位与该低电压准位;该控制模块包括:

一P型金氧半场效晶体管,连接于该高电压准位;

一N型金氧半场效晶体管,连接于该低电压准位;

至少一输出二极管,连接于该P型金氧半场效晶体管与该N型金氧半场效晶体管之间,其中该P型基底触发硅控整流器的该触发节点连接该至少一输出二极管,且该至少一输出二极管串联于该P型金氧半场效晶体管与该N型金氧半场效晶体管;

一电阻,并联于该P型基底触发硅控整流器、该P型金氧半场效晶体管与该N型金氧半场效晶体管,该电阻的一端连接该高电压准位;以及

一导通串列,包括至少一连接于该N型金氧半场效晶体管的导通元件,其中该导通串列连接于该电阻的另一端、该P型金氧半场效晶体管与该低电压准位之间。

2. 如权利要求1所述的电源箝制静电放电防护电路,其特征在于,该至少一导通元件为二极管。

3. 如权利要求1所述的电源箝制静电放电防护电路,其特征在于,该至少一导通元件为PMOS。

4. 如权利要求1所述的电源箝制静电放电防护电路,其特征在于,该至少一导通元件为NMOS。

5. 如权利要求1所述的电源箝制静电放电防护电路,其特征在于,该P型基底触发硅控整流器包括:

一P型重掺杂区,连接该高电压准位;

一N型井,相邻设置于该P型重掺杂区;

一P型井,相邻设置于该N型井,该P型基底触发硅控整流器的该触发节点位于该P型井之内;以及

一N型重掺杂区,相邻设置于该P型井,并连接该低电压准位。

6. 如权利要求5所述的电源箝制静电放电防护电路,其特征在于,该P型基底触发硅控整流器的该触发节点为P型重掺杂部分。

7. 一种电源箝制静电放电防护电路,其特征在于,包括:

一硅控整流器,连接于一高电压准位与一低电压准位之间,并用以承载一电流路径,其中,该硅控整流器为一N型基底触发硅控整流器;以及

一控制模块,并联于该硅控整流器,该控制模块电性连接于该硅控整流器的一触发节点、该高电压准位与该低电压准位;该控制模块包括:

一P型金氧半场效晶体管,连接于该高电压准位;

一N型金氧半场效晶体管,连接于该低电压准位;

至少一输出二极管,连接于该P型金氧半场效晶体管与该N型金氧半场效晶体管之间,其中该N型基底触发硅控整流器的该触发节点连接该至少一输出二极管,且该至少一输出二极管串联于该P型金氧半场效晶体管与该N型金氧半场效晶体管;

一电阻,并联于该N型基底触发硅控整流器、该P型金氧半场效晶体管与该N型金氧半场效晶体管,该电阻的一端连接该低电压准位;以及

一导通串列,包括至少一连接于该P型金氧半场效晶体管的导通元件,其中该导通串列连接于该电阻的另一端、该N型金氧半场效晶体管与该高电压准位之间。

8. 如权利要求7所述的电源箝制静电放电防护电路,其特征在于,该至少一导通元件为二极管。

9. 如权利要求7所述的电源箝制静电放电防护电路,其特征在于,该至少一导通元件为PMOS。

10. 如权利要求7所述的电源箝制静电放电防护电路,其特征在于,该至少一导通元件为NMOS。

11. 如权利要求7所述的电源箝制静电放电防护电路,其特征在于,该N型基底触发硅控整流器包括:

一P型重掺杂区,连接该高电压准位;

一N型井,相邻设置于该P型重掺杂区,该N型基底触发硅控整流器的该触发节点位于该N型井之内;

一P型井,相邻设置于该N型井;以及

一N型重掺杂区,相邻设置于该P型井,并连接该低电压准位。

12. 如权利要求11所述的电源箝制静电放电防护电路,其特征在于,该N型基底触发硅控整流器的该触发节点为N型重掺杂部分。

电源箝制静电放电防护电路

技术领域

[0001] 本发明涉及一种静电放电(Electro-Static Discharge, ESD)防护电路,特别是一种电源箝制型的静电放电防护电路(Power-rail ESD Clamp Circuit)。

背景技术

[0002] 随着 IC 产业的日渐蓬勃,CMOS 加工技术已逐渐微小化至奈米等级,伴随而来的是晶体管的栅极氧化层(gate oxide)也因此逐渐微缩化,并薄型化至数个奈米而已。由于栅极氧化层的厚度变薄,将同时引发较大的栅极漏电流,这俨然成为近代 CMOS 加工技术中最常遇见的挑战。图 1 为尺寸为 $1\mu\text{m}/1\mu\text{m}$ 的 N 型金氧半场效晶体管与 P 型金氧半场效晶体管分别在偏压为 1 伏特、环境温度为 $T=25^{\circ}\text{C}$ 下的栅极漏电流模拟结果数据图。由图 1 所示的结果可以显示,随着 CMOS 加工尺寸的微缩(例如:由 90 奈米降至 65 奈米、甚至 45 奈米),将使得栅极漏电流大幅度地攀升,引发严重的漏电流问题。

[0003] 由于栅极所产生的漏电流,是在现有的电源箝制静电防护电路形成一相当严重的问题,电阻-电容式的静电放电侦测电路(RC ESD-transient detection)中所使用到的大电容自然成为漏电流成分中的一大来源,这也是常见使用 RC 电源箝制的静电防护电路,其应用受到限制的一大原因。

[0004] 除此之外,加工面积的缩减也是在加工中必须考量到的因素之一,其原因在于元件的制作面积过大,常增加无谓的加工成本增加。换言之,由于电阻-电容式的静电放电侦测电路中使用有较大的电子零组件(例如:电容),将同时增加此种电路的加工成本。因此,除了栅极漏电流的问题以外,传统的电源箝制静电防护电路更具有面积过大且成本过高的问题。

[0005] 图 2 为现有技术采用硅控整流器(silicon controlled rectifier, SCR)作为主要箝制静电防护电路的结构示意图。其中,在主要箝制静电防护电路的选择上,硅控整流器相较于金氧半场效晶体管(Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET)通常为一较佳的选项。由晶体管 MCAP 与电阻 R 所形成的电阻电容式延迟(RC delay)是用以侦测 ESD 偏压下元件的快速暂态反应。当 ESD 偏压加至节点 VDD 上时,将使得原来为 0 伏特的内接点 VRD 开始随着 RC 时间常数(RC time constant)而上升。同时,在电阻 R 上形成的压降将开启晶体管 M_p ,并触发硅控整流器以将 ESD 电流形成放电状态。然而,值得注意的是,在正常的操作下,晶体管 MCAP 所产生的栅极漏电流将在电阻 R 上形成一定的压降,此段压降亦将同时逐渐地开启晶体管 M_p ,并在电路中形成另一条电流路径,进而引发更大的漏电流问题。

[0006] 图 3 为另一用以减少因大电容引发漏电流问题的现有技术的结构示意图。由图 3 可见,此种技术利用多个开关元件(switch)以驱动电容底部的电压至 VDD 或 VSS。在正常操作的情况下,电容底部的电压值为 VDD,因此在电阻电容式延迟(RC delay)上不会产生任何压降,于此,可以达到减少电容漏电流的目的。然而,当元件操作在 ESD 偏压下时,此时电容底部的电压值被限制在 VSS,这时的电路即形成类似于前述现有的电源箝制静电防护电

路,而具有相同的问题了。

[0007] 再者,图 4 为又一用以减少因大电容引发漏电流问题的现有技术的结构示意图。由图 4 可见,此种技术主要是利用多个顺向导通连结的二极管(forward-connected diodes)与电阻来取代常见的电阻-电容式静电放电侦测电路。如图 4 所示,在 ESD 偏压由 VSS 往上增加至 VDD 时,VDD 节点上的电压值将会持续增加至二极管开始导通为止。而在那之前,VA 节点上的电压值始终维持在零。当二极管开始导通的时候,电阻 R 上将产生一压降,此压降将同时开启晶体管 Mn,以触发硅控整流器。由于多个二极管所形成的二极管串列(diode string),其临界电压值设计为略高于供应电压,因此在正常操作下,VA 节点上的电压值可维持在零,且晶体管 Mn 为关闭状态。在此情况下,此种电路可用以避免晶体管 Mn 的漏极-栅极漏电流。不过,由于硅控整流器系同时连接于晶体管 Mn 的源极,使得元件的触发电流会因其元件基板电阻(substrate resistance)上的压降而减少,而使得此种电路无法同时兼顾触发电流与漏电流的最佳化。

[0008] 因此,鉴于以上,如何提供一种既可达到降低元件制作面积,且能有效解决晶体管漏电流问题的电源箝制静电防护电路,为熟习此项技术领域者亟需解决的问题之一。

发明内容

[0009] 为解决现有技术存在的问题,本发明的主要目的在于提供一种新颖的电源箝制静电放电防护电路,其不仅可达到降低元件加工面积的目的,更可同时解决常见 ESD 电路漏电流过大的问题。

[0010] 根据本发明所揭示的电源箝制静电放电防护电路,包括有:一硅控整流器与一并联于该硅控整流器的控制模块,其中,硅控整流器连接于一高电压准位 VDD 与一低电压准位 VSS 之间,以用来承载一电流路径。控制模块电性连接于此硅控整流器的一触发节点、上述的高电压准位 VDD 与低电压准位 VSS 之间。

[0011] 根据本发明的实施例,此一硅控整流器可以是 P 型基底触发硅控整流器(P+triggered silicon controlled rectifier)。当此一硅控整流器为 P 型基底触发硅控整流器时,上述的控制模块包含有:一 P 型金氧半场效晶体管,连接于上述的高电压准位 VDD;一 N 型金氧半场效晶体管,连接于上述的低电压准位 VSS;至少一输出二极管,连接于 P 型金氧半场效晶体管与 N 型金氧半场效晶体管之间,其中 P 型基底触发硅控整流器的触发节点连接该至少一输出二极管,且该至少一输出二极管串联于 P 型金氧半场效晶体管与 N 型金氧半场效晶体管;一电阻,并联于 P 型基底触发硅控整流器、P 型金氧半场效晶体管与 N 型金氧半场效晶体管,该电阻的一端连接上述的高电压准位 VDD;以及一导通串列,包括至少一连接于 N 型金氧半场效晶体管的导通元件,其中导通串列连接于该电阻的另一端、P 型金氧半场效晶体管与低电压准位 VSS 之间。

[0012] 根据本发明的实施例,P 型基底触发硅控整流器包括:一 P 型重掺杂区、一 N 型井、一 P 型井、以及一 N 型重掺杂区。其中,P 型重掺杂区连接该高电压准位;N 型井相邻设置于 P 型重掺杂区;P 型井相邻设置于 N 型井,P 型基底触发硅控整流器的该触发节点位于 P 型井之内;N 型重掺杂区相邻设置于 P 型井,并连接低电压准位。

[0013] 根据本发明的实施例,其中 P 型基底触发硅控整流器的该触发节点为 P 型重掺杂部分。

[0014] 根据本发明的另一实施例,硅控整流器亦可以是N型基底触发硅控整流器(N+triggered silicon controlled rectifier)。当此一硅控整流器为N型基底触发硅控整流器时,上述的控制模块则可包含有:一P型金氧半场效晶体管,连接于上述的高电压准位VDD;一N型金氧半场效晶体管,连接于上述的低电压准位VSS;至少一输出二极管,连接于P型金氧半场效晶体管与N型金氧半场效晶体管之间,其中此一N型基底触发硅控整流器的触发节点连接该至少一输出二极管,且该至少一输出二极管串联于P型金氧半场效晶体管与N型金氧半场效晶体管;一电阻,并联于此一N型基底触发硅控整流器、P型金氧半场效晶体管与N型金氧半场效晶体管,该电阻的一端连接上述的低电压准位VSS;以及一导通串列,包括至少一连接于P型金氧半场效晶体管的导通元件,其中导通串列连接于该电阻的另一端、N型金氧半场效晶体管与上述的高电压准位VDD之间。

[0015] 根据本发明的实施例,N型基底触发硅控整流器包括:一P型重掺杂区、一N型井、一P型井、以及一N型重掺杂区。其中,P型重掺杂区连接高电压准位;N型井相邻设置于P型重掺杂区,N型基底触发硅控整流器的触发节点位于N型井之内;P型井相邻设置于N型井;N型重掺杂区相邻设置于P型井,并连接低电压准位。

[0016] 根据本发明的实施例,其中N型基底触发硅控整流器的触发节点为N型重掺杂部分。

[0017] 根据本发明的实施例,上述各实施例中的导通元件可以为二极管、PMOS、NMOS或其他晶体管种类。

[0018] 与现有技术相比,本发明的有益效果在于:

[0019] 本发明揭露一种新颖的电源箝制静电放电防护电路,可达到降低元件加工面积的目的,并同时解决常见ESD电路漏电流过大的问题。藉由使用串接的二极管导通串列,本发明可有效率地减少ESD电路中常见的漏电流问题,本发明所使用的输出二极管更可在不影响静电防护能力的前提下,降低硅控整流器上所产生的漏电流。除此之外,本发明所使用到的元件面积,相较于现有技术更是大幅地缩小,达到尺寸微缩化的功效。

附图说明

[0020] 图1为尺寸为 $1\mu\text{m}/1\mu\text{m}$ 的N型金氧半场效晶体管与P型金氧半场效晶体管分别在偏压为1伏特、环境温度为 $T=25^{\circ}\text{C}$ 下的栅极漏电流模拟结果数据图。

[0021] 图2为现有技术采用电阻-电容式的控制模块並以硅控整流器作为主要箝制静电防护电路的结构示意图。

[0022] 图3为现有技术采用多个开关元件硅控作为控制模块並以硅控整流器作为主要箝制静电防护电路的结构示意图。

[0023] 图4为现有技术采用多个顺向导通连结的二极管与电阻作为控制模块並以硅控整流器作为主要箝制静电防护电路的结构示意图。

[0024] 图5为根据本发明实施例的电源箝制静电放电防护电路的电路结构示意图。

[0025] 图6为根据本发明一实施例使用串接的NMOS作为导通串列的电源箝制静电放电防护电路的电路结构示意图。

[0026] 图7为根据本发明另一实施例使用串接的PMOS作为导通串列的电源箝制静电放电防护电路的电路结构示意图。

[0027] 图 8 为根据本发明实施例具有多个输出二极管的电源箝制静电放电防护电路的电路结构示意图。

[0028] 图 9 为根据本发明实施例具有多个输出二极管的电源箝制静电放电防护电路的电路结构示意图。

[0029] 图 10 为根据本发明另一实施例的电源箝制静电放电防护电路的电路结构示意图。

[0030] 图 11A 为以 40 奈米的 CMOS 加工技术制成的传统式电源箝制静电放电防护电路的电路结构示意图。

[0031] 图 11B 为以 40 奈米的 CMOS 加工技术制成的本发明电源箝制静电放电防护电路的电路结构示意图。

[0032] 图 12 为图 11A 的现有技术的元件布局结构示意图。

[0033] 图 13 为图 11B 的本发明提出的电源箝制静电放电防护电路的元件布局结构示意图。

[0034] 附图标记说明:1, 1a- 电源箝制静电放电防护电路;10, 10a- 硅控整流器;20, 20a- 控制模块;102, 102a-P 型重掺杂区;104, 104a-N 型井;106, 106a-P 型井;108, 108a-N 型重掺杂区;110-P 型重掺杂部;110a-N 型重掺杂部;210, 210a- 导通串列;1002, 1002a- 二极管;1004-NMOS;1006-PMOS。

具体实施方式

[0035] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有付出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0036] 为了达到降低元件加工面积以及消弭常见 ESD 电路漏电流过大的功效,本发明提供一种新颖的电源箝制静电放电防护电路,利用一特殊的控制电路来减少或导出流经 ESD 电路中硅控整流器上的电流,以藉此达到漏电流最小化以及元件加工面积缩小的目的。

[0037] 根据本发明的实施例,本发明所揭示的电源箝制静电放电防护电路,其无须使用到常见电阻-电容式的静电放电侦测电路(RC ESD-transient detection)中必须使用到的大电容(如先前技术所述),因此,本发明揭露的是一种创新的电路结构,其可用以有效地大幅降低常见漏电流的问题。

[0038] 除此之外,由于本发明无须使用到大电容等电子零组件,因此亦在无形中节省了大量的元件加工面积,以省却不必要的加工成本。根据本发明的一实施例,本发明所揭示的电路结构,其元件面积仅有 $5\mu\text{m}\times 20\mu\text{m}$,为传统静电放电防护电路面积的六分之一而已。

[0039] 首先,请参阅图 5,为根据本发明实施例的电源箝制静电放电防护电路的电路结构示意图。

[0040] 根据本发明实施例所提出的电源箝制静电放电防护电路 1,其主要包括有:一硅控整流器 10 以及一控制模块 20。其中,控制模块 20 并联于硅控整流器 10。硅控整流器 10 连接于一高电压准位 VDD 与一低电压准位 VSS 之间,并用以承载一电流路径。控制模块 20 连接于该高电压准位 VDD 与该低电压准位 VSS 之间,以用以控制并减缓流经硅控整流器 10

上的该电流。控制模块 20 连接于硅控整流器 10 的一触发节点(trigger node)。根据本发明的一实施例,硅控整流器 10 可以是一 P 型基底触发硅控整流器或一 N 型基底触发硅控整流器。其中,当硅控整流器 10 为 P 型基底触发硅控整流器时,其触发节点为一 P 型的重掺杂部分。至于,当硅控整流器 10 为 N 型基底触发硅控整流器时,其触发节点则为一 N 型的重掺杂部分。关于此二种不同的实施态样,本发明将依序说明如下。

[0041] 详细而言,如图 5 所示,当硅控整流器 10 为 P 型基底触发硅控整流器时,在此实施例中,此一 P 型基底触发硅控整流器包含一 P/N/P/N 的四层结构。其中,一 P 型重掺杂区 102 连接于高电压准位 VDD;一 N 型井 104 相邻设置于该 P 型重掺杂区 102;一 P 型井 106 相邻设置于该 N 型井 104,且 P 型基底触发硅控整流器的触发节点(即一 P 型重掺杂部分 110)位于该 P 型井 106 之内;以及,一 N 型重掺杂区 108 相邻设置于该 P 型井 106,并连接低电压准位 VSS。

[0042] 在此实施例中,控制模块 20 包含有:一 P 型金氧半场效晶体管 Mp、一 N 型金氧半场效晶体管 Mn、至少一输出二极管 Do、一电阻 R、以及一导通串列(conducting string) 210。

[0043] 其中,P 型金氧半场效晶体管 Mp 的源极连接于高电压准位 VDD,N 型金氧半场效晶体管 Mn 的源极连接于低电压准位 VSS。输出二极管 Do 连接于 P 型金氧半场效晶体管 Mp 的漏极与 N 型金氧半场效晶体管 Mn 的漏极之间,使得 P 型金氧半场效晶体管 Mp、N 型金氧半场效晶体管 Mn、与输出二极管 Do 成串联关系。其中,P 型基底触发硅控整流器的触发节点(即上述所言的 P 型重掺杂部分 110)更电性连接于输出二极管 Do。

[0044] 电阻 R 的第一端连接于高电压准位 VDD,且电阻 R 并联于此 P 型基底触发硅控整流器 10、P 型金氧半场效晶体管 Mp、N 型金氧半场效晶体管 Mn 与上述的输出二极管 Do。

[0045] 导通串列 210 包括至少一导通元件(conducting element)。其中,该至少一导通元件连接于 N 型金氧半场效晶体管 Mn 的栅极,导通串列 210 的一端电性连接于电阻 R 与 P 型金氧半场效晶体管 Mp 的栅极;导通串列 210 的另一端则电性连接至低电压准位 VSS。

[0046] 根据图 5 所示的实施例,可以看见此实施例中所示的导通元件为一二极管 1002,使得导通串列 210 由一个或一个以上的二极管 1002 串接而形成。一般而言,导通串列 210 所包含的二极管 1002 的数目依据不同电路所需的规格(例如:临界电压值)等来决定的。因此,其数量并非用以限定本发明的发明范围。

[0047] 详细而言,在正常操作下,P 型金氧半场效晶体管 Mp 用以触发硅控整流器 10。N 型金氧半场效晶体管 Mn 用以维持硅控整流器 10 其触发节点的电压维持在 VSS。N 型金氧半场效晶体管 Mn 的栅极可选择性地电性连接至接点 VA 或导通串列 210 中的任一导通元件,以降低晶体管中的栅极漏电流。

[0048] 其次,根据本发明的实施例,用以组成导通串列 210 的导通元件可以是串接的二极管、P+/NW 结构、或其他二极管种类。举例而言,图 6 为根据本发明一实施例使用串接的 NMOS 作为导通串列的电源箝制静电放电防护电路的电路结构示意图。图 7 为根据本发明另一实施例使用串接的 PMOS 作为导通串列的电源箝制静电放电防护电路的电路结构示意图。如图 6 及图 7 所示,可以看出,本发明用以串接形成导通串列 210 的导通元件并不以图 5 所示的二极管 1002 为限,亦可以为图 6 所示的 NMOS 1004 或图 7 所示的 PMOS 1006。熟习此项技术领域者当可根据本发明所揭示的技术思想,而自行决定所欲使用的导通元件种类,唯依本发明所揭示的精神所作的均等变化或修饰,仍应涵盖在本发明的专利范围内。

[0049] 以下,请参阅图 8 至图 9 所示,为根据本发明实施例具有多个输出二极管的电源箝制静电放电防护电路的电路结构示意图。

[0050] 在图 8 至图 9 所示的实施例中,本发明连接多个输出二极管于 Do 于 P 型金氧半场效晶体管 Mp 与 N 型金氧半场效晶体管 Mn 之间。

[0051] 一般而言,如图 5 所示,P 型金氧半场效晶体管 Mp 与 N 型金氧半场效晶体管 Mn 之间可电性连接有一输出二极管 Do,以用来降低 P 型金氧半场效晶体管 Mp 在正常操作下,其闸漏极极间所产生的漏电流。不过,为了进一步增强其降低晶体管漏电流的功效,如图 8 至图 9 所示,本发明更可选择在 P 型金氧半场效晶体管 Mp 与 N 型金氧半场效晶体管 Mn 之间电性连接有多个输出二极管 Do1, Do2,以进一步降低本发明所提出的电源箝制静电放电防护电路的漏电流大小。

[0052] 根据本发明的实施例,在正常操作下,高电压准位 VDD 维持在输入电压。由于导通串列 210 的临界电压值设计为略高于该输入电压,因此将不会有任何电流流经此一导通串列 210,使得 P 型金氧半场效晶体管 Mp 呈现关闭状态,而 N 型金氧半场效晶体管 Mn 被开启。在此状况之下,P 型金氧半场效晶体管 Mp 的栅极与漏极极之间开始形成漏电流。当此一漏电流流经输出二极管 Do 时,将在输出二极管 Do 上产生一压降(voltage drop),由于漏电流大小将与电压差呈指数变化关系(exponential),因此当输出二极管 Do 上产生此一微小压降时,此压差将进一步使得 P 型金氧半场效晶体管 Mp 的栅极-漏极压差降低,自然使得 P 型金氧半场效晶体管 Mp 的漏电流可大幅减小。

[0053] 至于,当元件处在 ESD 正偏压的情况下时,高电压准位 VDD 的电压值将开始接近导通串列 210 的临界电压。此时,导通串列 210 开始形成导通,而在电阻 R 上形成一段压降,进而开启 P 型金氧半场效晶体管 Mp,以触发硅控整流器 10。在本发明的电路中设置有输出二极管 Do 的情况下,此时,硅控整流器 10 的触发电流(trigger current)相较于没有设置输出二极管 Do 者,将会来的比较小一些。然而,值得说明的是,这段微小的差距并不足以影响到本发明所揭示的电路结构的电磁防护表现(ESD performance)。

[0054] 另一方面而言,根据本发明所揭示的硅控整流器亦可以为 N 型基底触发硅控整流器,其图式如同图 10 所示,为根据本发明另一实施例的电源箝制静电放电防护电路的电路结构示意图。在此一实施例中,电源箝制静电放电防护电路 1a 中的电阻 R 与导通串列被反接,以使得 N 型金氧半场效晶体管 Mn 在 ESD 偏压下时可被开启。电源箝制静电放电防护电路 1a 中的输出二极管 Do 则设置于硅控整流器的触发节点与 N 型金氧半场效晶体管 Mn 之间,以达到降低漏电流的目的。

[0055] 根据本发明的另一实施例,如图 10 所示,当硅控整流器 10a 为 N 型基底触发硅控整流器时,在此实施例中,此一 N 型基底触发硅控整流器包含一 P/N/P/N 的四层结构。其中,一 P 型重掺杂区 102a 连接于高电压准位 VDD;一 N 型井 104a 系相邻设置于该 P 型重掺杂区 102a;一 P 型井 106a 相邻设置于该 N 型井 104a,且 N 型基底触发硅控整流器的触发节点(即一 N 型重掺杂部分 110a)位于该 N 型井 104a 之内;以及,一 N 型重掺杂区 108a 相邻设置于该 P 型井 106a,并连接低电压准位 VSS。

[0056] 在此实施例中,电源箝制静电放电防护电路 1a 的控制模块 20a 包含有:一 P 型金氧半场效晶体管 Mp、一 N 型金氧半场效晶体管 Mn、至少一输出二极管 Do、一电阻 R、以及一导通串列(conducting string) 210a。

[0057] 其中,P 型金氧半场效晶体管 M_p 的源极连接于高电压准位 VDD,N 型金氧半场效晶体管 M_n 的源极连接于低电压准位 VSS。输出二极管 D_o 连接于 P 型金氧半场效晶体管 M_p 的漏极极与 N 型金氧半场效晶体管 M_n 的漏极之间,使得 P 型金氧半场效晶体管 M_p 、N 型金氧半场效晶体管 M_n 、与输出二极管 D_o 成串联关系。其中,N 型基底触发硅控整流器的触发节点(即上述所言的 N 型重掺杂部分 110a)更电性连接于上述的输出二极管 D_o 。

[0058] 电阻 R 的第一端连接于低电压准位 VSS,且电阻 R 并联于此 N 型基底触发硅控整流器 10a、P 型金氧半场效晶体管 M_p 、N 型金氧半场效晶体管 M_n 与上述的输出二极管 D_o 。

[0059] 导通串列 210a 包括至少一导通元件(conducting element)。其中,该至少一导通元件连接于 P 型金氧半场效晶体管 M_p 的栅极,导通串列 210a 的一端电性连接于电阻 R 与 N 型金氧半场效晶体管 M_n 的栅极;导通串列 210a 的另一端则电性连接至高电压准位 VDD。

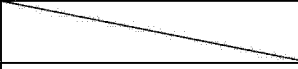
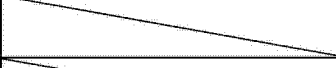
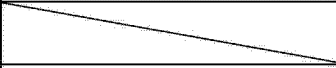
[0060] 根据图 10 所示的实施例,可以看见此实施例中所示的导通元件为二极管 1002a,使得导通串列 210a 由一个或一个以上的二极管 1002a 串接而形成。一般而言,导通串列 210a 所包含的二极管 1002a 的数目可依据不同电路所需的规格(例如:临界电压值)等来决定的。因此,其数量并非用以限定本发明的发明范围。

[0061] 其次,为扩大本发明的实际应用层面,除此之外,在本发明的其他实施例中,用以组成导通串列 210a 的导通元件亦可以是串接的二极管、P+/NW 结构、或其他二极管种类。如同本发明于前述图 6~图 7 所示,本发明用以串接形成导通串列 210a 的导通元件并不以图 10 所示的二极管 1002a 为限,亦可以为如同图 6 所示的 NMOS 或图 7 所示的 PMOS。熟习此项技术领域者当可根据本发明所揭示的技术思想,而自行决定所欲使用的导通元件种类,唯依本发明所揭示的精神所作的均等变化或修饰,仍应涵盖在本发明的专利范围内。

[0062] 以下,本发明将提出详细的实验数据,以佐证本发明相较于现有技术的功效。请参阅图 11A 及图 11B 所示,分别为以 40 奈米的 CMOS 加工技术制成的一传统式电源箝制静电放电防护电路与本发明提出的电源箝制静电放电防护电路的电路结构图。

[0063] 此二电源箝制静电放电防护电路的元件尺寸如下表一所示,其使用相同的硅控整流器。其中,硅控整流器的宽度为 $40\ \mu\text{m}$ 。本发明所使用的导通串列包含 3 个串接的二极管,以产生 2.5 伏特的临界电压(高于输入电压为 0.9 伏特)。N 型金氧半场效晶体管 M_n 的栅极连接于节点 VB。在正常的操作情况下,节点 VA 的电压值接近高电压准位 VDD,而节点 VB 的电压值接近于三分之一 VDD。在此情况下,节点 VB 的电压值可使得 N 型金氧半场效晶体管 M_n 维持在常态开启状态,而令晶体管的漏电流可比其栅极连接于 VA 时来得微小许多。

[0064]

	现有技术（图 11A）	本发明（图 11B）	
Mp	100μm/0.1μm	100μm/0.1μm	
Mn	1μm/0.1μm	1μm/0.1μm	
R	50kΩ	5kΩ	
MCAP	10μm/10μm		
D			1μm x 1μm
Do			20μm x 1μm
SCR 面积	47 μ m x 7 μ m	47 μ m x 7 μ m	
元件面积	30 μ m x 30 μ m	5 μ m x 20 μ m	

[0065] 表一

[0066] 续请参阅图 12 及图 13 所示,用以显示并比较现有技术与本发明所提出的电源箝制静电放电防护电路其各自元件布局的结构示意图。其中,图 12 为图 11A 的现有技术的元件布局结构示意图,图 13 为图 11B 的本发明提出的电源箝制静电放电防护电路的元件布局结构示意图。

[0067] 如表一所列及图 12、图 13 所示,可以看出传统的电源箝制静电放电防护电路,其元件面积为 30 μm x 30 μm (不考虑硅控整流器所占的面积)。其中,由于电容 MCAP 的面积系约为 25 μm x 25 μm ,因此大部分的面积来自于此电容 MCAP。虽然如表一所列,电容 MCAP 的有效面积为 10 μm x 10 μm ,但由于考量到加工上的诸多限制条件,使得电容仍无法以单一晶体管制成,因此仍须分割为 100 个 1 μm x 1 μm 的晶体管单元。

[0068] 相较之下,本发明所揭示的电源箝制静电放电防护电路,其元件面积仅有 5 μm x 20 μm (不考虑硅控整流器所占的面积),而约仅为先前技术所占面积的六分之一而已。

[0069] 接着,续请参阅表二所示,为现有技术与本发明所提出的电源箝制静电放电防护电路各自电性量测的结果数据表,此实验数据在偏压为 0.9 伏特,环境温度为 25° C 与 125° C 的条件下进行漏电流的量测程序。如表二所示,传统的电源箝制静电放电防护电路,由于具有栅极穿隧效应(gate tunneling effect)因此会有相当严重的漏电流问题(在 25° C 时达到 5.12)。

[0070] 然而,本发明在同样的 25° C 环境温度下,却仅有 24nA 的漏电流大小,相较于现有技术,为非常微小的漏电流。再者,二者的静电防护能力更在人体模式(Human Body Mode, HBM)与机器模式(Machine Mode, MM)下进行效能测试。如表二所列,传统的电源箝制静电放电防护电路可以达到 4.5kV 的 HBM 与 125V 的 MM,然而本发明却可达到 6.5kV 的 HBM 与 200V 的 MM,可见其静电防护的能力大幅优于现有技术。

	设计	Mp 宽度	HBM	MM	漏电流	
					T=25°C	T=125°C
[0071]	现有技术 (图 11A)	100 μm	4.5kV	125V	5.12 μA	26 μA
	本发明 (图 11B)	100 μm	6.5kV	200V	24nA	328nA

[0072] 表二

[0073] 综上所述,本发明揭露一种新颖的电源箝制静电放电防护电路,可达到降低元件加工面积的目的,并同时解决常见 ESD 电路漏电流过大的问题。藉由使用串接的二极管导通串列,本发明可有效率地减少 ESD 电路中常见的漏电流问题,本发明所使用的输出二极管更可在不影响静电防护能力的前提下,降低硅控整流器上所产生的漏电流。除此之外,本发明所使用到的元件面积,相较于现有技术更是大幅地缩小,达到尺寸微缩化的功效。

[0074] 以上所述的诸多实施例仅系为说明本发明的技术思想及特点,其目的在使熟习此项技艺的人士能够了解本发明的内容并据以实施,当不能以的限定本发明的专利范围,即大凡依本发明所揭示的精神所作的均等变化或修饰,仍应涵盖在本发明的专利范围内。

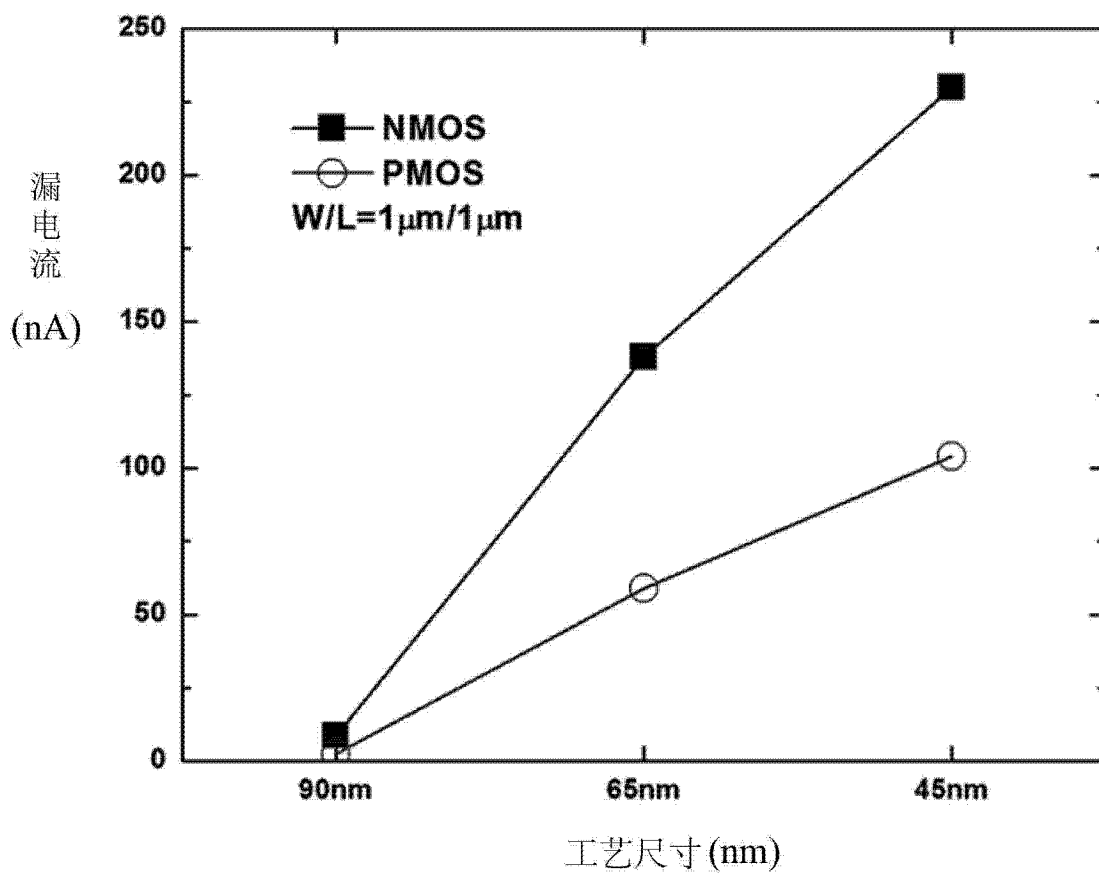


图 1

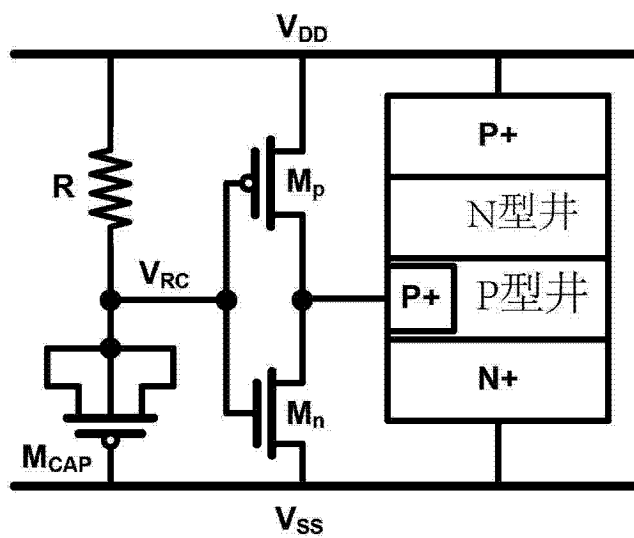


图 2

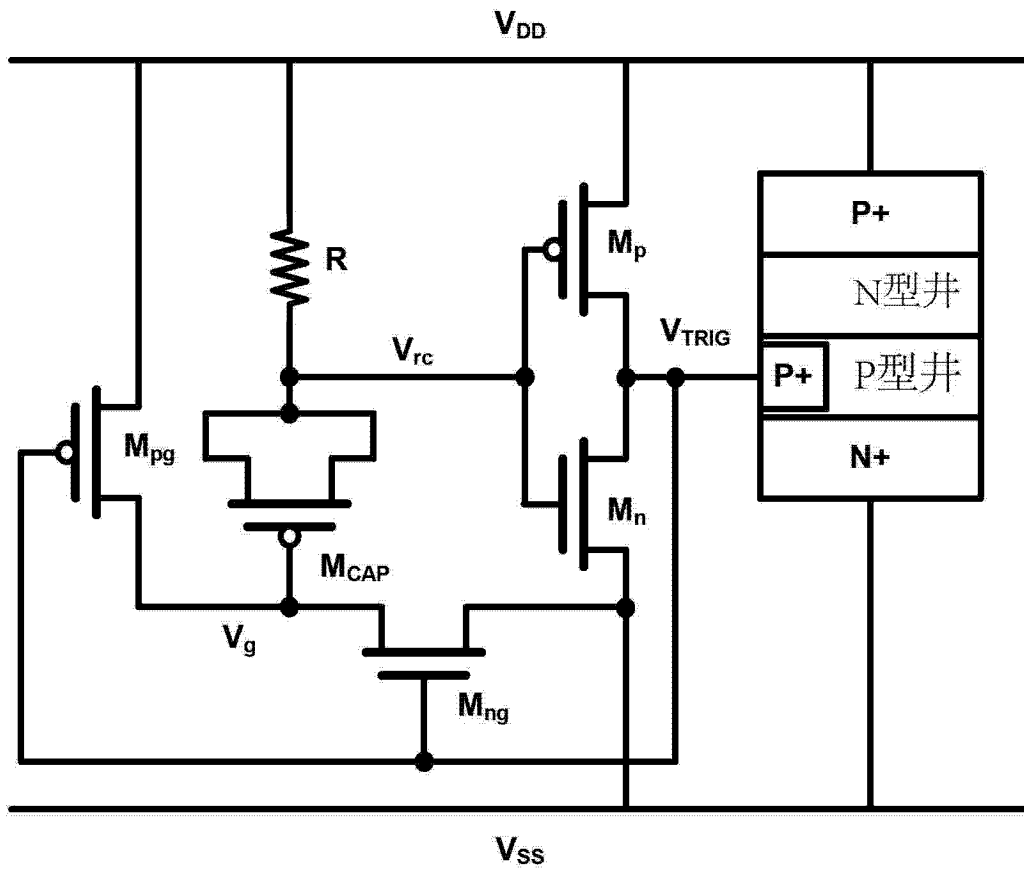


图 3

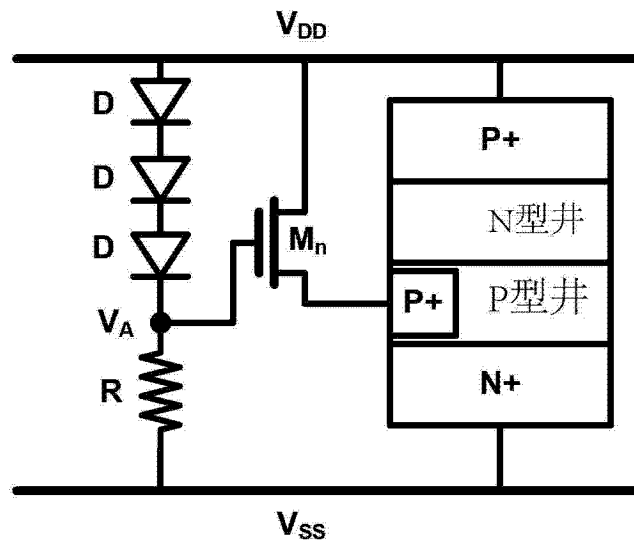


图 4

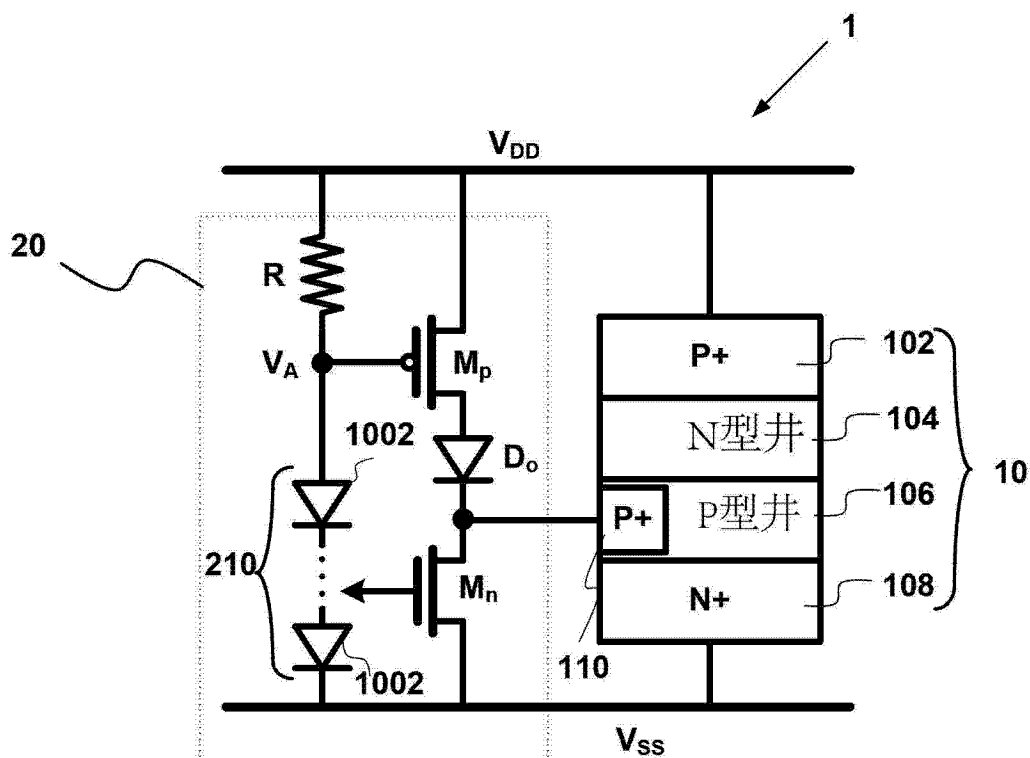


图 5

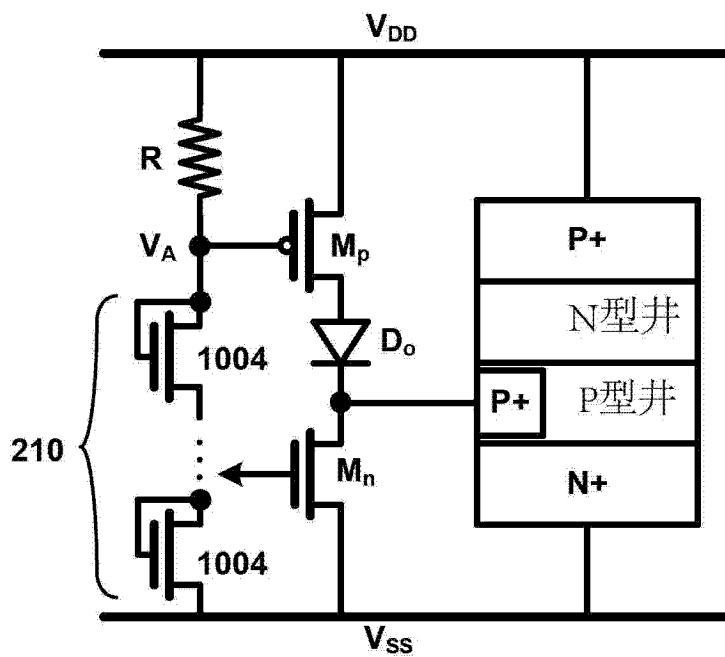


图 6

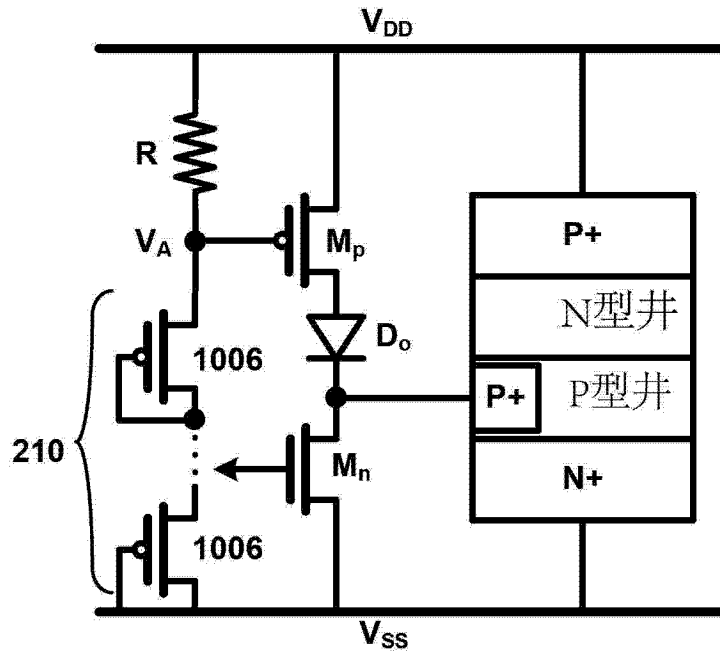


图 7

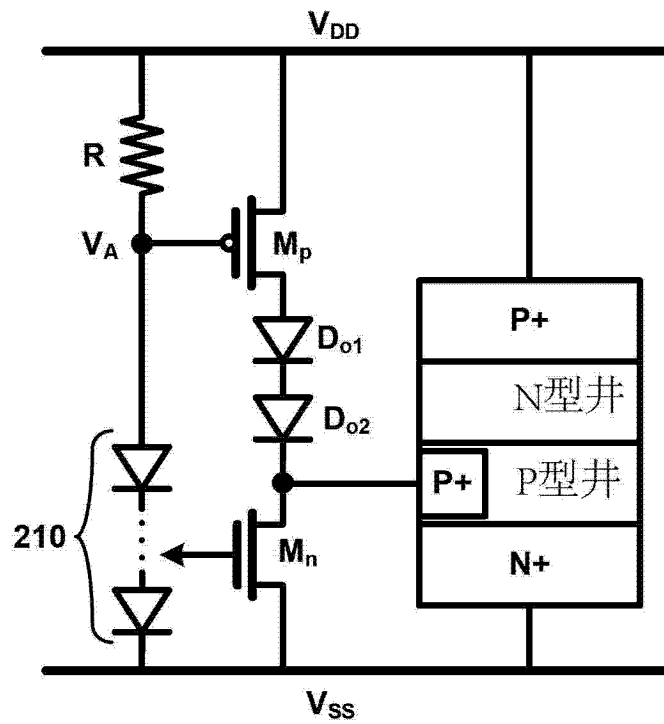


图 8

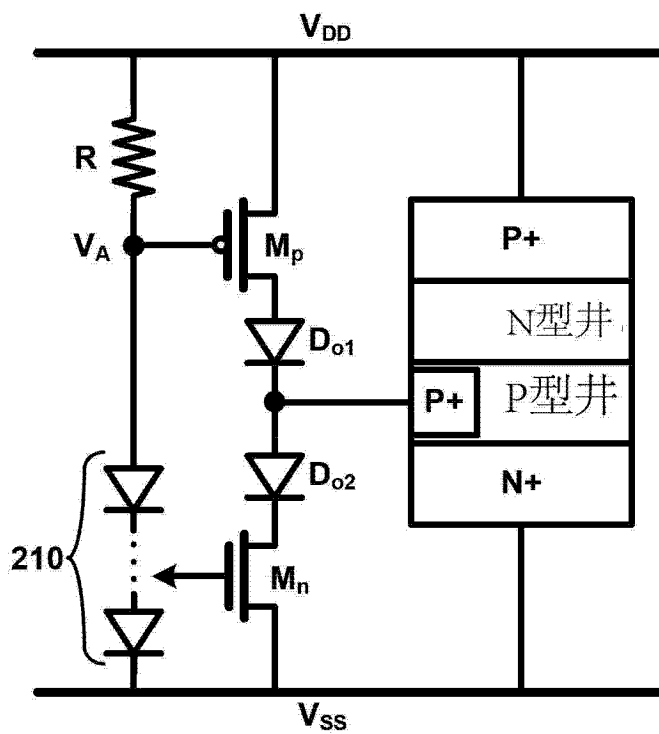


图 9

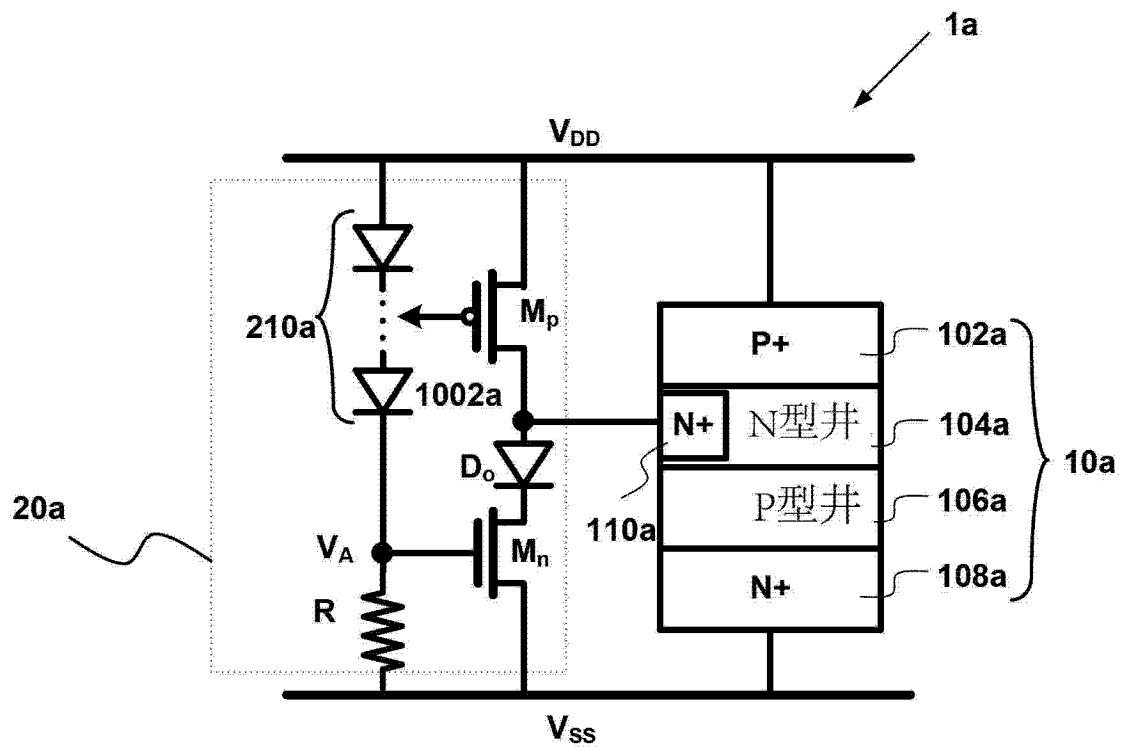


图 10

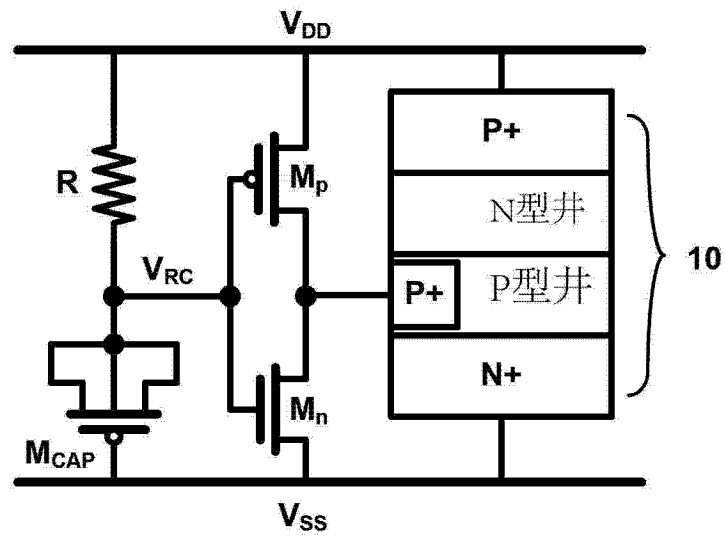


图 11A

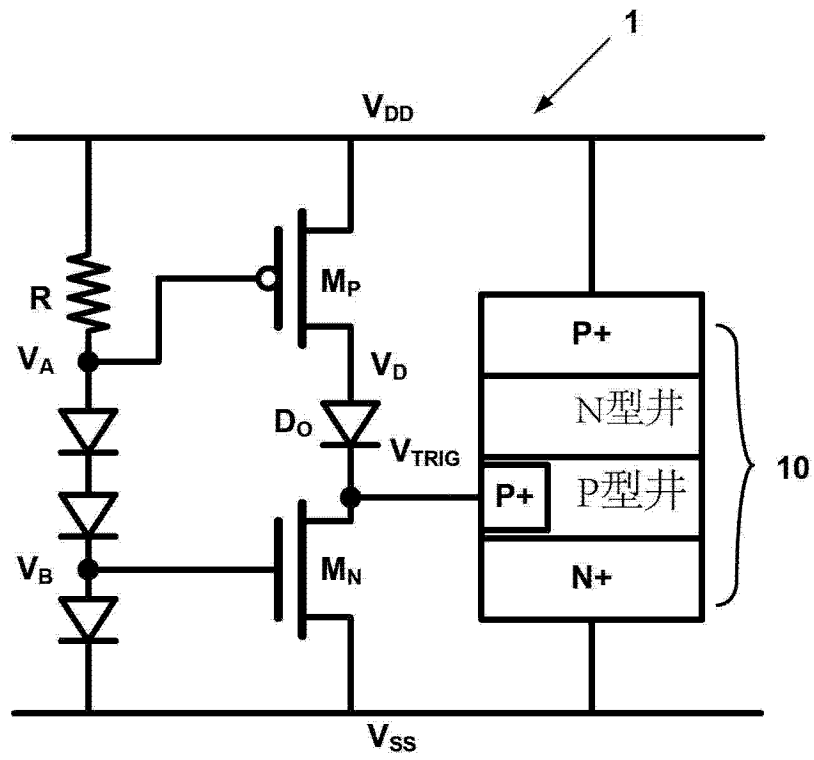


图 11B

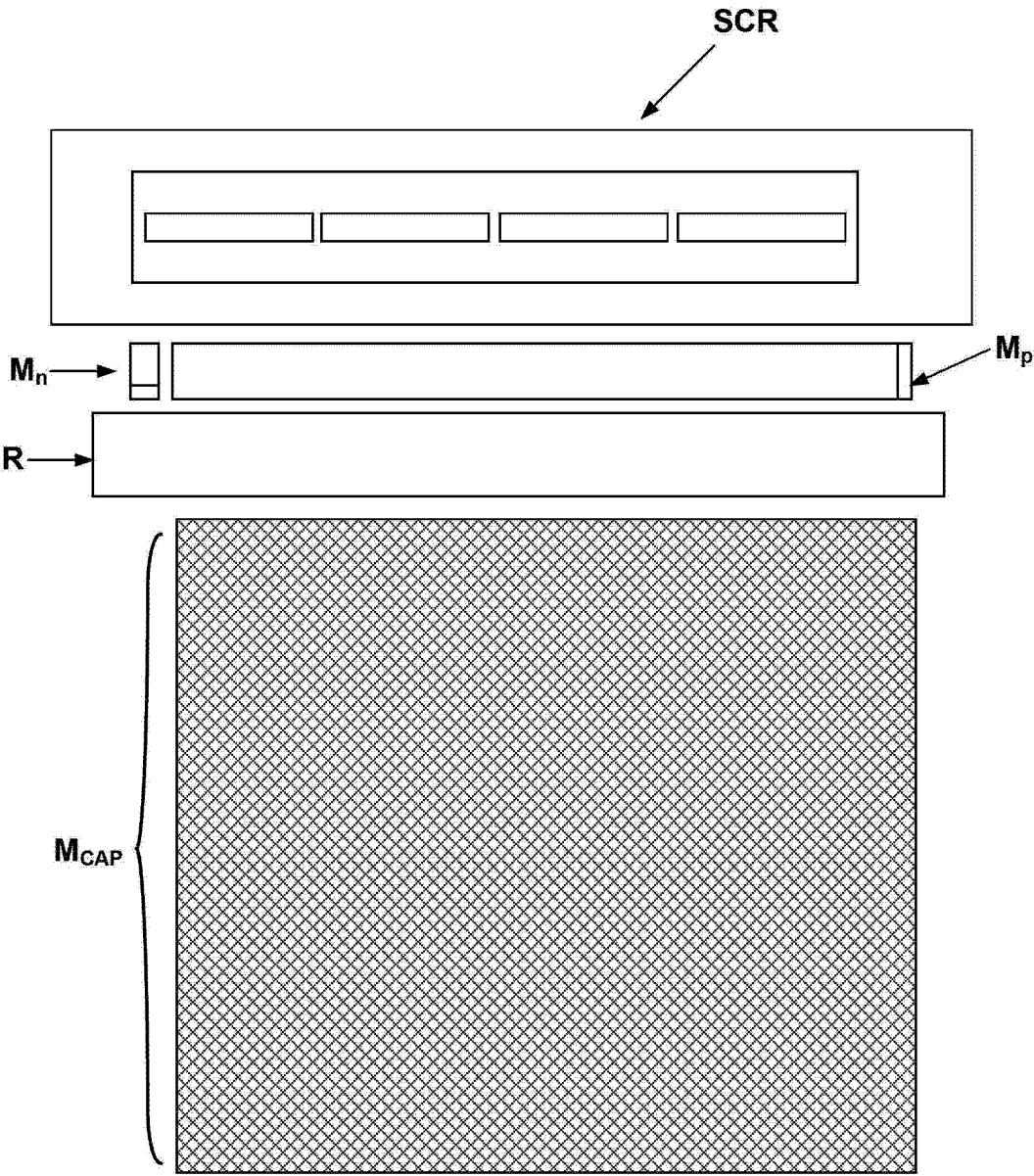


图 12

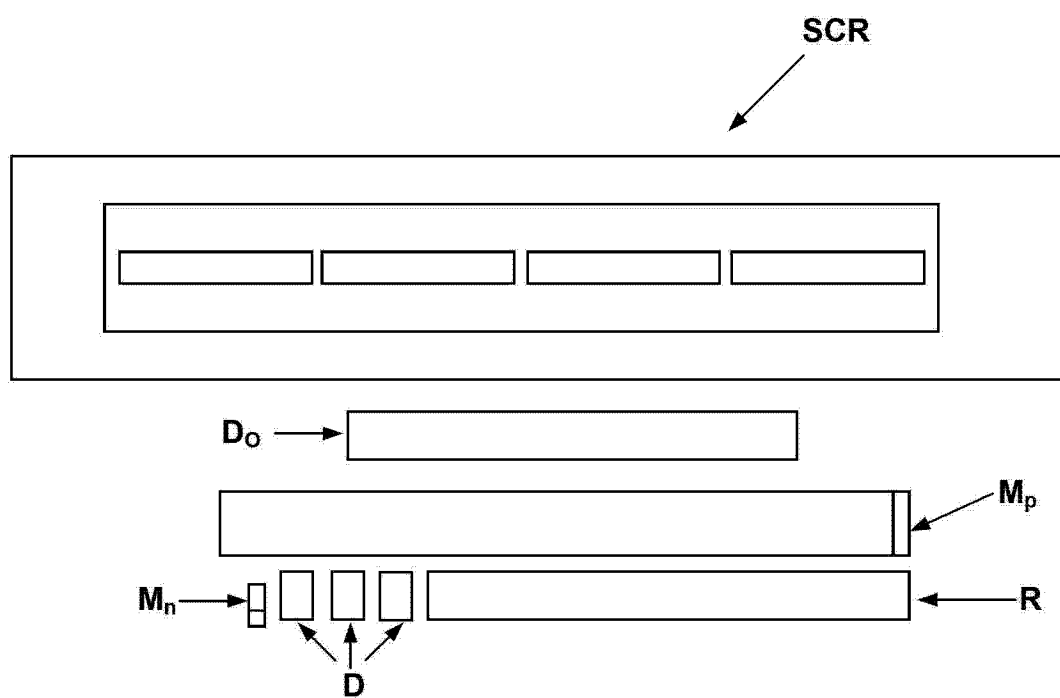


图 13