



(12) 发明专利

(10) 授权公告号 CN 102957138 B

(45) 授权公告日 2015. 07. 15

(21) 申请号 201110237505. 6

US 5733794 A, 1998. 03. 31, 说明书第 3 栏第

(22) 申请日 2011. 08. 18

26-41 行及图 3.

(73) 专利权人 智原科技股份有限公司

审查员 周杰

地址 中国台湾新竹市

(72) 发明人 蔡富义 彭彦华 蔡佳谷 柯明道

(74) 专利代理机构 隆天知识产权代理有限公司

72003

代理人 赵根喜 冯志云

(51) Int. Cl.

H02H 9/04(2006. 01)

H01L 27/02(2006. 01)

(56) 对比文件

JP 特开 2001-267496 A, 2001. 09. 28, 全文.

CN 101339941 A, 2009. 01. 07, 说明书第 4 页
具体实施方式第 1 段 - 第 7 页第 1 段及附图 3-8.

US 2006/0232897 A1, 2006. 10. 19, 说明书第
0034-0042 段及附图 1-2.

US 2002/0130390 A1, 2002. 09. 19, 说明书第
0058-0059 段及附图 24-25.

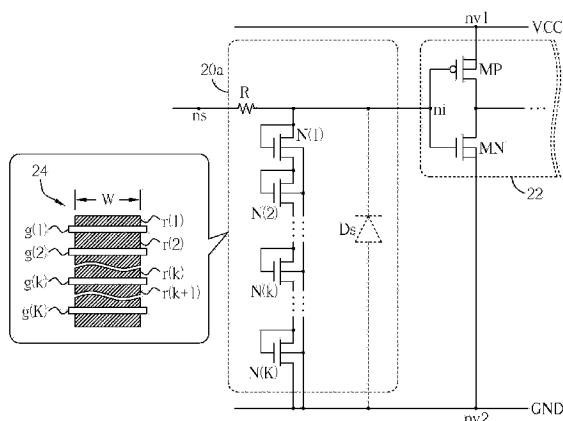
权利要求书1页 说明书8页 附图10页

(54) 发明名称

静电放电保护电路

(57) 摘要

本发明公开了一种静电放电保护电路, 设有一电阻与至少一保护晶体管; 电阻耦接于输出信号节点与内部电路的内部节点之间, 保护晶体管串联于电压节点与内部节点之间, 各保护晶体管的栅极耦接漏极。本发明可有效降低静电放电保护电路被触发导通的电压, 减少信号绕线上的电容性负载, 增加布局面积运用的效率。



1. 一种静电放电保护电路,其特征在于,该静电放电保护电路包含:

第一数目个第一保护晶体管,串联于一内部节点与一第一电压节点之间;各该第一保护晶体管具有一栅极、一源极与一漏极,该栅极耦接该漏极;以及

一电阻,耦接于该内部节点与一信号节点之间;

其中,当静电放电事件使该信号节点的电压大于该第一电压节点的电压,各该第一保护晶体管可导通一电流,该电流大于一比例值,该比例值等于一电压差除以该电阻的电阻值,而该电压差是该信号节点的电压与该内部节点的可耐受电压之间的差值;并且

其中,该第一数目个第一保护晶体管的其中之一的该源极与该漏极之一是经由两分支分别直接连接该内部节点与该电阻。

2. 如权利要求 1 所述的静电放电保护电路,其特征在于,各该第一保护晶体管还具有一体极,该体极耦接于该第一电压节点。

3. 如权利要求 1 所述的静电放电保护电路,其特征在于,各该第一保护晶体管还具有一体极,该体极各自耦接于该第一保护晶体管的该源极。

4. 如权利要求 1 所述的静电放电保护电路,其特征在于,各该第一保护晶体管还具有一体极,该体极耦接于一第二电压节点;该第二电压节点绝缘于该第一电压节点。

5. 如权利要求 1 所述的静电放电保护电路,其特征在于,该静电放电保护电路还包含:
至少一第二保护晶体管,与各该第一保护晶体管串联于该内部节点与该第一电压节点之间;各该第二保护晶体管具有一第二源极、一第二栅极与一第二漏极,该第二栅极耦接该第二漏极。

6. 如权利要求 5 所述的静电放电保护电路,其特征在于,一个该第一保护晶体管的漏极与一个该第二保护晶体管的第二漏极相互耦接以使各该第一保护晶体管与各该第二保护晶体管串联于该内部节点与该第一电压节点之间。

7. 如权利要求 1 所述的静电放电保护电路,其特征在于,该静电放电保护电路还包含至少一二极管,该二极管串联于该内部节点与该第一电压节点之间。

8. 如权利要求 1 所述的静电放电保护电路,其特征在于,该内部节点用以耦接至少一内部晶体管,该内部晶体管的栅极氧化层厚度小于各该第一保护晶体管的栅极氧化层厚度。

静电放电保护电路

技术领域

[0001] 本发明涉及一种静电放电保护电路,且特别涉及一种基于金属氧化物半导体晶体管串联架构的静电放电保护电路。

背景技术

[0002] 芯片是现代信息社会最重要的硬件基础。为了汲取运作所需的电力,芯片设有电力接垫,如电源接垫与地端接垫,分别将工作电压与地端电压传输至芯片内的电源绕线与地端绕线(可统称为电力绕线)。为了要和外界电路交换信号,芯片还设有输出接垫,将输出信号传输至芯片内的信号绕线,使芯片中的内部电路可经由此信号绕线交换信号。芯片中亦可划分出不同的电源领域(power domain),各电源领域中的内部电路操作于不同的工作电压及/或地端电压,而不同电源领域的内部电路间亦以信号绕线交换信号。不过,高电压的静电放电也会由各种接垫与绕线传导至芯片内部;为了保护芯片不受静电放电的危害,芯片中会设置静电放电保护电路。

[0003] 当静电放电事件发生在信号绕线与电力绕线之间时,静电放电保护电路会在两者间导通静电放电的电流,使静电放电的电流不会累积成高电压而伤害信号绕线上的内部电路。请参考图 1A,其所示意的是一用在输入接垫 PAD 上的公知静电放电保护电路 10,用以保护内部电路 12;例如说,内部电路 12 中可包括一晶体管 MP0 与一晶体管 MN0,分别为 n 沟道与 p 沟道金属氧化物半导体晶体管,其栅极共同耦接于节点 ni,以从节点 ns 的信号绕线上接收信号。内部电路 12 由节点 nv1 与 nv2 的电力绕线分别耦接直流电压 VCC(电源电压)与 GND(地端电压)。在内部电路 12 中,晶体管 MP0 与 MN0 的栅极氧化层可耐受电压可用电压 V_{t_ox} 表示;在现代化先进工艺的芯片中,内部电路会使用薄氧化层的晶体管,故可耐受的电压 V_{t_ox} 较低。也就是说,若节点 ni 的电压高于电压 V_{t_ox} ,晶体管 MP0 及/或 MN0 的栅极氧化层就会受到伤害。

[0004] 为保护晶体管 MN0 与 MP0 的栅极氧化层,公知静电放电保护电路 10 中设有一主要静电保护元件 N1、一主要静电保护元件 P1 及一次级保护电路,包括一电阻 R0、一晶体管 N0 与一晶体管 P0。主要静电保护元件 N1 耦接于节点 ns 与 nv2 之间;主要静电保护元件 P1 耦接于节点 nv1 与 ns 之间。晶体管 N0 与 P0 分别为 n 沟道与 p 沟道金属氧化物半导体晶体管;晶体管 N0 的栅极与源极共同耦接至节点 nv2,漏极耦接节点 ni;晶体管 P0 的栅极与源极则共同耦接至节点 nv1,漏极亦耦接节点 ni。

[0005] 静电放电保护电路 10 的运作可描述如下。当静电放电未发生时,静电放电保护电路 10 的主要静电保护元件 N1 与 P1 以及晶体管 N0 与 P0 皆不导通。当静电放电发生于节点 ns 与 nv2 之间,若主要静电保护元件 N1 未先导通,或虽然主要静电保护元件 N1 已先导通,但因为大量静电电流流过主要静电保护元件 N1 而使节点 ns 上出现一快速增加的电压 V_{ESD} 时,若电压 V_{ESD} 为正(相对于节点 nv2),则晶体管 N0 会击穿导通;若电压 V_{ESD} 为负,则晶体管 N0 的寄生二极管会顺向导通,以将节点 ni 导通至节点 nv2。因此,节点 ni 上的电压 V_g 可计算为:
$$V_g = V_{bd_mos} + (V_{ESD} - V_{bd_mos}) * R_{mos} / (R_0 + R_{mos})$$
;其中,电压 $V_{bd_}$

mos 为晶体管 N0 导通时在节点 ni 与 nv2 间的跨压,电阻 Rmos 则是晶体管 N0 击穿导通时在节点 ni 与 nv2 间的等效电阻值。

[0006] 为了保护晶体管 MP0 与 MN0 的栅极,静电放电保护电路 10 应使节点 ni 的电压 V_g 低于电压 V_{t_ox} 。换言之,公知静电放电保护电路 10 的设计者应能由晶体管击穿导通的电路模型设计晶体管 N0 的尺寸,并推算电阻 R0 的电阻值。然而,当以电路模拟软件(如 SPICE)模拟金属氧化物半导体晶体管的行为时,其用以模拟沟道导通(即于栅极下形成反转层以利用漏极与源极间的载子沟道导通电流)的电路模型较为精确,模拟击穿导通的电路模型则较不精确,难以正确掌握击穿导通的运作,连带影响公知静电放电保护电路 10 的设计与实施。

[0007] 再者,公知静电放电保护电路 10 亦有其他设计应用上的难点。若晶体管 MN0/MP0 为薄氧化层之晶体管,则必须采用薄氧化层的晶体管来作为晶体管 N0/P0 才能得到较佳的保护效果,但其漏电流会较大,且其等效电容也较高,会增加节点 ni 上的负载,不利于高速信号传输。若晶体管 N0/P0 为厚氧化层晶体管,则使晶体管击穿导通的电压较高,难以及时、快速地在静电放电时导通,影响静电放电保护的运作。

[0008] 另外,如美国专利 US 5530612 与 Worley 等人于 EOS/ESD Symp., 2010 年版第 381 页,2010 的论文《CDM Effect on a 65nm SOC LNA》中,亦提及以串联二极管形成的静电放电保护电路,如图 1B 所示;其以二极管 Da、Db1 与 Db2b 保护晶体管 MN1 的栅极。不过,此种公知的静电放电保护电路亦有缺点。二极管以 n 型阱与 n 型阱中的 p 掺杂区分别形成阴阳两极;要串联多个二极管(如二极管 Db1 与 Db2),就要有多个 n 型阱。这些 n 型阱之间需有相当的间隔距离,各 n 型阱的周边又需设置护环(guard ring),故公知静电放电保护电路会占用较大的布局,运用布局面积的效率不佳。再者,p 掺杂区、n 型阱与地端电压的 p 基底之间会形成 pnp 至地端的达灵顿电路(Darlington Pair)漏电路径,导通较多的漏电流。此外,在此种公知静电放电保护电路中,若串联二极管的阳极与阴极分别耦接于一第一节点与一第二节点之间,则还需额外搭配另一反方向配置的二极管;此反方向二极管的阳极与阴极分别耦接第二节点与第一节点,以导通由第二节点至第一节点的静电放电电流。此反方向二极管又需占用额外的布局面积。

发明内容

[0009] 针对现有技术中存在的问题,本发明的目的在于提出一种静电放电保护电路,包括一电阻与至少一保护晶体管;保护晶体管串联于一内部节点与一电压节点之间;各保护晶体管具有一栅极、一源极与一漏极,栅极耦接漏极。电阻耦接于内部节点与信号节点之间。

[0010] 本发明的有益效果在于,相较于公知技术,本发明静电放电保护技术采用串联晶体管的电路架构,可有效降低静电放电保护电路被触发导通的电压,减少信号绕线上的电容性负载,增加布局面积运用的效率。本发明静电放电保护技术亦具备多项设计参数,可藉此调整静电放电保护电路的触发电压、漏电流、对信号绕线的负载与布局尺寸等等,以提供电路设计上的弹性,并适应各种不同的应用;举例而言,除了使用在输入接垫处作为次级保护电路之外,本发明也可使用在多重电源领域的设计中,作为不同电源领域接口的保护电路。

[0011] 为了对本发明的上述及其他方面有更佳的了解,下文特举较佳实施例,并配合附图,作详细说明如下:

附图说明

[0012] 图 1A 示意一公知静电放电保护电路。

[0013] 图 1B 示意另一公知技术。

[0014] 图 2 至图 10 示意的是依据本发明不同实施例的静电放电保护电路。

[0015] 其中,附图标记说明如下:

[0016] 10、20a-20i:静电放电保护电路

[0017] 12、22:内部电路

[0018] 24:布局实施例

[0019] PAD:接垫

[0020] P1、N1:主要静电保护元件

[0021] P0、N0、MN0、MP0、N(.)、MN、MP、P(.)、MN1:晶体管

[0022] R0、R:电阻

[0023] ns、ni、nv1-nv2、na:节点

[0024] VCC、GND:电压

[0025] D、Da、Db1-Db2、Ds、Dsp、Dsn:二极管

[0026] g(.)、r(.):区域

[0027] W:宽度

具体实施方式

[0028] 请参考图 2,其所示意的是依据本发明一实施例的静电放电保护电路 20a,其可设置于芯片中,用以保护芯片中的内部电路 22。例如说,内部电路 22 中可包括一晶体管 MP 与一晶体管 MN,分别为 n 沟道与 p 沟道金属氧化物半导体晶体管,其栅极共同耦接于节点 ni(内部节点),以从节点 ns(信号节点)的信号绕线上接收信号。信号来源可以来自于输入接垫,或是由一不同电源领域的信号输出而耦接到节点 ns。内部电路 22 由节点 nv1 与 nv2(两节点可视为电压节点)的电力绕线分别耦接电压 VCC(电源电压)与 GND(地端电压);晶体管 MN 的源极与体极(bulk)即耦接于节点 nv2,晶体管 MP 的源极与体极则耦接于节点 nv1。晶体管 MN 与 MP 可以是布局面积小、速度快、操作于低电源电压的薄氧化层晶体管,其栅极氧化层的可耐受电压可用电压 V_{ox_t} 代表。

[0029] 在图 2 实施例中,本发明静电放电保护电路 20a 设有一电阻 R 与晶体管 N(1)、N(2)、...、N(k) 至 N(K)。电阻 R 耦接于节点 ns 与 ni 之间,晶体管 N(1) 至 N(K) 则作为保护晶体管,串联于节点 ni 与 nv2 之间;其中,K 为一整数定值,晶体管 N(k) (k=1 至 K) 可以是 n 沟道金属氧化物半导体晶体管,具有一栅极、一源极、一漏极与一体极;栅极耦接于漏极,漏极与源极分别耦接于节点 ni 与 nv2 之间,体极则耦接至节点 nv2。若 K 等于 1,晶体管 N(1) 的漏极与源极分别耦接于节点 ni 与 nv2。若 K 大于 1,在晶体管 N(1) 至 N(K) 中,第一个晶体管 N(1) 的漏极耦接于节点 ni,最后一个晶体管 N(K) 的源极耦接于节点 nv2;晶体管 N(k) (k 大于 1 且小于等于 K) 的漏极耦接前一晶体管 N(k-1) 的源极。

[0030] 在本发明的一实施例中,晶体管 N(1) 至 N(K) 可以是厚氧化层的金属氧化物半导体晶体管。举例而言,在芯片中,会以薄氧化层、低电源电压的晶体管形成芯片核心的内部电路,并以厚氧化层、适用于高电源电压的晶体管实现芯片的输入输出电路;而晶体管 N(1) 至 N(K) 即可以用后者来实现。也就是说,晶体管 N(1) 至 N(K) 的栅极氧化层厚度可以大于或等于内部晶体管 MP/MN 的栅极氧化层厚度。厚氧化层晶体管的漏电流较小,寄生电容也较低。

[0031] 当静电放电未发生、芯片正常运作时,节点 ni 的电压低于各晶体管 N(1) 至 N(K) 的临限电压叠加,各晶体管 N(1) 至 N(K) 不导通,不影响芯片的正常运作。当静电放电发生于节点 ns 与 nv2 之间而使节点 ns 上出现一正电压 V_{ESD} 时,电压 V_{ESD} 高于各晶体管 N(1) 至 N(K) 的临限电压叠加,故晶体管 N(1) 至 N(K) 会进行沟道导通,以将静电放电的电流由节点 ni 导通至节点 nv2。此时,节点 ni 上的电压 V_g 可计算为: $V_g = V_{ESD} - I \cdot R$,其中,电流 I 为晶体管 N(1) 至 N(K) 在节点 ni 至 nv2 间导通的漏极至源极沟道电流。也就是说,配合适当的电阻 R,晶体管 N(1) 至 N(K) 导通的电流 I 会降低电压 V_{ESD} 的影响,使节点 ni 的电压 V_g 低于电压 V_{ox_t} ,保护内部电路 22 中的栅极氧化层。

[0032] 相较于公知技术,本发明静电放电保护电路 20a 的优点可说明如下。本发明静电放电保护电路基于沟道导通而进行静电放电保护,也就是说,本发明是利用金属氧化物半导体晶体管操作于活性区(active region)的特性来进行静电放电保护,在栅极源极间跨压高于临限电压的情形下于栅极下的反转层中形成漏极至源极的沟道,以此导通静电放电的电流 I。因此,当要依据本发明技术设计静电放电保护电路时,可依据更为精准详实的沟道导通电路模型正确掌握静电放电保护的运作情形。

[0033] 因为本发明静电放电保护技术基于临限电压的沟道导通,且金属氧化物半导体晶体管的临限电压低于击穿电压,故可比击穿导通更快速、更及时地响应静电放电事件。而且,本发明在应用上也更具有弹性,可利用晶体管 N(1) 至 N(K) 的个数(即 K)来调整静电放电电路 20a 被触发导通的电压。若个数 K 较少,晶体管 N(1) 至 N(K) 的临限电压叠加也会较低,使静电放电电路 20a 会更容易导通,更为灵敏地反应静电放电事件。

[0034] 本发明静电放电保护电路 20a 中的各晶体管 N(1) 至 N(K) 采取串联配置,因此,各晶体管的寄生电容会因串联而缩减,减少节点 ni 上的负载,使本发明静电放电保护电路可在高速信号传输的信号绕线上进行静电放电保护。

[0035] 再者,本发明技术利用布局面积的效率也较高,因为各晶体管 N(1) 至 N(K) 的布局可以接续在一起。图 2 中也示意了晶体管 N(1) 至 N(K) 的一种布局实施例 24;在布局实施例 24 中,各栅极氧化层区域 $g(1)$ 、 $g(2)$ 、...、 $g(k)$ 至 $g(K)$ 分别为晶体管 N(1)、N(2)、...、N(k) 至 N(K) 的栅极,其他掺杂区域(如 n 掺杂区) $r(1)$ 、 $r(2)$ 至 $r(k)$ 、 $r(k+1)$ 等则为晶体管的漏极与源极。例如说,区域 $r(2)$ 为晶体管 N(1) 的源极,亦为晶体管 N(2) 的漏极;同理,区域 $r(k)$ 为晶体管 N(k) 的漏极,亦为晶体管 N(k+1) 的源极。也就是说,各晶体管 N(1) 至 N(K) 之间不需隔离,可以集中设置而缩减布局面积。此外,晶体管 N(1) 至 N(K) 也不会形成达灵顿电路的漏电路径。

[0036] 在图 2 实施例中,由于晶体管 N(1) 至 N(K) 的体极共同耦接至节点 nv2,晶体管 N(1) 至 N(K) 会在节点 ni 与 nv2 之间形成一寄生的二极管 D_s ,其阳极耦接节点 nv2,阴极耦接节点 ni。因此,静电放电保护电路 20a 可以不必额外搭配反方向配置的二极管。当节

点 nv2 至 ns 间发生静电放电而于节点 nv2 上出现一正电压时,寄生二极管 D_s 可发挥反方向二极管的静电放电保护功能,将节点 nv2 的静电放电电流导通至节点 ni 与 ns。

[0037] 本发明静电放电保护电路 20a 亦提供多种设计参数,让同一种电路架构能以不同的设计参数组合适用于不同的应用。举例而言,晶体管 $N(1)$ 至 $N(K)$ 的个数 K 即是一个可弹性调整的设计参数。在不同应用中,节点 ni 的信号摆动幅度会有所不同,也具有不同的直流偏移 (dc offset);根据正常信号的操作范围,本发明可以选取让保护放电保护电路 20a 的漏电流在可容许界限下的最小 K 值,以在不影响正常电路操作的条件下,得到较低的静电触发导通电压,达到较佳的静电防护效果。

[0038] 本发明静电放电保护电路的其他设计参数还包括电阻 R 的电阻值,以及各晶体管 $N(1)$ 至 $N(K)$ 的尺寸,例如宽度 W ,以适应不同电路对输入阻抗及电容负载的需求,而不必牺牲静电防护能力。在本发明的一实施例中,静电放电保护电路 20a 可作为一次级 (secondary) 保护电路,与一主要 (primary) 保护电路 (未图示) 一同进行静电放电保护。主要保护电路可以耦接在节点 nv1、nv2 及 / 或 ns 之间;例如说,若主要保护电路距离被保护的 ns 节点较远,当节点 ns 与 nv2 间发生静电放电而在节点 ns 上形成正电压时,主要保护电路加上其耦接的等效电容电阻会箝制节点 ns 的电压,使节点 ns 的电压不大于一电压 V_{ESDmax} ;静电放电保护电路 20a 则导通电流 I ,使节点 ni 的电压不超过内部电路所能耐受的栅极电压 V_{ox_t} 。也就是说,在主要保护电路与次级保护电路运作时,下列等式应该成立: $V_{ESDmax} = I \cdot R + V_{ox_t}$ 。依据此等式,便可建立一静电放电保护机制的设计流程,并应用本发明的各项设计参数来适应各种应用对静电放电保护机制的不同需求。

[0039] 在此设计流程中,可以先采用测试电路验证一工艺的栅极氧化层在静电放电之下所能耐受的电压 V_{ox_t} 。然后,便可依据等式 $V_{ESDmax} = I \cdot R + V_{ox_t}$ 调整电压 V_{ESDmax} 、电流 I 与电阻 R 以适应不同的应用。举例而言,利用已知的电压 V_{ox_t} 、电流 I 与电阻 R ,便可推算电压 V_{ESDmax} ,并据此来设计主要保护电路应具备的钳压能力。或者,在电压 V_{ESDmax} 已决定的情形下,可依据应用的需求弹性地决定电流 I 与电阻 R 。举例而言,在某些应用中,节点 ns 与 ni 上的信号传输需求会限制电阻 R 的电阻值,其电阻值不能太大;为适应此限制,本发明可增加晶体管 $N(1)$ 至 $N(K)$ 的宽度 W 。增加宽度 W 可以加大静电放电时导通的电流 I ,使电压降 $I \cdot R$ 仍足以将节点 ni 的电压压低至电压 V_{ox_t} 以下。在另一些应用中,宽度 W 有所限制,而本发明可增加电阻 R 的电阻值,使静电放电保护电路 20a 仍能将节点 ni 的电压压制在电压 V_{ox_t} 以下。

[0040] 请参考图 3 与图 4,图 3 与图 4 示意的分别是依据本发明实施例的静电放电保护电路 20b 与 20c,保护内部电路 22。内部电路 22 从节点 ns 的信号绕线上接收信号,由节点 nv1 与 nv2 的电力绕线分别耦接直流电压 VCC 与 GND。本发明静电放电保护电路 20b 与 20c 均设有一电阻 R 与晶体管 $P(1)$ 、 $P(2)$ 、...、 $P(j)$ 至 $P(J)$ 。电阻 R 耦接于节点 ns 与 ni 之间,晶体管 $P(1)$ 至 $P(J)$ 则作为保护晶体管,串联于节点 ni 与 nv1 之间;其中, J 为一整数定值。各晶体管 $P(j)$ ($j = 1$ 至 J) 可以是 p 沟道金属氧化物半导体晶体管,具有一栅极、一源极、一漏极与一体极;栅极耦接于漏极,源极与漏极分别耦接于节点 nv1 与 ni 之间。若 J 大于 1,则在晶体管 $P(1)$ 至 $P(J)$ 中,第一个晶体管 $P(1)$ 的漏极耦接于节点 ni,最后一个晶体管 $P(J)$ 的源极耦接于节点 nv1;晶体管 $P(j)$ (j 大于 1 且小于等于 J) 的漏极耦接前一晶体管 $P(j-1)$ 的源极。若 J 等于 1,则晶体管 $P(1)$ 的漏极与源极分别耦接至节点 ni 与 nv1。

[0041] 静电放电保护电路 20b 与 20c 的运作可描述如下。当静电放电发生于节点 $nv1$ 与 ns 之间而使节点 $nv1$ 上出现一正电压 V_{ESD} 时, 电压 V_{ESD} 高于各晶体管 $P(1)$ 至 $P(J)$ 的临限电压叠加, 使晶体管 $P(1)$ 至 $P(J)$ 导通, 将静电放电的电流由节点 $nv1$ 导通至节点 ni 与 ns , 并限制节点 ni 的电压, 保护内部电路 22 中的栅极氧化层。

[0042] 当静电放电未发生、芯片正常运作时, 各晶体管 $P(1)$ 至 $P(J)$ 不导通, 不影响芯片的正常运作。

[0043] 在图 3 静电放电保护电路 20b 中, 各晶体管 $P(1)$ 至 $P(J)$ 的体极共同耦接至节点 $nv1$, 故会在节点 ni 与 $nv1$ 间形成一寄生的二极管 Ds , 其阳极与阴极分别耦接节点 ni 与节点 $nv1$ 。当节点 ns 至 $nv1$ 间发生静电放电而于节点 ns 上出现一正电压时, 寄生二极管 Ds 可发挥顺向二极管的静电放电保护功能, 将节点 ns 的静电放电电流导通至节点 $nv1$ 。在图 4 静电放电保护电路 20c 中, 各晶体管 $P(1)$ 至 $P(J)$ 的体极各自耦接至源极, 故静电放电保护电路 20c 中可设置另一二极管 D , 其阳极与阴极分别耦接节点 ni 与 $nv1$ 。当节点 ns 至 $nv1$ 间发生静电放电而于节点 ns 上出现一正电压时, 静电放电保护电路 20c 中由串联晶体管 $P(1)$ 至 $P(J)$ 形成的寄生二极管与外加的二极管 D 可发挥顺向二极管的静电放电保护功能, 将节点 ns 的静电放电电流导通至节点 $nv1$ 。

[0044] 请参考图 5 至图 7, 各图所分别示意的是依据本发明实施例的静电放电保护电路 20d 至 20f, 保护内部电路 22。内部电路 22 从节点 ns 的信号绕线上接收信号, 并由节点 $nv1$ 与 $nv2$ 的电力绕线分别耦接直流电压 VCC 与 GND 。本发明静电放电保护电路 20d、20e 与 20f 均设有一电阻 R 与晶体管 $P(1)$ 、 $P(2)$ 、...、 $P(j)$ 至 $P(J)$ 。电阻 R 耦接于节点 ns 与 ni 之间, 晶体管 $P(1)$ 至 $P(J)$ 则作为保护晶体管, 串联于节点 ni 与 $nv2$ 之间; 其中, J 为一整数定值。各晶体管 $P(j)$ ($j = 1$ 至 J) 可以是 p 沟道金属氧化物半导体晶体管, 具有一栅极、一源极、一漏极与一体极; 栅极耦接于漏极, 漏极与源极分别耦接于节点 $nv2$ 与 ni 之间。若 J 大于 1, 在晶体管 $P(1)$ 至 $P(J)$ 中, 第一个晶体管 $P(1)$ 的漏极耦接于节点 $nv2$, 最后一个晶体管 $P(J)$ 的源极耦接于节点 ni ; 晶体管 $P(j)$ (j 大于 1 且小于等于 J) 的漏极耦接前一晶体管 $P(j-1)$ 的源极。若 J 等于 1, 则晶体管 $P(1)$ 的漏极与源极分别耦接至节点 $nv2$ 与 ni 。

[0045] 类似于图 2 的静电放电保护电路 20a, 当静电放电发生于节点 ns 与 $nv2$ 之间而使节点 ns 上出现一正电压 V_{ESD} 时, 静电放电保护电路 20d、20e 与 20f 中的晶体管 $P(1)$ 至 $P(J)$ 会导通, 将静电放电的电流由节点 ni 导通至节点 $nv2$, 并限制节点 ni 上的电压, 保护内部电路 22 中的栅极氧化层。

[0046] 在图 5 静电放电保护电路 20d 中, 各晶体管 $P(1)$ 至 $P(J)$ 的体极共同耦接至节点 ni , 故会在节点 ni 与 $nv2$ 间形成一寄生的二极管 Ds , 其阳极与阴极分别耦接节点 $nv2$ 与节点 ni 。在图 6 静电放电保护电路 20e 中, 各晶体管 $P(1)$ 至 $P(J)$ 的体极各自耦接至源极, 故静电放电保护电路 20e 中可设置另一二极管 D , 其阳极与阴极分别耦接节点 $nv2$ 与 ni 。在图 7 静电放电保护电路 20f 中, 各晶体管 $P(1)$ 至 $P(J)$ 的体极则共同耦接至节点 $nv1$, 而静电放电保护电路 20f 中可设置另一二极管 D , 其阳极与阴极分别耦接节点 $nv2$ 与 ni 。当节点 $nv2$ 至 ns 间发生静电放电而于节点 $nv2$ 上出现一正电压时, 静电放电保护电路 20d 的二极管 Ds 与静电放电保护电路 20e、20f 的二极管 D 可发挥顺向二极管的静电放电保护功能, 将节点 $nv2$ 的静电放电电流导通至节点 ni 。

[0047] 请参考图 8 至图 10, 各图所分别示意的是依据本发明实施例的静电放电保护电路

20g 至 20i, 保护内部电路 22。内部电路 22 从节点 ns 的信号绕线上接收信号, 并由节点 nv1 与 nv2 的电力绕线分别耦接直流电压 VCC 与 GND; 节点 nv1 与 nv2 间是绝缘的。本发明静电放电保护电路 20g、20h 与 20i 均设有一电阻 R、晶体管 P(1)、...、P(J) 至 P(J) 与晶体管 N(1)、...、N(K) 至 N(K)。电阻 R 耦接于节点 ns 与 ni 之间, 晶体管 P(1) 至 P(J)、晶体管 N(1) 至 N(K) 则作为保护晶体管, 串联于节点 ni 与 nv2 之间; 其中, K 与 J 分别为一整数定值, K 与 J 可以相等或不相等。晶体管 P(j) 与 N(k) 为不同类型的晶体管; 晶体管 P(1) 至 P(J) 可以是 p 沟道金属氧化物半导体晶体管, 晶体管 N(1) 至 N(K) 则可以是 n 沟道金属氧化物半导体晶体管。各晶体管 P(j) (j = 1 至 J) 具有一栅极、一源极、一漏极与一体极; 栅极耦接于漏极, 漏极与源极分别耦接于节点 na 与 ni 之间。各晶体管 N(k) (k = 1 至 K) 亦具有一栅极、一源极、一漏极与一体极; 栅极耦接于漏极, 漏极与源极分别耦接于节点 na 与 nv2 之间。若 J 大于 1, 则在晶体管 P(1) 至 P(J) 中, 第一个晶体管 P(1) 的漏极耦接于节点 na, 最后一个晶体管 P(J) 的源极耦接于节点 ni; 晶体管 P(j) (j 大于 1 且小于等于 J) 的漏极耦接前一晶体管 P(j-1) 的源极。若 J 等于 1, 则晶体管 P(1) 的漏极与源极分别耦接至节点 na 与 ni。

[0048] 若 K 大于 1, 则在晶体管 N(1) 至 N(K) 中, 第一个晶体管 N(1) 的漏极于节点 na 耦接晶体管 P(1) 的漏极, 最后一个晶体管 N(K) 的源极耦接于节点 nv2; 晶体管 N(k) (k 大于 1 且小于等于 K) 的漏极耦接前一晶体管 N(k-1) 的源极。晶体管 N(1) 至 N(K) 的体极共同耦接于节点 nv2。若 K 等于 1, 则晶体管 N(1) 的漏极与源极分别耦接至节点 na 与 nv2。

[0049] 类似于图 2 的静电放电保护电路 20a, 当静电放电发生于节点 ns 与 nv2 之间而使节点 ns 上出现一正电压 V_{ESD} 时, 静电放电保护电路 20g、20h 与 20i 中的晶体管 P(1) 至 P(J)、N(1) 至 N(K) 皆会进行沟道导通, 将静电放电的电流由节点 ni 导通至节点 nv2, 并限制节点 ni 上的电压, 保护内部电路 22 中的栅极氧化层。

[0050] 在图 8 静电放电保护电路 20g 中, 各晶体管 P(1) 至 P(J) 的体极共同耦接至节点 ni, 故会在节点 na 与 ni 间形成一寄生的二极管 D_{sp}; 类似地, 由于各晶体管 N(1) 至 N(K) 的体极共同耦接至节点 nv2, 故会在节点 nv2 与节点 na 间形成另一寄生二极管 D_{sn}。二极管 D_{sp} 与 D_{sn} 串联于节点 ni 与 nv2 之间, 二极管 D_{sp} 的阳极耦接二极管 D_{sn} 的阴极; 二极管 D_{sp} 的阴极耦接节点 ni, 二极管 D_{sn} 的阳极耦接节点 nv2。在图 9 静电放电保护电路 20h 中, 各晶体管 P(1) 至 P(J) 的体极各自耦接至源极, 故静电放电保护电路 20h 中可设置另一二极管 D, 其阳极与阴极分别耦接节点 nv2 与 ni。在图 10 静电放电保护电路 20i 中, 各晶体管 P(1) 至 P(J) 的体极则共同耦接至节点 nv1, 而静电放电保护电路 20i 中亦可设置另一二极管 D, 其阳极与阴极分别耦接节点 nv2 与 ni。当节点 nv2 至 ns 间发生静电放电而于节点 nv2 上出现一正电压时, 静电放电保护电路 20g 的二极管 D_{sp} 与 D_{sn}、静电放电保护电路 20h、20i 中的二极管 D 可发挥顺向二极管的静电放电保护功能, 将节点 nv2 的静电放电电流导通至节点 ni。

[0051] 在图 8 静电放电保护电路 20g 中, 晶体管 P(1) 至 P(J)、晶体管 N(1) 至 N(K) 的共体极配置亦会在节点 ni 与 nv2 间形成 pnpn 接面的寄生硅控整流器 (SCR, Silicon Controlled Rectifiers)。在静电放电发生时, 此硅控整流器会被触发, 增强静电放电保护电路 20g 在节点 ni 与 nv2 间导通电流的能力。

[0052] 总结来说, 相较于公知技术, 本发明静电放电保护技术采用串联晶体管的电路架

构,可有效降低静电放电保护电路被触发导通的电压,减少信号绕线上的电容性负载,增加布局面积运用的效率。本发明静电放电保护技术亦具备多项设计参数,可藉此调整静电放电保护电路的触发电压、漏电流、对信号绕线的负载与布局尺寸等等,以提供电路设计上的弹性,并适应各种不同的应用;举例而言,除了使用在输入接垫处作为次级保护电路之外,本发明也可使用在多重电源领域的设计中,作为不同电源领域接口的保护电路。

[0053] 综上所述,虽然本发明已以较佳实施例揭示如上,然其并非用以限定本发明。本发明所属技术领域中的技术人员,在不脱离本发明的精神和范围内,当可作各种的更动与润饰。因此,本发明的保护范围当视权利要求所界定者为准。

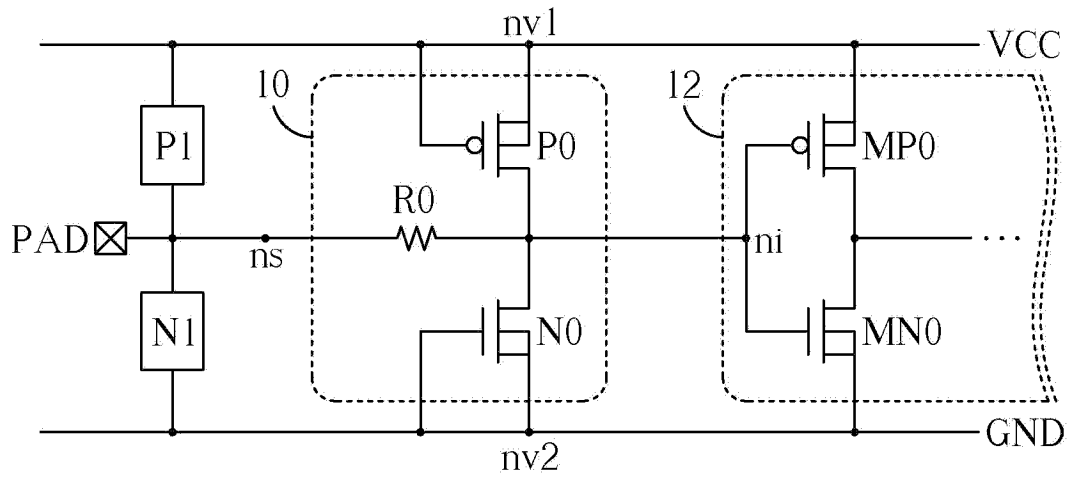


图 1A

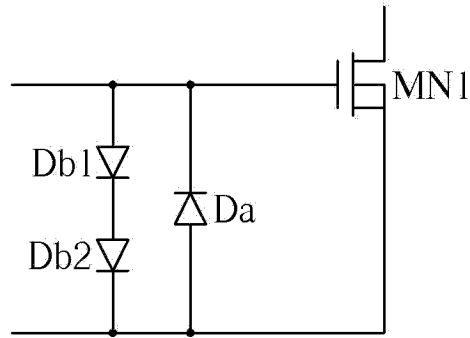


图 1B

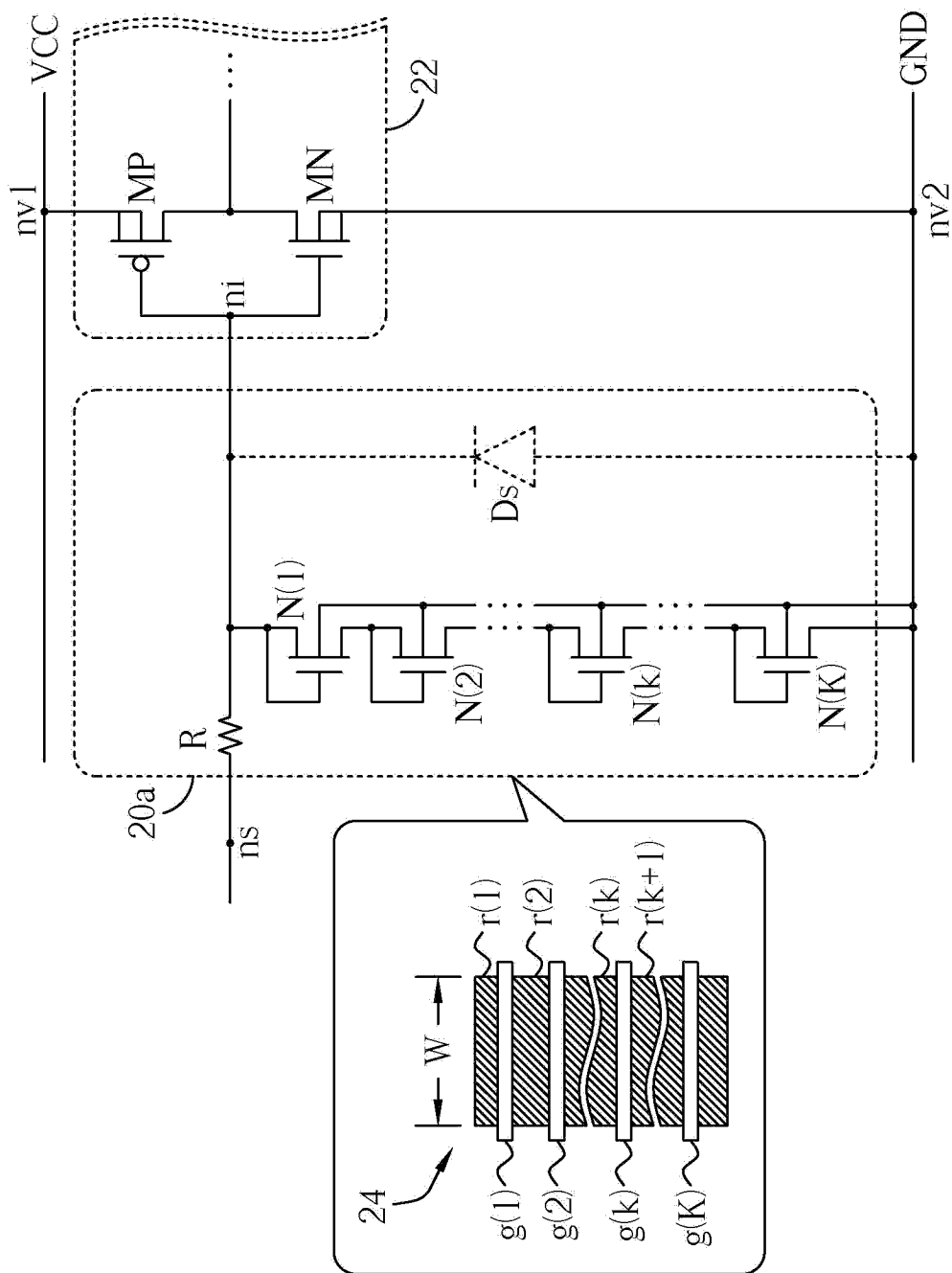


图 2

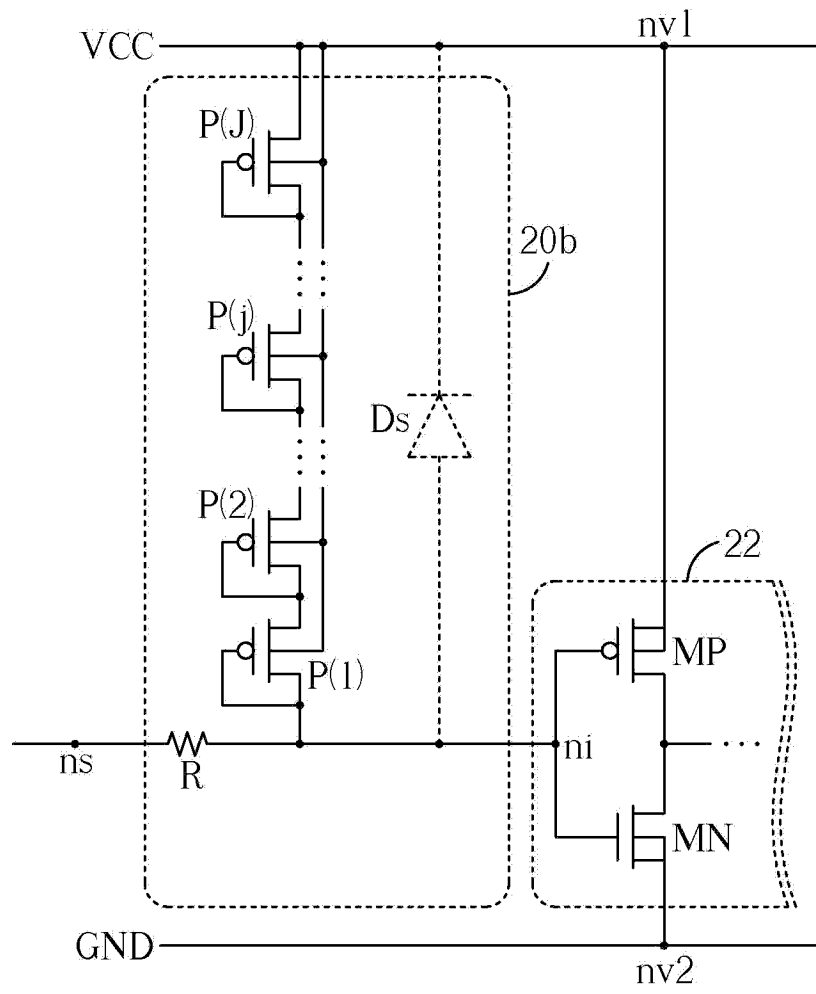


图 3

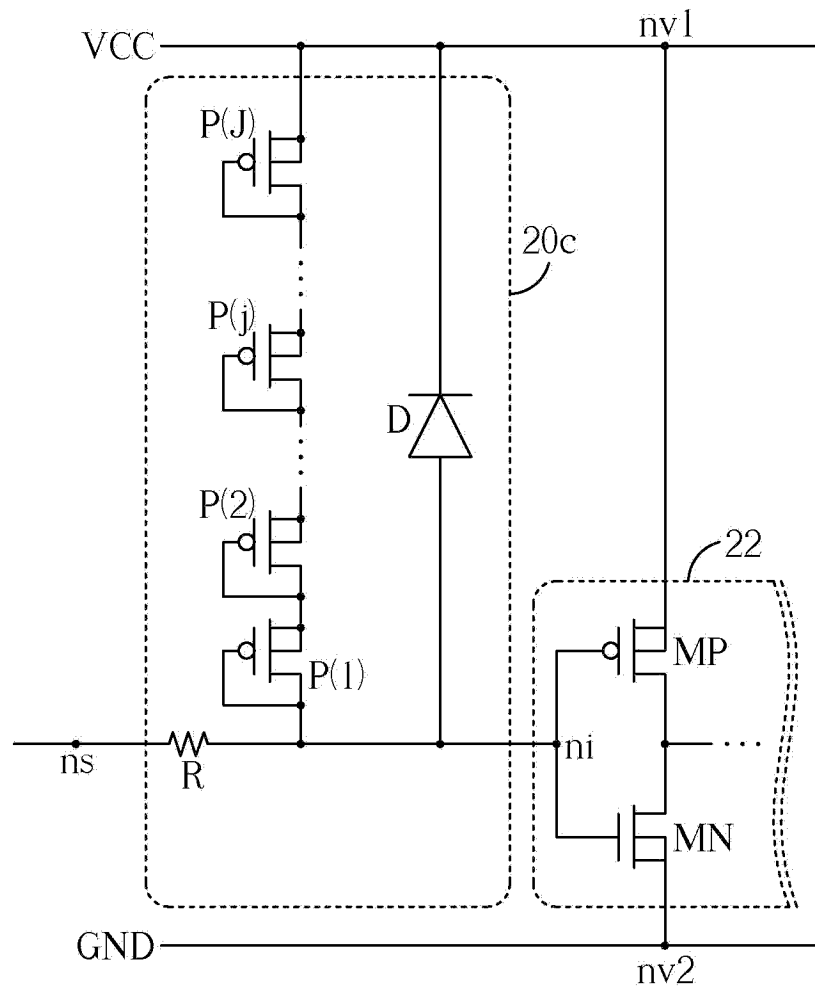


图 4

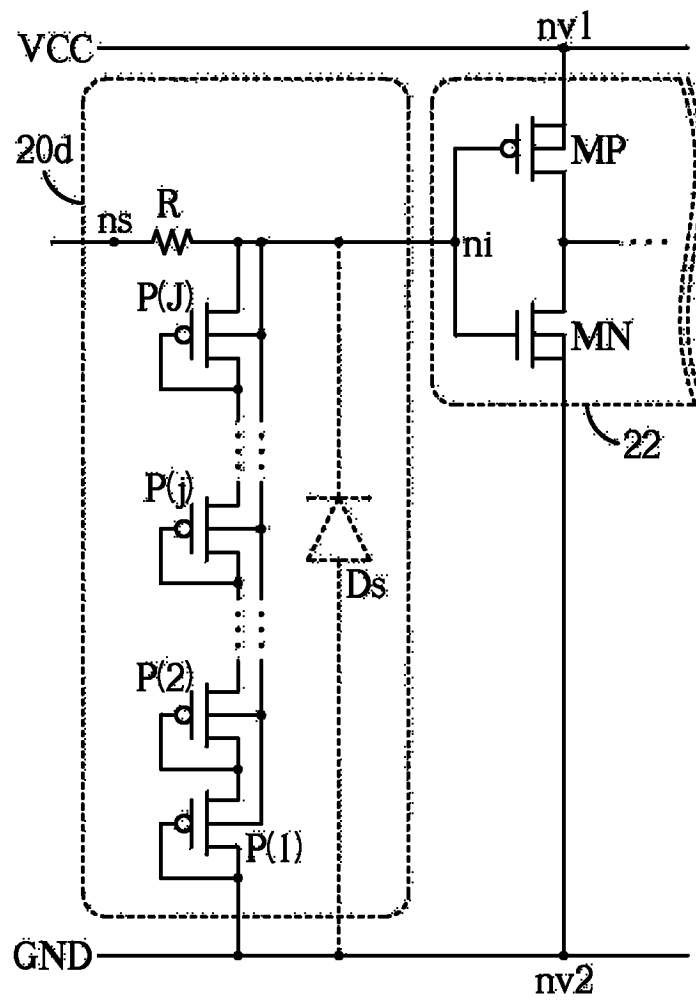


图 5

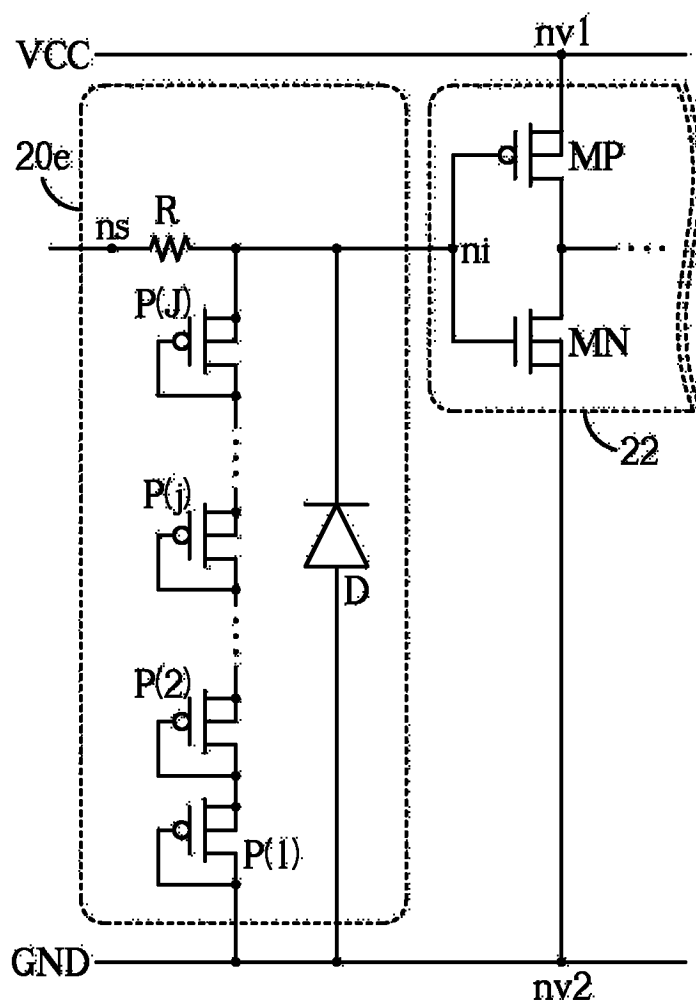


图 6

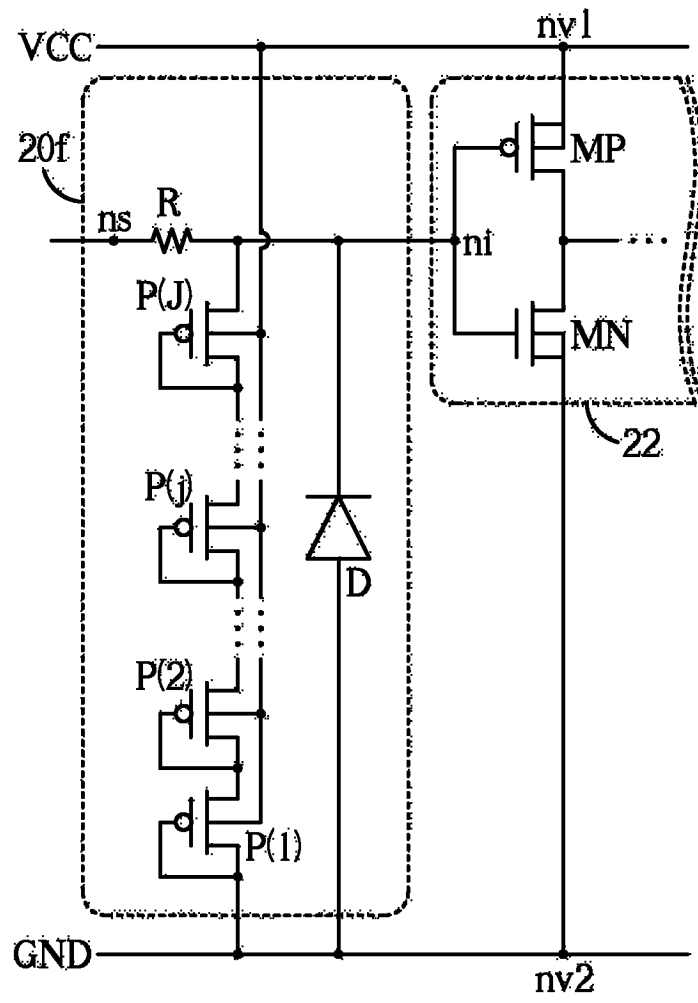


图 7

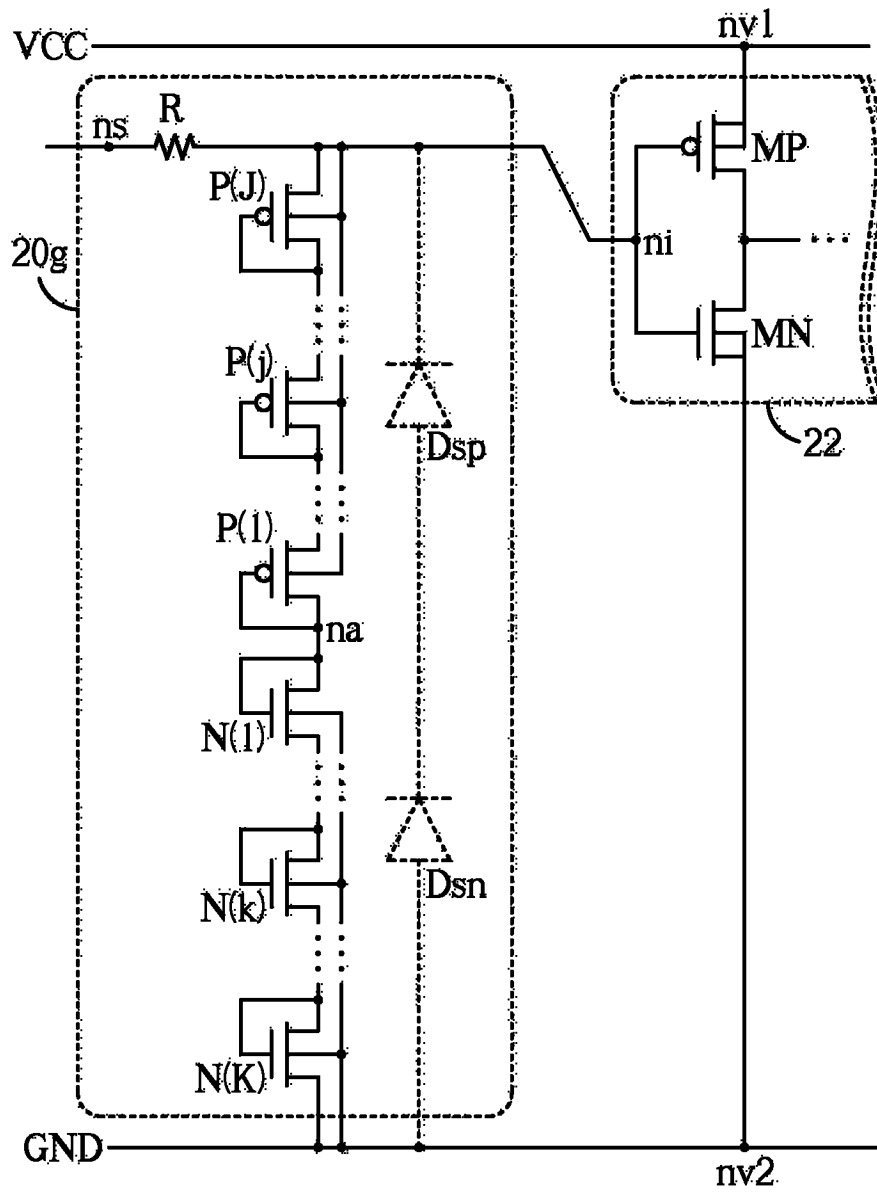


图 8

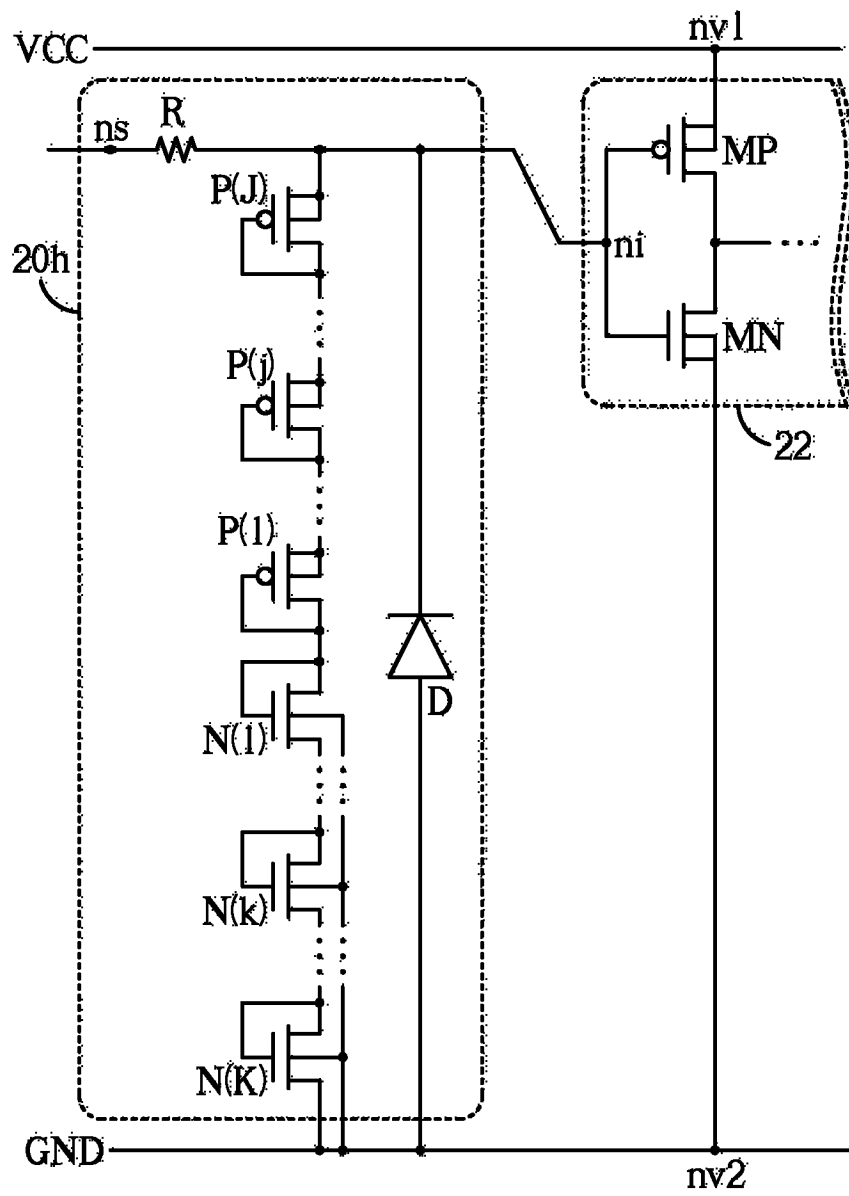


图 9

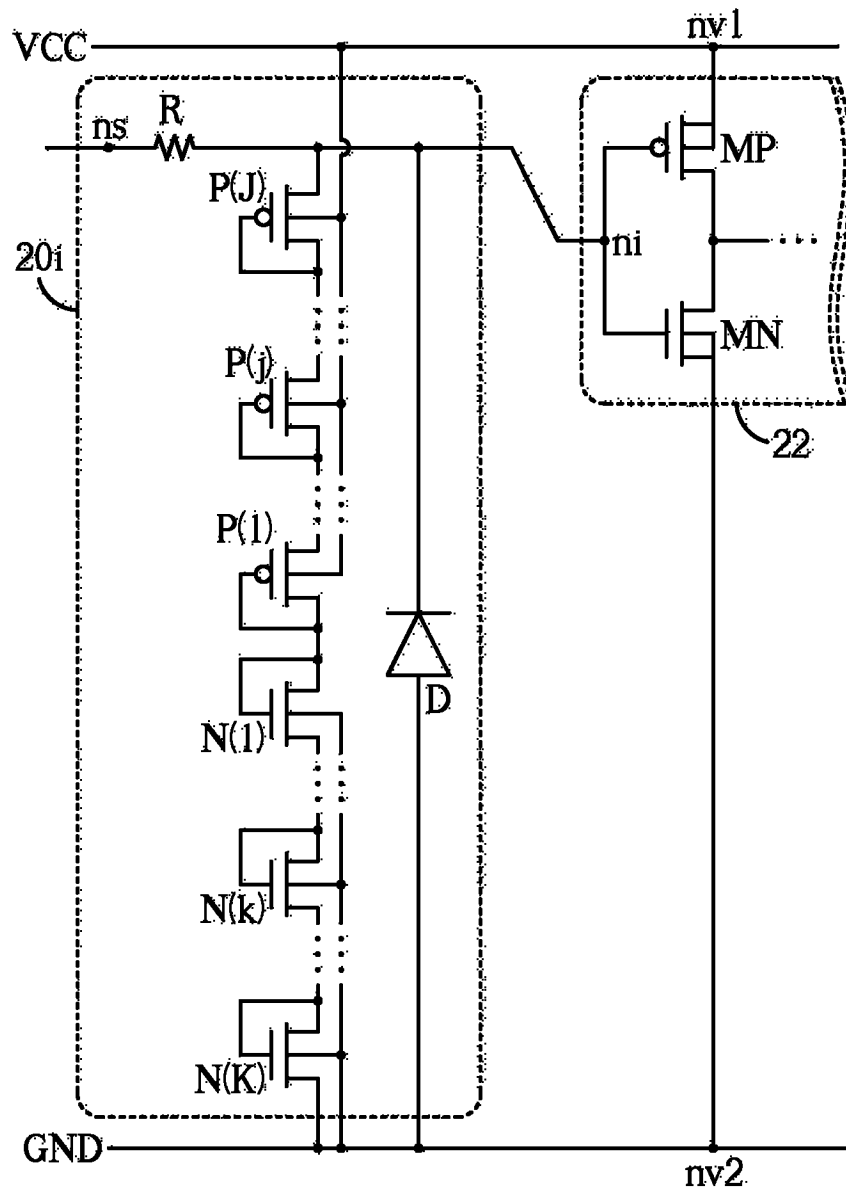


图 10