



(12) 发明专利

(10) 授权公告号 CN 103151350 B

(45) 授权公告日 2015. 07. 29

(21) 申请号 201310083007. X

US 7706113 B1, 2010. 04. 27,

(22) 申请日 2013. 03. 15

CN 102957138 A, 2013. 03. 06,

(73) 专利权人 电子科技大学

审查员 何贝

地址 611731 四川省成都市高新区(西区)西
源大道 2006 号

(72) 发明人 张波 樊航 盛玉荣 柯明道

(74) 专利代理机构 成都宏顺专利代理事务所
(普通合伙) 51227

代理人 李顺德 王睿

(51) Int. Cl.

H01L 27/02(2006. 01)

(56) 对比文件

CN 1702860 A, 2005. 11. 30,

US 2008080108 A1, 2008. 04. 03,

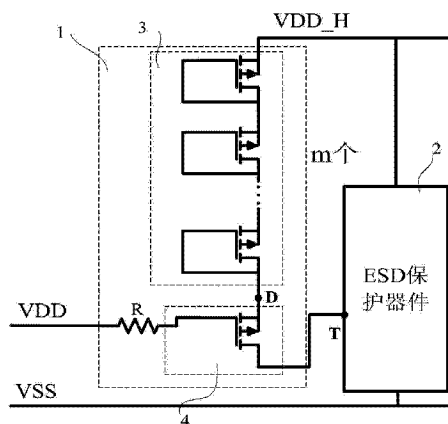
权利要求书1页 说明书4页 附图3页

(54) 发明名称

集成电路电源轨抗静电保护的触发电路结构

(57) 摘要

一种电路电源轨抗静电保护的触发电路结构,属于电子技术领域。该结构用于触发具有混合工作电压的集成电路高压电源轨抗静电保护器件,包括由 m (正整数)个第一 PMOS 管构成的二极管连接形式的串联电路,第二 PMOS 管和电阻 R ; m 个第一 PMOS 管构成的二极管连接形式的串联电路中最上面一个第一 PMOS 管的源极接 VDD_H ,第二 PMOS 管的漏极接 ESD 保护器件的触发端 T ,第二 PMOS 管的栅极通过电阻 R 接 VDD 。该触发电路结构由低压器件组成,但是却能容忍高压电源轨 VDD_H 电压,能够降低器件的触发电压,并促使器件的均匀导通,提高 ESD 能力,同时,该电路中无电容器件,因此受保护集成电路正常工作时漏电流较小。



1. 集成电路电源轨抗静电保护的触发电路结构 (1), 用于触发具有混合工作电压的集成电路高压电源轨抗静电保护器件, 包括由 m 个第一 PMOS 管构成的二极管连接形式的串联电路 (3), 其中 m 为正整数, 一个第二 PMOS 管 (4) 和一个电阻 R ; 所述 m 个第一 PMOS 管构成的二极管连接形式的串联电路 (3) 中每个第一 PMOS 管的栅极与漏极相连、衬底和源极相连, 每个第一 PMOS 管的源极与其上面的一个第一 PMOS 管的漏极相连; 第二 PMOS 管 (4) 的源极和衬底短接, 再接 m 个第一 PMOS 管构成的二极管连接形式的串联电路 (3) 中最下面一个第一 PMOS 管的漏极; 第二 PMOS 管 (4) 的栅极与电阻 R 的一端相连; 该触发电路使用时, 所述 m 个第一 PMOS 管构成的二极管连接形式的串联电路 (3) 中最上面一个第一 PMOS 管的源极接集成电路的高压电源轨 VDD_H , 所述第二 PMOS 管 (4) 的漏极接集成电路的 ESD 保护器件 (2) 的触发端 T , 所述第二 PMOS 管 (4) 的栅极通过电阻 R 接集成电路的低压电源轨 VDD , 所述集成电路的 ESD 保护器件 (2) 跨接在高压电源轨 VDD_H 和地轨 VSS 之间。

2. 根据权利要求 1 所述的集成电路电源轨抗静电保护的触发电路结构 (1), 其特征在于, 所述 m 个第一 PMOS 管构成的二极管连接形式的串联电路 (3) 中 m 的取值满足:

当受保护的集成电路正常工作时, 高压电源轨 VDD_H 的电压值小于 $(V_{DD} + |m \times V_{th1} + V_{th4}|)$; 当电源轨 VDD_H 与 VSS 之间发生正向 ESD 时, 高压电源轨 VDD_H 的电压值大于 $(V_{DD} + |m \times V_{th1} + V_{th4}|)$ 或 $(V_{SS} + |m \times V_{th1} + V_{th4}|)$; 其中, V_{DD} 为低压电源轨 VDD 的电压值, V_{th1} 为第一 PMOS 管的导通电压阈值, V_{th4} 为第二 PMOS 管 4 的导通电压阈值, V_{SS} 为地轨 VSS 的电压值。

3. 根据权利要求 1 或 2 所述的集成电路电源轨抗静电保护的触发电路结构 (1), 其特征在于, 所述集成电路电源轨抗静电保护的触发电路结构 (1) 还包括一个 NMOS 管 (5); 所述 NMOS 管 (5) 的源极和衬底短接并接地轨 VSS , 其漏极与第二 PMOS 管 (4) 的漏极相接, 其栅极与第二 PMOS 管 (4) 的栅极相连。

集成电路电源轨抗静电保护的触发电路结构

技术领域

[0001] 本发明属于电子技术领域,涉及半导体集成电路芯片的静电释放(ElectroStatic Discharge,简称为ESD)保护电路设计,尤指一种用于有两个(或多个)不同电压的电源轨,且仅由低压器件构成的集成电路的静电防护设计技术。

背景技术

[0002] 随着CMOS工艺的不断发展,每一颗芯片上集成的晶体管数量也随之急剧增多。然而在复杂的系统中,当不同的芯片相互连接时,由于芯片的工作电压可能不一样,其I/O接口电路可能需要接收或输出不同电压值的信号。这就要求芯片之间的I/O接口电路能够承受不同电压。但是对于低压工作的集成电路而言,要集成的高压CMOS器件的栅氧层较低压器件要厚,所以要单独添加掩模板来制作,这也必然会提高生产成本。因此为了降低成本,在设计I/O接口电路及其电源钳位电路(power clamp)时,要求都由低压器件组成。

[0003] 目前在混合工作电压的集成电路中一种常用的power clamp结构就是堆栈的MOS(Stacked MOS)结构,如图1所示。该结构解决了栅氧可靠性的问题,并且不需要使用厚栅氧的高压器件,这样就不需要添加额外的掩模板,也不会增加生产成本。但是在当今先进的半导体工艺中,该结构的抗ESD能力往往较低。

[0004] 为了进一步提高器件的抗ESD能力,通常会给ESD保护器件添加一个触发控制电路,常用的触发电路就是电阻电容(RC)触发电路,如图2所示。但是,在先进的CMOS工艺下,电容的面积要远远大于晶体管的面积,并且由于其寄生电阻的影响,电容不能完全的阻断电流,ESD保护器件会微弱的开启,这样就会产生较大的漏电流,导致芯片工作时的功耗更高。因此要避免在保护电路设计中使用电容器件。

发明内容

[0005] 本发明提供一种集成电路电源轨抗静电保护的触发电路结构,用于触发具有混合工作电压的集成电路高压电源轨抗静电保护器件。该触发电路结构由低压器件组成,但是却能容忍高压电源轨电压,可以降低抗静电保护器件的触发电压,并促使抗静电保护器件的均匀导通,提高ESD能力;同时,该电路中无电容元件,因此受保护的集成电路正常工作时漏电流较小。

[0006] 本发明技术方案如下:

[0007] 集成电路电源轨抗静电保护的触发电路结构1,用于触发具有混合工作电压的集成电路高压电源轨抗静电保护器件,如图3所示,包括由 m (m 为正整数)个第一PMOS管构成的二极管连接形式的串联电路3,一个第二PMOS管4和一个电阻 R ;所述 m 个第一PMOS管构成的二极管连接形式的串联电路3中每个第一PMOS管的栅极与漏极相连、衬底和源极相连,每个第一PMOS管的源极与其上面的一个第一PMOS管的漏极相连;第二PMOS管4的源极和衬底短接,再接 m 个第一PMOS管构成的二极管连接形式的串联电路3中最下面一个第一PMOS管的漏极;第二PMOS管4的栅极与电阻 R 的一端相连;该触发电路使用时,所述

m 个第一 PMOS 管构成的二极管连接形式的串联电路 3 中最上面一个第一 PMOS 管的源极接集成电路的高压电源轨 VDD_H, 所述第二 PMOS 管 4 的漏极接集成电路的 ESD 保护器件 2 的触发端 T, 所述第二 PMOS 管 4 的栅极通过电阻 R 接集成电路的低压电源轨 VDD, 所述集成电路的 ESD 保护器件 2 跨接在高压电源轨 VDD_H 和地轨 VSS 之间。

[0008] 本发明中提供的集成电路电源轨抗静电保护的触发电路结构中, 所有器件均由工作电压为 VDD 的低压器件构成, 采用 m 个第一 PMOS 管构成的二极管连接形式的串联电路 3 调节提供触发电流的 PMOS 管 4 的源极电压 (即 D 点电压)。m 适当取值能够使得 D 点的电压可被调节到一个适当值: 在电路正常工作时, 第二 PMOS 管 4 的栅源电压 $V_{gs4} > V_{th4}$ (V_{gs4} 为 PMOS 管 4 的栅源电压, V_{th4} 为第二 PMOS 管 4 的导通电压阈值, 两者均为负值), PMOS 管 4 关断, 不能触发 ESD 保护器件 2; 在电源轨 VDD_H 和 VSS 之间发生 ESD 时, 由于此时 VDD 是浮空的, PMOS 管 4 的栅源电压 $V_{gs4} < V_{th4}$, 第二 PMOS 管 4 开启, 为 ESD 保护器件 2 提供触发电流, ESD 保护器件 2 开始工作, 从而达到既保护电路不受 ESD 损坏又不影响受保护的集成电路正常工作的效果。

[0009] 本发明提供的集成电路电源轨抗静电保护的触发电路结构完全由低压器件构成, 且不含电容元件, 该触发电路结构用于触发具有混合工作电压的集成电路高压电源轨抗静电保护器件, 能够降低了 ESD 保护器件的触发电压, 并促使器件均匀导通, 提高 ESD 能力, 同时受保护的集成电路正常工作时漏电流较小。

附图说明

[0010] 图 1 为现有技术中一种在混合工作电压集成电路中运用堆栈 NMOS (Stacked NMOS) 结构的 ESD 保护电路的示意图。

[0011] 图 2 为现有的 RC 触发的一种 ESD 保护电路结构示意图。

[0012] 图 3 为本发明提供的集成电路电源轨抗静电保护的触发电路结构使用时的电路结构示意图。

[0013] 图 4 为图 3 所示结构的一种应用实例。

[0014] 图 5 为图 3 所示结构的一种变形。

具体实施方式

[0015] 为了使本发明所要解决的技术问题、技术方案及积极效果更加清楚明白, 以下结合附图对本发明进行进一步详细说明。

[0016] 具体实施方式一

[0017] 集成电路电源轨抗静电保护的触发电路结构 1, 用于触发具有混合工作电压的集成电路高压电源轨抗静电保护器件, 如图 3 所示, 包括由 m (m 为正整数) 个第一 PMOS 管构成的二极管连接形式的串联电路 3, 一个第二 PMOS 管 4 和一个电阻 R; 所述 m 个第一 PMOS 管构成的二极管连接形式的串联电路 3 中每个第一 PMOS 管的栅极与漏极相连、衬底和源极相连, 每个第一 PMOS 管的源极与其上面的一个第一 PMOS 管的漏极相连; 第二 PMOS 管 4 的源极和衬底短接, 再接 m 个第一 PMOS 管构成的二极管连接形式的串联电路 3 中最下面一个第一 PMOS 管的漏极; 第二 PMOS 管 4 的栅极与电阻 R 的一端相连; 该触发电路使用时, 所述 m 个第一 PMOS 管构成的二极管连接形式的串联电路 3 中最上面一个第一 PMOS 管的源极接

集成电路的高压电源轨 VDD_H, 所述第二 PMOS 管 4 的漏极接集成电路的 ESD 保护器件 2 的触发端 T, 所述第二 PMOS 管 4 的栅极通过电阻 R 接集成电路的低压电源轨 VDD, 所述集成电路的 ESD 保护器件 2 跨接在高压电源轨 VDD_H 和地轨 VSS 之间。

[0018] 上述方案中, m 个第一 PMOS 管构成的二极管连接形式的串联电路 3 用来调节提供触发电流的第二 PMOS 管 4 的源端电压, 从而控制 ESD 保护电路的工作状态。只有当 VDD_H 的电压值大于 $(V_{DD} + |m \times V_{th1} + V_{th4}|)$ 时, 第二 PMOS 管 4 才会导通。m 应取适当值, 以达到如下效果:

[0019] 当受保护的集成电路正常工作时, 使高压电源轨 VDD_H 的电压值小于 $(V_{DD} + |m \times V_{th1} + V_{th4}|)$, 此时第二 PMOS 管 4 处于关断状态, 不能给 ESD 保护器件 2 提供触发电流, ESD 保护器件 2 不工作, 因此不会影响受保护的集成电路的正常工作。

[0020] 当高压电源轨 VDD_H 与地轨 VSS 之间发生正向 ESD 时, 此时低压电源轨 VDD 浮空, 由于低压电源轨 VDD 与地轨 VSS 之间寄生电容的作用, 使低压电源轨 VDD 也暂时为地轨 VSS 电位。上述 m 值又可以使高压电源轨 VDD_H 的电压值大于 $(V_{DD} + |m \times V_{th1} + V_{th4}|)$ (或 $(V_{SS} + |m \times V_{th1} + V_{th4}|)$), 此时第二 PMOS 管 4 开启, 从而提供 ESD 保护器件 2 的触发电流, ESD 保护器件 2 开启, 为受保护的集成电路提供 ESD 保护。其中, V_{DD} 为低压电源轨 VDD 的电压值, V_{th1} 为第一 PMOS 管的导通电压阈值, V_{th4} 为第二 PMOS 管 4 的导通电压阈值, V_{SS} 为地轨 VSS 的电压值。

[0021] 如此一来, 就能用低压器件来控制混合工作电压电源轨中的 ESD 保护器件, 并且通过调节二极管连接方式的 PMOS 管的个数, 可以解决第二 PMOS 管 4 的栅氧可靠性问题。另外, 整个电路无电容元件, 避免了因使用电容而带来的占用芯片面积过大, 及漏电流较大的问题, 不会影响受保护集成电路的正常工作。

[0022] 图 4 为上述结构的一种实例, 用晶闸管 (SCR) 来作为 ESD 保护器件 2, 跨接与 VDD_H 和 VSS 之间, SCR 的触发端 (即 P+ 端) 与 PMOS 管 4 的漏极相连。正常工作下, 由于第二 PMOS 管 4 的栅源电压 $V_{gs} > V_{th4}$, 所以第二 PMOS 管 4 关断, 无电流产生, 此时虽然 P+/NW 结和 PW/N+ 结均正偏, 但是 NW/PW 结反偏, 仍然不能构成 VDD_H 到 VSS 之间的电流通路, 所以此时 SCR 不工作。当在高压电源轨 VDD_H 与地轨 VSS 之间发生 ESD 时, 低压电源轨 VDD 浮空, 由于低压电源轨 VDD 与地轨 VSS 之间寄生电容的作用, 使低压电源轨 VDD 也暂时为地轨 VSS 电位, 此时第二 PMOS 管 4 栅源电压降低, 从而使第二 PMOS 管 4 开启, 为 SCR 提供正向的触发电流, SCR 开启来保护内部电路。

[0023] 具体实施方式二

[0024] 具体实施方式二的结构就是在具体实施方式一的基础上增加了一个 NMOS 管 5, 如图 5 所示, 即在 PMOS 管 4 下连接一个 NMOS 管 5。其中 NMOS 管 5 的源极和衬底短接并接地轨 VSS, NMOS 管 5 漏极与第二 PMOS 管 4 的漏极相接; NMOS 管 5 和 PMOS 管 4 的栅极相连再通过电阻 R 接低压电源轨 VDD。

[0025] 上述方案中 NMOS 管 5 的作用是: 当受保护的集成电路正常工作时, 由于第二 PMOS 管 4 和 NMOS 管 5 的栅极均与低压电源轨 VDD 相连, 所以此时第二 PMOS 管 4 关断, 而 NMOS 管 5 开启, 将 ESD 保护器件 2 的触发端的电压拉到与地轨 VSS 同电位的低电平, 从而使 ESD 保护器件 2 关断的更加彻底, 不易因低压电源轨 VDD 上出现的噪声引起误触发。当高压电源轨 VDD_H 和地轨 VSS 之间发生 ESD 时, 低压电源轨 VDD 浮空, 由于低压电源轨 VDD 与地轨

VSS 之间寄生电容的作用,使低压电源轨 VDD 的电压也暂时为地轨 VSS 电位。此时 NMOS 管 5 关断,第二 PMOS 管 4 开启,为 ESD 保护器件 2 提供正向的触发电流,ESD 保护器件 2 开启。其余部分的工作原理与具体实施方式一的相同。

[0026] 综上所述,本发明提供的集成电路电源轨抗静电保护的触发电路结构,用于触发具有混合工作电压的集成电路高压电源轨抗静电保护器件,当受保护的集成电路的高压电源轨 VDD 与地轨 VSS 之间发生 ESD 时,为 ESD 保护器件提供触发电流,降低器件的触发电压,并促使 ESD 保护器件均匀导通,而在受保护的集成电路正常工作时能很好的保持 ESD 保护器件的关断,不影响集成电路的正常工作。该触发电路结构能够通过调节 m 个第一 PMOS 管构成的二极管连接形式的串联电路 3 中第一 PMOS 管的个数来调节触发电路的触发条件,从而能适用于混合工作电压的集成电路。另外,该触发电路结构中未使用电容元件,避免了因使用电容而带来的占用芯片面积过大,及漏电流较大的问题。

[0027] 以上所述仅为本发明的较佳实施例而已,并不用以限制本发明,凡是本发明的精神和原则之内所作的任何修改、等同替换和改进等,均应包含在本发明的保护范围之内。

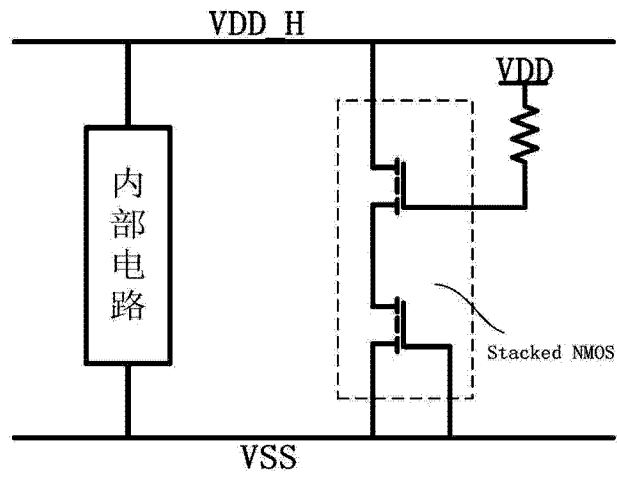


图 1

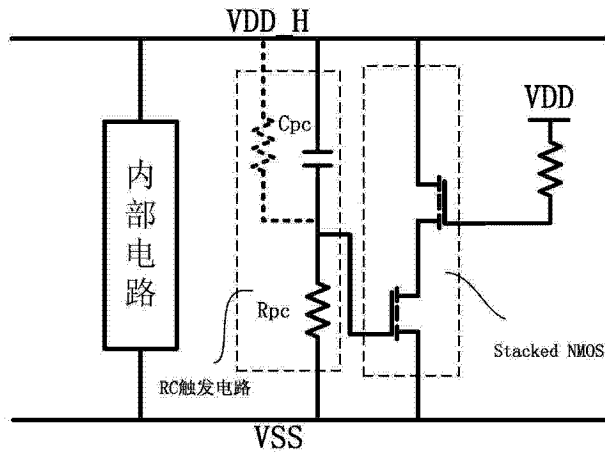


图 2

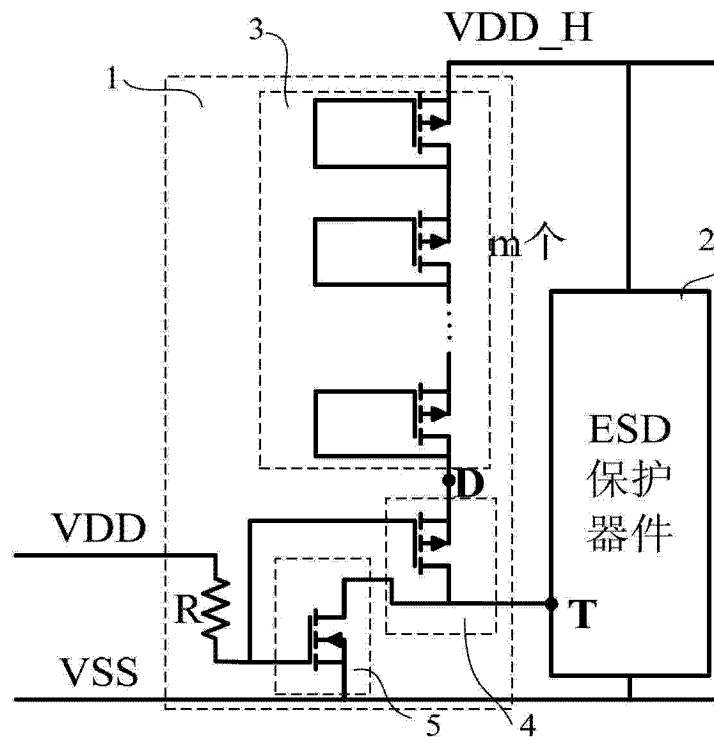


图 5