



(12)发明专利

(10)授权公告号 CN 103165594 B

(45)授权公告日 2016.08.10

(21)申请号 201110413711.8

(22)申请日 2011.12.13

(73)专利权人 智原科技股份有限公司

地址 中国台湾新竹市

(72)发明人 蔡富义 蔡佳谷 彭彦华 柯明道

(74)专利代理机构 北京市柳沈律师事务所

11105

代理人 史新宏

(51)Int.Cl.

H01L 27/02(2006.01)

审查员 温菊红

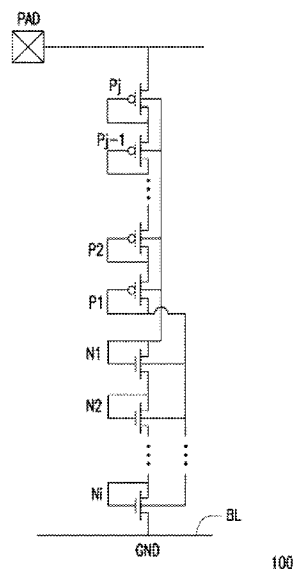
权利要求书2页 说明书6页 附图4页

(54)发明名称

静电放电保护装置

(57)摘要

一种静电放电保护装置,包括至少一第一晶体管以及至少一第二晶体管。第一晶体管具有控制端、第一端、第二端以及基极,其控制端以及其第二端相互耦接,其第一端耦接至焊垫及电压轨线的其中之一。第二晶体管同样具有控制端、第一端以及第二端,其第一端与该第一晶体管的基极相互耦接,第二晶体管的基极耦接至第一晶体管的第二端,且第二晶体管的第二端耦接至焊垫及电压轨线的另一个。



1. 一种静电放电保护装置,包括:

j个第一晶体管,各所述第一晶体管具有控制端、第一端、第二端以及基极,且各所述第一晶体管的控制端以及其第二端相互耦接;以及

i个第二晶体管,各所述第二晶体管具有控制端、第一端以及第二端以及基极,

其中当j大于1且i大于1时,所述第一晶体管相互串接,所述第二晶体管相互串接,所述第一晶体管中的第一级第一晶体管的第一端耦接至一焊垫,所述第一晶体管中的最后一级第一晶体管与所述第二晶体管中的第一级第二晶体管相邻,且所述第二晶体管中的最后一级第二晶体管的第二端耦接至一电压轨线,所述第一级第二晶体管的第一端与各所述第一晶体管的基极相互耦接,各所述第二晶体管的基极直接耦接至所述最后一级第一晶体管的控制端,各所述第二晶体管的基极直接耦接至所述最后一级第一晶体管的第二端,其中各所述第二晶体管的基极、各所述第一晶体管的控制端及各所述第一晶体管的第二端与所述电压轨线隔离,

其中当j等于1且i大于1时,所述第二晶体管相互串接,所述第一晶体管的第一端耦接至所述焊垫,所述第一晶体管与所述第二晶体管中的第一级第二晶体管相邻,且所述第二晶体管中的最后一级第二晶体管的第二端耦接至所述电压轨线,所述第一级第二晶体管的第一端与所述第一晶体管的基极相互耦接,各所述第二晶体管的基极直接耦接至所述第一晶体管的控制端,各所述第二晶体管的基极直接耦接至所述第一晶体管的第二端,其中各所述第二晶体管的基极、所述第一晶体管的控制端及所述第一晶体管的第二端与所述电压轨线隔离,

其中当j大于1且i等于1时,所述第一晶体管相互串接,所述第一晶体管中的第一级第一晶体管的第一端耦接至所述焊垫,所述第一晶体管中的最后一级第一晶体管与所述第二晶体管相邻,且所述第二晶体管的第二端耦接至所述电压轨线,所述第二晶体管的第一端与各所述第一晶体管的基极相互耦接,所述第二晶体管的基极直接耦接至所述最后一级第一晶体管的控制端,所述第二晶体管的基极直接耦接至所述最后一级第一晶体管的第二端,其中所述第二晶体管的基极、各所述第一晶体管的控制端及各所述第一晶体管的第二端与所述电压轨线隔离,

其中当j等于1且i等于1时,所述第一晶体管的第一端耦接至所述焊垫,所述第一晶体管与所述第二晶体管相邻,且所述第二晶体管的第二端耦接至所述电压轨线,所述第二晶体管的第一端与所述第一晶体管的基极相互耦接,所述第二晶体管的基极直接耦接至所述第一晶体管的控制端,所述第二晶体管的基极直接耦接至所述第一晶体管的第二端,其中所述第二晶体管的基极、所述第一晶体管的控制端及所述第一晶体管的第二端与所述电压轨线隔离。

2. 如权利要求1所述的静电放电保护装置,其中该电压轨线提供一接地电压。

3. 如权利要求2所述的静电放电保护装置,其中该第一晶体管为P型晶体管,该第二晶体管为N型晶体管。

4. 一种静电放电保护装置,包括:

一第一晶体管,具有控制端、第一端、第二端以及基极,其控制端以及其第二端共同耦接至一焊垫及一电压轨线的其中之一,其基极以及其第一端相互耦接;以及

至少一第二晶体管,具有控制端、第一端、第二端以及基极,其控制端及其第二端耦接

至该第一晶体管的基极及该第一晶体管的第一端,该第二晶体管的基极以及该第二晶体管的第一端耦接至该焊垫及该电压轨线的另一个。

5.如权利要求4所述的静电放电保护装置,其中该电压轨线提供一接地电压,且该第一晶体管耦接至该焊垫时,该第一晶体管为P型晶体管,该第二晶体管为N型晶体管。

6.如权利要求4所述的静电放电保护装置,该电压轨线提供一接地电压,且该第一晶体管耦接至该接地电压时,该第一晶体管为N型晶体管,该第二晶体管为P型晶体管。

7.一种静电放电保护装置,包括:

一第一晶体管,具有控制端、第一端、第二端以及基极,其控制端以及其第一端共同耦接至一焊垫及一电压轨线的其中之一;以及

至少一第二晶体管,具有控制端、第一端、第二端以及基极,其控制端耦接至该第一晶体管的基极以及该第二晶体管的第一端,该第二晶体管的基极耦接至该第一晶体的第二端,该第二晶体的第二端耦接至该焊垫及该电压轨线的另一个。

8.如权利要求7所述的静电放电保护装置,其中该电压轨线提供一接地电压,且该第一晶体管耦接至该焊垫时,该第一晶体管为P型晶体管,该第二晶体管为N型晶体管。

9.如权利要求7所述的静电放电保护装置,其中该电压轨线提供一接地电压,且该第一晶体管耦接至该接地电压时,该第一晶体管为N型晶体管,该第二晶体管为P型晶体管。

10.一种静电放电保护装置,包括:

一第一晶体管,具有控制端、第一端、第二端以及基极,其第一端以及其第二端分别耦接至一焊垫以及一电压轨线,其控制端耦接至该电压轨线及该焊垫的其中之一;以及

至少一第二晶体管,具有控制端、第一端、第二端以及基极,其控制端耦接至其第二端并耦接至该第一晶体管的基极,其第一端以及其基极共同耦接至该电压轨线及该焊垫的另一个。

11.如权利要求10所述的静电放电保护装置,其中该电压轨线提供一接地电压,且该第一晶体管耦接该焊垫时,该第一晶体管为P型晶体管,该第二晶体管为N型晶体管。

12.如权利要求10所述的静电放电保护装置,其中该电压轨线提供一接地电压,且该第一晶体管耦接该接地电压时,该第一晶体管为N型晶体管,该第二晶体管为P型晶体管。

静电放电保护装置

技术领域

[0001] 本发明涉及一种静电放电保护装置,特别是涉及一种利用寄生的硅控整流器(Silicon Controlled Rectifier,SCR)来进行静电放电保护的静电放电保护装置。

背景技术

[0002] 随着半导体工艺的演进,现今半导体工艺中的晶体管的栅极氧化层(gate oxide)愈来愈薄,致使更容易在静电放电现象发生时受到破坏。因此,发展出一种可以因应现今的半导体工艺技术的静电放电防护的技术,成为该领域设计者一个重要的课题。

[0003] 在现有的静电放电保护装置中,常见利用具有较薄的栅极氧化层的静电放电保护元件来建构。这种具有较薄的栅极氧化层的静电放电保护元件却会在所属的电路进行正常操作时,产生较大的漏电电流。相对的,若使用具有较厚的栅极氧化层的静电放电保护元件来建构静电放电保护装置,则会使得静电放电保护装置较难被触发,降低了其保护的功效。

[0004] 此外,现有技术常利用所谓的硅控整流器(Silicon Controlled Rectifier,SCR)来建构静电放电保护装置。然现有技术的硅控整流器具有较难触发(需要较高的触发电压)的状况,经常发生在硅控整流器被启动前,所属的电路中的元件(具有较薄的栅极氧化层)就发生损坏的现象,无法有效的实现静电放电现象的防护功能。

发明内容

[0005] 本发明提供多种静电放电保护装置,得以利用最小的布局面积,达到最大的静电放电保护的效果。

[0006] 本发明提出一种静电放电保护装置,包括至少一第一晶体管以及至少一第二晶体管。第一晶体管具有控制端、第一端、第二端以及基极,其控制端以及其第二端相互耦接,其第一端耦接至焊垫(pad)及电压轨线(power rail line)的其中之一。第二晶体管同样具有控制端、第一端以及第二端,其第一端与该第一晶体管的基极相互耦接,第二晶体管的基极耦接至第一晶体的第二端,且第二晶体的第二端耦接至焊垫及电压轨线的另一个。

[0007] 本发明另提出一种静电放电保护装置,包括第一晶体管以及至少一第二晶体管。第一晶体管具有控制端、第一端、第二端以及基极,其控制端以及其第二端共同耦接至焊垫及电压轨线的其中之一,其基极以及其第一端相互耦接。第二晶体管具有控制端、第一端、第二端以及基极,其控制端及其第二端耦接至第一晶体管的基极及第一端,第二晶体管的基极以及第二晶体的第一端耦接至焊垫及电压轨线的另一个。

[0008] 本发明还提出一种静电放电保护装置,包括第一晶体管以及至少一第二晶体管。第一晶体管具有控制端、第一端、第二端以及基极,其控制端以及其第一端共同耦接至焊垫及电压轨线的其中之一。第二晶体管具有控制端、第一端、第二端以及基极,其控制端耦接至第一晶体管的基极以及第二晶体的第一端,第二晶体管的基极耦接至第一晶体的第二端,第二晶体的第二端耦接至焊垫及电压轨线的另一个。

[0009] 本发明还提出一种静电放电保护装置,包括第一晶体管以及至少一第二晶体管。

第一晶体管具有控制端、第一端、第二端以及基极,其第一端以及其第二端分别耦接至焊垫以及电压轨线,其控制端耦接至电压轨线及焊垫的其中之一。第二晶体管具有控制端、第一端、第二端以及基极,其控制端耦接至其第二端并耦接至第一晶体管的基极,其第一端以及其基极共同耦接至电压轨线及焊垫的另一个。

[0010] 基于上述,本发明利用串接的多个晶体管来形成静电放电保护装置,且利用各晶体管的基极、控制端、第一端以及第二端的不同的相互连接方式,来使所产生寄生的硅控整流器的触发电压可以有效的降低,使静电放电保护装置中的硅控整流器,在静电放电现象发生时,可以即时的导通以疏导静电放电现象所产生的大电流,降低静电放电保护装置的硅控整流器因过慢导通所产生的栅极氧化层(gate oxide)的损坏的现象。

[0011] 为使本发明的上述特征和优点能更明显易懂,下文特举实施例,并结合附图详细说明如下。

附图说明

[0012] 图1A绘示本发明的一实施例的静电放电保护装置100的示意图。

[0013] 图1B绘示本发明静电放电保护装置100实施例的结构的剖面图。

[0014] 图2A及2B分别绘示本发明另一实施例的静电放电保护装置200不同实施方式。

[0015] 图2C绘示图2A的实施方式的静电放电保护装置200的结构的剖面图。

[0016] 图3A及3B分别绘示本发明再一实施例的静电放电保护装置300不同实施方式。

[0017] 图3C绘示图3A的实施方式的静电放电保护装置300的结构的剖面图。

[0018] 图4A及4B分别绘示本发明再一实施例的静电放电保护装置400不同实施方式。

[0019] 图4C绘示图4A的实施方式的静电放电保护装置400的结构的剖面图。

[0020] 附图符号说明

[0021] 100、200、300、400:静电放电保护装置

[0022] P1~Pj、N1~Ni、BJT1、BJT2:晶体管

[0023] PAD:焊垫

[0024] BL:电压轨线

[0025] GND:接地电压

[0026] 110、120、210、220、310、320、410、420:阱区

[0027] 111~116、121~127:重掺杂区

具体实施方式

[0028] 请参照图1A,图1A绘示本发明的一实施例的静电放电保护装置100的示意图。静电放电保护装置100包括晶体管P1~Pj以及晶体管N1~Ni。其中,晶体管Pj的控制端(栅极)以及其第二端(漏极)相互耦接,其第一端(源极)耦接至焊垫PAD。晶体管Pj的基极耦接至晶体管N1,且晶体管Pj的漏极耦接至下一级的晶体管Pj-1。

[0029] 另外,晶体管P1~Pj-1则串接在晶体管Pj及晶体管N1间,以其中的晶体管P2为例,晶体管P1的基极与晶体管P2~Pj的基极共同耦接,晶体管P1的漏极与其栅极相耦接,晶体管P1的漏极并耦接至晶体管N1~Ni的基极,而晶体管P1的源极则耦接至晶体管P2的栅极及漏极。

[0030] 晶体管Ni的第二端(源极)耦接至电压轨线BL所提供的接地电压GND。此外,晶体管N1~Ni的控制端(栅极)均耦接至其第一端(漏极),且晶体管N1~Ni依序串接在晶体管P1以及电压轨线BL间。值得一提的是,晶体管N1~Ni的基极共同耦接至晶体管P1的漏极。

[0031] 在本实施例中,当焊垫PAD上发生静电放电现象,且所产生的静电放电电流是由焊垫PAD流出时,所产生的静电放电电流可以通过串接的晶体管P1~Pj的通道进行宣泄,并通过晶体管N1~Ni的基极流向电压轨线BL。

[0032] 或者,静电放电电流亦可以由晶体管P1的漏极通过寄生的二极管顺向导通流向晶体管P1~Pj的基极,并通过串接的晶体管N1~Ni的通道流向电压轨线BL,使静电放电电流可以有有效的宣泄。

[0033] 请同时参照图1B,图1B绘示本发明静电放电保护装置100实施例的结构剖面图。其中,晶体管P1~Pj建构在N型的阱区(N-well)110上,而晶体管N1~Ni则建构在P型的阱区(P-well)120上。N型的阱区110上配置多个P型的重掺杂区(P+)112~116作为晶体管P1~Pj的源极及漏极。另外,N型的阱区110上配置一个N型的重掺杂区(N+)111以作为晶体管P1~Pj共同的基极。另外,P型的阱区120上配置多个N型的重掺杂区(N+)123~127作为晶体管N1~Ni的源极及漏极。P型的阱区120上还配置P型的重掺杂区(P+)121以及122,其中的重掺杂区121为晶体管N1~Ni的共同基极,而重掺杂区122则用来作为晶体管N1的基极并藉以连接至晶体管P1的漏极(P型的重掺杂区116所构成)。

[0034] 值得注意的是,本实施例中的静电放电保护装置100中,N型的重掺杂区111、N型阱区110、P型阱区120以及N型的重掺杂区123形成寄生的晶体管BJT1,而P型的重掺杂区112、N型阱区110、P型阱区120以及P型的重掺杂区121则形成寄生的晶体管BJT2。晶体管BJT1以及晶体管BJT2则相互耦接成硅控整流器。这个由晶体管BJT1以及晶体管BJT2所构成的硅控整流器在焊垫PAD上发生静电放电现象时,可以被快速的触发,并提供宣泄静电放电电流的路径。

[0035] 请重新参照图1A,在本实施中,晶体管N1~Ni为N型的晶体管,而晶体管P1~Pj则为P型的晶体管。并且,晶体管N1~Ni以及晶体管P1~Pj的个数可以依据静电放电保护装置100所属的电路特性以及晶体管N1~Ni及P1~Pj的临界电压(threshold voltage)来调整。具体一点来说,在静电放电保护装置100所属的电路在正常工作的状态下(亦即非启动静电放电保护的状态),焊垫PAD在产品规格上的最大可能电压内,通过晶体管N1~Ni及P1~Pj所产生的漏电流必须低于规格容许的范围。因此,晶体管N1~Ni的最小可能数量可以是1,而晶体管P1~Pj的最小可能数量也可以是1。晶体管数量愈少则静电电流导通时的压降愈小,而晶体管数量愈多则正常工作下产生的漏电流愈小,最佳晶体管数量可以通过电路模拟的结果来决定。

[0036] 以下请参照图2A及图2B,图2A及2B分别绘示本发明另一实施例的静电放电保护装置200不同实施方式。在图2A的绘示中,静电放电保护装置200包括晶体管N1以及晶体管P1~Pj。晶体管N1具有控制端(栅极)、第一端(漏极)、第二端(源极)以及基极。其中,晶体管N1的栅极以及其源极耦接至电压轨线BL。晶体管N1的基极以及其漏极相互耦接。晶体管P1~Pj则串接于焊垫PAD以及晶体管N1的漏极间。且各晶体管P1~Pj的栅极都与其漏极相互耦接。并且,晶体管P1~Pj的基极共同耦接至焊垫PAD。另外,晶体管P1~Pj串则通过晶体管P1的栅极与漏极来耦接至晶体管N1的漏极。

[0037] 请注意,电压轨线BL提供接地电压GND。而在焊垫PAD上发生静电放电现象发生时,流出焊垫PAD的静电放电电流通过晶体管P1~Pj的通道,流至晶体管N1的基极,并藉此快速触发寄生在晶体管P1~Pj以及晶体管N1中的硅控整流器,使静电放电电流有效宣泄。

[0038] 在本实施例中,晶体管P1~Pj的数量可依据所属电路的实际状况来加以选择,简单来说,焊垫PAD在产品规格上的最大可能电压内,通过晶体管N1及P1~Pj所产生的漏电流必须低于规格容许的范围。当然,晶体管P1~Pj的数量最少可以只有1个。数量愈少则静电电流导通时的压降愈小,而数量愈多则正常工作下产生的漏电流愈小,最佳数量可以通过电路模拟的结果来决定。

[0039] 图2B绘示的静电放电保护装置200的实施方式为图2A绘示的实施方式的一种互补的作法。在图2B的绘示中,是利用N型晶体管N1~Ni来形成晶体管串,并串接在晶体管P1以及电压轨线BL间。晶体管P1则串接在晶体管N1以及焊垫PAD间。在当焊垫PAD上发生静电放电现象时,流出焊垫PAD的静电放电电流可以由晶体管P1的漏极通过寄生的二极管顺向导通流向晶体管P1的基极,通过串接的晶体管N1~Ni的通道流向电压轨线BL,并藉此快速触发寄生在晶体管N1~Ni以及晶体管P1中的硅控整流器,使静电放电电流有效宣泄。

[0040] 同样的,晶体管N1~Ni的数量可依据所属电路的实际状况来加以选择,简单来说,焊垫PAD在产品规格上的最大可能电压内,通过晶体管N1~Ni及P1所产生的漏电流必须低于规格容许的范围。当然,晶体管N1~Ni的数量最少可以只有1个。晶体管数量愈少则静电电流导通时的压降愈小,而晶体管数量愈多则正常工作下产生的漏电流愈小,最佳晶体管数量可以通过电路模拟的结果来决定。

[0041] 以下请同时参照图2A以及图2C,其中的图2C绘示图2A的实施方式的静电放电保护装置200的结构的剖面图。在图2C的绘示中,晶体管P1~Pj建构在N型的阱区210上,而晶体管N1则建构在P型的阱区220上。N型的阱区210上配置多个P型的重掺杂区(P+)212~216作为晶体管P1~Pj的源极及漏极。另外,N型的阱区210上配置一个N型的重掺杂区(N+)211作为晶体管P1~Pj共同的基极。P型的阱区220上配置多个N型的重掺杂区(N+)223~224作为晶体管N1~Ni的源极及漏极。另外,P型的阱区220上还配置P型的重掺杂区(P+)221以及222,其中的重掺杂区221为晶体管N1的基极,而重掺杂区222则用来作为晶体管N1的基极并藉以连接至晶体管P1的漏极(P型的重掺杂区216所构成)。

[0042] 值得注意的是,图2C绘示的静电放电保护装置200中,N型的重掺杂区211、N型阱区210、P型阱区220以及N型的重掺杂区223形成寄生的晶体管BJT1,而P型的重掺杂区212、N型阱区210、P型阱区220以及P型的重掺杂区221则形成寄生的晶体管BJT2。晶体管BJT1以及晶体管BJT2则相互耦接成硅控整流器。这个由晶体管BJT1以及晶体管BJT2所构成的硅控整流器在焊垫PAD上发生静电放电现象时,可以被快速的触发,并提供宣泄静电放电电流的路径。

[0043] 以下请参照图3A及图3B,图3A及3B分别绘示本发明再一实施例的静电放电保护装置300不同实施方式。在图3A的绘示中,静电放电保护装置300包括晶体管N1以及晶体管P1~Pj。晶体管N1的控制端(栅极)以及其第一端(源极)共同耦接至电压轨线BL,本实施例中的电压轨线BL用以提供接地电压GND。另外,晶体管P1~Pj串接在晶体管N1以及焊垫PAD间,其中的晶体管P1通过其基极耦接至晶体管N1的第二端(漏极)。并且,各晶体管P1~Pj的控制端(栅极)与其第一端(漏极)相耦接,且晶体管P1~Pj的基极相互耦接,晶体管P1的第二

端(源极)则耦接至焊垫PAD。

[0044] 请注意,而在焊垫PAD上发生静电放电现象发生时,流出焊垫PAD的静电放电电流通过晶体管P1~Pj的通道,流至晶体管N1的基极,并藉此快速触发寄生在晶体管P1~Pj以及晶体管N1中的硅控整流器,使静电放电电流有效宣泄。

[0045] 相对应的,图3B绘示的静电放电保护装置300的实施方式为图3A绘示的实施方式的一种互补的作法。在图3B的绘示中,是利用N型晶体管N1~Ni来形成晶体管串,并串接在晶体管P1以及电压轨线BL间。晶体管P1则串接在晶体管N1以及焊垫PAD间。在当焊垫PAD上发生静电放电现象时,流出焊垫PAD的静电放电电流可以由晶体管P1的漏极通过寄生的二极管顺向导通流向晶体管P1的基极,通过串接的晶体管N1~Ni的通道流向电压轨线BL,并藉此快速触发寄生在晶体管N1~Ni以及晶体管P1中的硅控整流器,使静电放电电流有效宣泄。

[0046] 上述图3A以及图3B中所分别绘示的晶体管P1~Pj以及晶体管N1~Nj的数量都是可以调整的。其晶体管P1~Pj以及晶体管N1~Nj的数量的调整方式与前述的实施例中的晶体管的数量调整方式是相同的,以下不多赘述。

[0047] 以下请同时参照图3A以及图3C,其中的图3C绘示图3A的实施方式的静电放电保护装置300的结构剖面图。在图3C的绘示中,晶体管P1~Pj建构在N型的阱区310上,而晶体管N1则建构在P型的阱区320上。N型的阱区310上配置多个P型的重掺杂区(P+)312~316作为晶体管P1~Pj的源极及漏极。另外,N型的阱区310上配置N型的重掺杂区(N+)311以作为晶体管P1~Pj共同的基极。P型的阱区320上配置多个N型的重掺杂区(N+)323~324作为晶体管N1的源极及漏极。另外,P型的阱区320上还配置P型的重掺杂区(P+)321以及322,其中的重掺杂区321及322作为晶体管N1的基极,且重掺杂区322连接至P型的重掺杂区316所构成的晶体管P1的漏极。

[0048] 值得注意的是,图3C绘示的静电放电保护装置300中,N型的重掺杂区311、N型阱区310、P型阱区320以及N型的重掺杂区323形成寄生的晶体管BJT1,而P型的重掺杂区312、N型阱区310、P型阱区320以及P型的重掺杂区321则形成寄生的晶体管BJT2。晶体管BJT1以及晶体管BJT2则相互耦接成硅控整流器。这个由晶体管BJT1以及晶体管BJT2所构成的硅控整流器在焊垫PAD上发生静电放电现象时,可以被快速的触发,并提供宣泄。

[0049] 以下请参照图4A及图4B,图4A及4B分别绘示本发明再一实施例的静电放电保护装置400不同实施方式。在图4A的绘示中,静电放电保护装置400包括晶体管N1以及晶体管P1~Pj。晶体管N1的控制端(栅极)以及其第一端与第二端(源极与漏极)分别耦接在电压轨线BL与焊垫PAD间,其中,本实施例中的电压轨线BL用以提供接地电压GND。另外,晶体管P1~Pj串接在晶体管N1以及焊垫PAD间,其中的晶体管P1通过其栅极耦接至晶体管N1的基极。并且,各晶体管P1~Pj的栅极与漏极相耦接,且晶体管P1~Pj的基极相互耦接至焊垫PAD。

[0050] 请注意,而在焊垫PAD上发生静电放电现象发生时,流出焊垫PAD的静电放电电流通过晶体管P1~Pj的通道,流至晶体管N1的基极,并藉此快速触发寄生在晶体管P1~Pj以及晶体管N1中的硅控整流器,使静电放电电流有效宣泄。

[0051] 相对应的,图4B绘示的静电放电保护装置400的实施方式为图4A绘示的实施方式的一种互补的作法。在图4B的绘示中,是利用N型晶体管N1~Ni来形成晶体管串,并串接在晶体管P1以及电压轨线BL间。晶体管P1则串接在晶体管N1以及焊垫PAD间。在当焊垫PAD上

发生静电放电现象时,流出焊垫PAD的静电放电电流可以由晶体管P1的漏极通过寄生的二极管顺向导通流向晶体管P1的基极,通过串接的晶体管N1~Ni的通道流向电压轨线BL,并藉此快速触发寄生在晶体管N1~Ni以及晶体管P1中的硅控整流器,使静电放电电流有效宣泄。

[0052] 同前述的多个实施例,上述图4A以及图4B中所分别绘示的晶体管P1~Pj以及晶体管N1~Nj的数量都是可以调整的。其晶体管P1~Pj以及晶体管N1~Nj的数量的调整方式与前述的实施例中的晶体管的数量调整方式是相同的,以下不多赘述。

[0053] 以下请同时参照图4A以及图4C,其中的图4C绘示图4A的实施方式的静电放电保护装置400的结构剖面图。在图4C的绘示中,晶体管P1~Pj建构在N型的阱区410上,而晶体管N1则建构在P型的阱区420上。N型的阱区410上配置多个P型的重掺杂区(P+)412~416作为晶体管P1~Pj的源极及漏极。另外,N型的阱区410上配置N型的重掺杂区(N+)411以作为晶体管P1~Pj共同的基极,其中的重掺杂区411及412共同耦接至焊垫PAD。P型的阱区420上则配置多个N型的重掺杂区(N+)423~424作为晶体管N1的源极及漏极。另外,P型的阱区420上还配置P型的重掺杂区(P+)421以及422,其中的重掺杂区421及422作为晶体管N1的基极,且重掺杂区422连接至P型的重掺杂区416所构成的晶体管P1的漏极。

[0054] 值得注意的是,图4C绘示的静电放电保护装置400中,N型的重掺杂区411、N型阱区410、P型阱区420以及N型的重掺杂区423形成寄生的晶体管BJT1,而P型的重掺杂区412、N型阱区410、P型阱区420以及P型的重掺杂区421则形成寄生的晶体管BJT2。晶体管BJT1以及晶体管BJT2则相互耦接成硅控整流器。这个由晶体管BJT1以及晶体管BJT2所构成的硅控整流器在焊垫PAD上发生静电放电现象时,可以被快速的触发,并提供宣泄。

[0055] 综上所述,本发明利用一个或多个的P型晶体管与N型晶体管,通过特殊的串接方式,来建构静电放电保护装置。进以使在焊垫上因静电放电现象所产生的静电放电电流可以藉由P型(或N型)晶体管串通道,流至N型(或P型)晶体管的基极,并藉以快速触发寄生在静电放电保护装置中的硅控整流器,有效宣泄静电放电电流。

[0056] 虽然本发明已以实施例揭示如上,然其并非用以限定本发明,本领域的技术人员,在不脱离本发明的精神和范围的前提下,可作若干的更动与润饰,故本发明的保护范围是以本发明的权利要求为准。

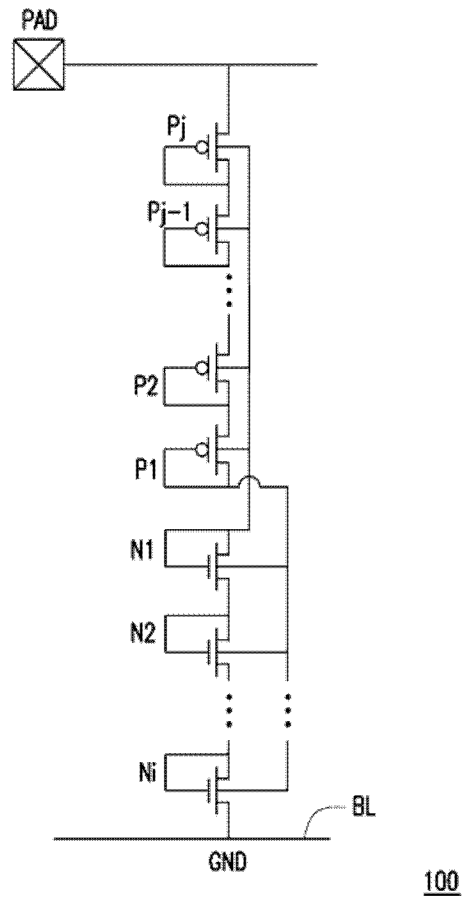


图1A

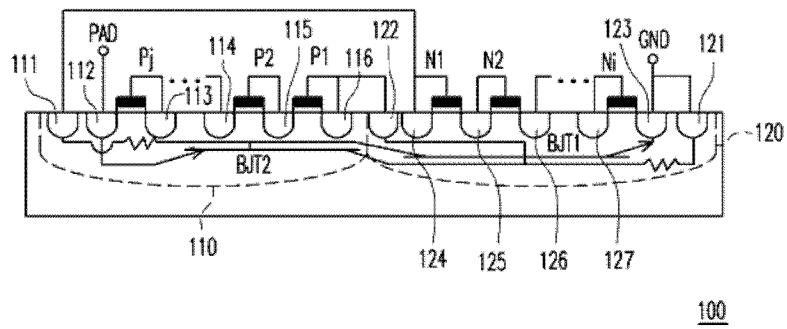


图1B

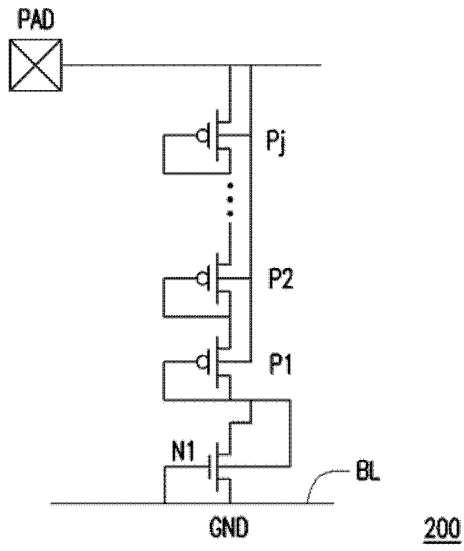


图2A

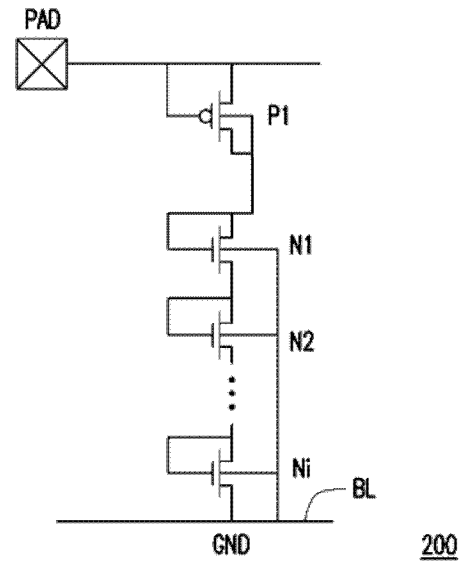


图2B

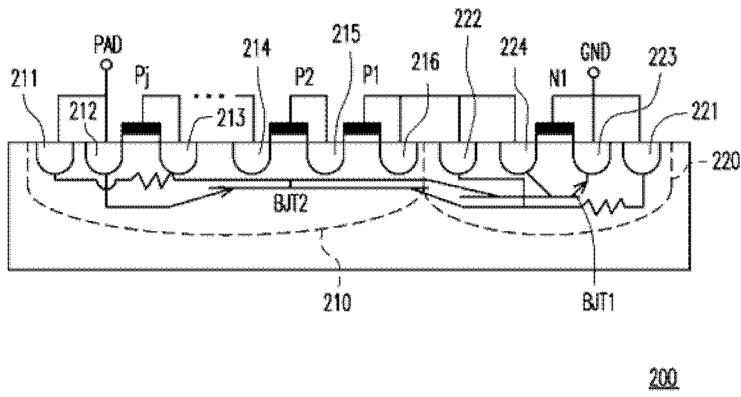


图2C

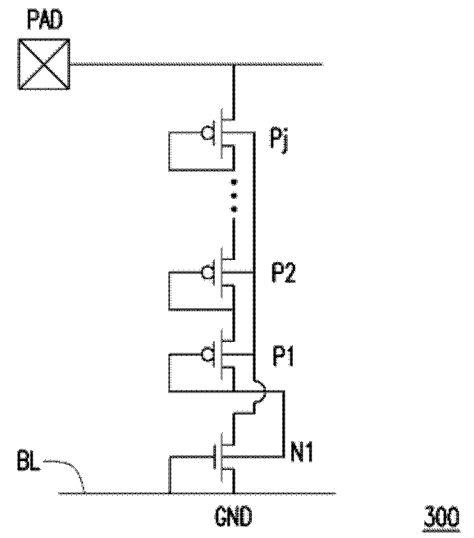


图3A

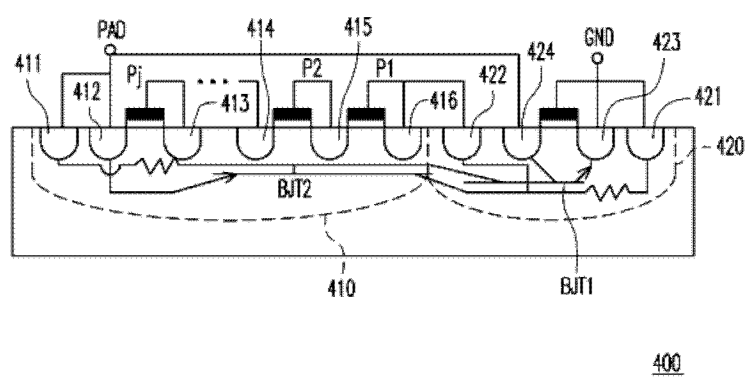


图4C