



(12)发明专利

(10)授权公告号 CN 103944155 B

(45)授权公告日 2016.12.28

(21)申请号 201310144169.X

(22)申请日 2013.04.23

(65)同一申请的已公布的文献号

申请公布号 CN 103944155 A

(43)申请公布日 2014.07.23

(30)优先权数据

102111438 2013.03.29 TW

61/755,478 2013.01.23 US

(73)专利权人 义隆电子股份有限公司

地址 中国台湾

(72)发明人 柯明道 谢武聪 王俊淇

(74)专利代理机构 北京康信知识产权代理有限公司
11240

代理人 余刚 李静

(51)Int.Cl.

H02H 9/04(2006.01)

H01L 27/02(2006.01)

(56)对比文件

TW I1261909 B,2006.09.11,

US 5959820 A,1999.09.28,

CN 102447272 A,2012.05.09,

CN 101488665 A,2009.07.22,

US 2010321841 A1,2010.12.23,

TW I1261909 B,2006.09.11,

审查员 赵舒博

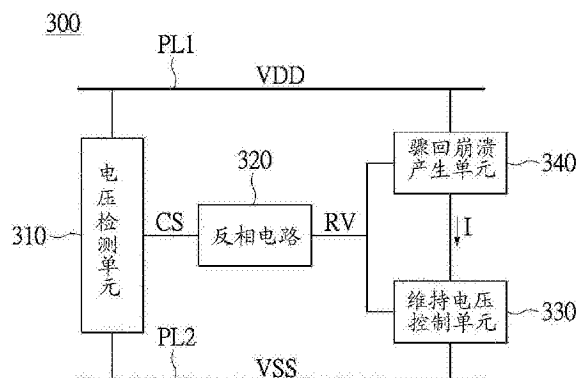
权利要求书2页 说明书9页 附图7页

(54)发明名称

静电放电防护电路与电子装置

(57)摘要

本发明实施例提供一种静电放电防护电路与电子装置,静电放电防护电路包括电压检测单元、反相电路、骤回崩溃产生单元与维持电压控制单元。电压检测单元依据第一电源线与第二电源线之间的电压输出控制信号,其中第一电源线具有操作电压。反相电路用以接收控制信号且据此输出触发电压。骤回崩溃产生单元具有第一晶体管元件。维持电压控制单元具有第二晶体管元件,用以调整维持电压。当检测到第一电源线与第二电源线之间的电压变化时,则骤回崩溃产生单元与维持电压控制单元会被反相电路触发,并且于骤回崩溃产生单元发生骤回崩溃时,使维持电压大于操作电压。



1. 一种静电放电防护电路,其特征在于,所述静电放电防护电路包括:

电压检测单元,电性连接于第一电源线与第二电源线,所述电压检测单元依据所述第一电源线与所述第二电源线之间的电压输出控制信号,其中所述第一电源线具有操作电压;

反相电路,电性连接于所述电压检测单元,用以接收所述控制信号且据此输出触发电压;

骤回崩溃产生单元,具有第一晶体管元件,所述骤回崩溃产生单元的第一端连接于所述反相电路,以接收所述触发电压,所述骤回崩溃产生单元的第二端连接于所述第一电源线;以及

维持电压控制单元,具有第二晶体管元件,所述维持电压控制单元的第一端连接于所述反相电路,所述维持电压控制单元的第二端连接于所述骤回崩溃产生单元的第三端,所述维持电压控制单元的第三端连接于所述第二电源线,用以调整维持电压;

其中,当检测到所述第一电源线与所述第二电源线之间的电压变化时,所述骤回崩溃产生单元与所述维持电压控制单元会被所述反相电路触发,并且于所述骤回崩溃产生单元发生骤回崩溃时,使所述维持电压大于所述操作电压;

其中,所述第一晶体管元件为高压晶体管,所述高压晶体管的栅极连接于所述反相电路,以接收所述触发电压,所述高压晶体管的漏极连接于所述第一电源线,所述高压晶体管的源极连接于所述维持电压控制单元,并且所述高压晶体管具有第一寄生晶体管;

其中,所述第二晶体管元件为N型晶体管,所述N型晶体管的栅极连接于所述反相电路,所述N型晶体管的漏极连接于所述骤回崩溃产生单元的第三端,所述N型晶体管的源极连接于所述第二电源线,并且所述N型晶体管具有第二寄生晶体管,当发生骤回崩溃时,通过所述N型晶体管的所述第二寄生晶体管的导通来提高所述维持电压并且使得所述维持电压大于所述操作电压;

其中,所述维持电压控制单元还包括:

保护电阻,所述保护电阻的一端连接于所述反相电路,所述保护电阻的另一端连接于所述N型晶体管的栅极。

2. 根据权利要求1所述的静电放电防护电路,其特征在于,所述骤回崩溃产生单元与所述维持电压控制单元提供电流放电通道以释放静电放电电流。

3. 根据权利要求1所述的静电放电防护电路,其特征在于,所述第一寄生晶体管以叠接方式连接至所述第二寄生晶体管,并且所述高压晶体管与所述N型晶体管为同类型的晶体管元件。

4. 根据权利要求1所述的静电放电防护电路,其特征在于,所述电压检测单元包括:

第一电阻,所述第一电阻的一端连接于所述第一电源线;以及

电容,所述电容的一端连接于所述第一电阻的另一端,所述电容的另一端连接于所述第二电源线。

5. 根据权利要求1所述的静电放电防护电路,其特征在于,通过调整所述N型晶体管的通道长度来改变所述N型晶体管的等效阻抗,藉此来调整所述维持电压。

6. 根据权利要求1所述的静电放电防护电路,其特征在于,所述N型晶体管为高压元件、中压元件与低压元件中的其中之一。

7. 一种电子装置,其特征在于,所述电子装置包括:

偏压电路,所述偏压电路用以提供工作电压;以及

静电放电防护电路,所述静电放电防护电路电性连接于所述偏压电路,

其中,所述静电放电防护电路包括:

电压检测单元,所述电压检测单元电性连接于第一电源线与第二电源线,所述电压检测单元依据所述第一电源线与所述第二电源线之间的电压输出控制信号,其中,所述第一电源线具有操作电压;

反相电路,所述反相电路电性连接于所述电压检测单元,用以接收所述控制信号且据此输出触发电压;

骤回崩溃产生单元,具有第一晶体管元件,所述骤回崩溃产生单元的第一端连接于所述反相电路,以接收所述触发电压,所述骤回崩溃产生单元的第二端连接于所述第一电源线;以及

维持电压控制单元,具有第二晶体管元件,所述维持电压控制单元的第一端连接于所述反相电路,所述维持电压控制单元的第二端连接于所述骤回崩溃产生单元,所述维持电压控制单元的第三端连接于所述第二电源线,用以调整维持电压,

其中,当检测到所述第一电源线与所述第二电源线之间的电压变化时,所述骤回崩溃产生单元与所述维持电压控制单元会被所述反相电路触发,并且于所述骤回崩溃产生单元发生骤回崩溃时,使所述维持电压大于所述操作电压;

其中,所述第一晶体管元件为高压晶体管,所述高压晶体管的栅极连接于所述反相电路,以接收所述触发电压,所述高压晶体管的漏极连接于所述第一电源线,所述高压晶体管的源极连接于所述维持电压控制单元,并且所述高压晶体管具有第一寄生晶体管;

其中,所述第二晶体管元件为N型晶体管,所述N型晶体管的栅极连接于所述反相电路,所述N型晶体管的漏极连接于所述骤回崩溃产生单元的第三端,所述N型晶体管的源极连接于所述第二电源线,并且所述N型晶体管具有第二寄生晶体管,当发生骤回崩溃时,通过所述N型晶体管的所述第二寄生晶体管的导通来提高所述维持电压并且使得所述维持电压大于所述操作电压;

其中,所述维持电压控制单元还包括:

保护电阻,所述保护电阻的一端连接于所述反相电路,所述保护电阻的另一端连接于所述N型晶体管的栅极。

8. 根据权利要求7所述的电子装置,其特征在于,所述骤回崩溃产生单元与所述维持电压控制单元提供电流放电通道以释放静电放电电流。

9. 根据权利要求7所述的电子装置,其特征在于,所述第一寄生晶体管以叠接方式连接至所述第二寄生晶体管,并且所述高压晶体管与所述N型晶体管为同类型的晶体管元件。

静电放电防护电路与电子装置

技术领域

[0001] 本发明涉及一种静电放电防护电路,特别是指一种能够使静电放电防护电路的维持电压大于操作电压的静电放电防护电路。

背景技术

[0002] 由于集成电路通常设计以用来执行高于正常范围的工作电压的工作,因此一般通过瞬态电压抑制器以用来保护集成电路,以避免受到因为产生异常过电压而冲击至集成电路内所导致的损害,然而,例如在静电放电(electrostatic discharge,ESD)、快速电力瞬态(electrical fast transient,EFT)与闪烁(lightning)的状况下,一非预期且无法控制的高电压可能意外地冲击到电路上,因此,通过瞬态电压抑制元件可提供保护功能,以避免可能因为过电压的问题而导致在集成电路中产生的损害。又随着在集成电路中所实现的元件数目逐渐地增加,且这些元件容易受到过电压的损害,因此对于瞬态电压抑制器的需求与依赖也随之增加,其中,瞬态电压抑制器的典型应用在于通用串行总线式的电源、数据线保护、数字图像界面、高速以太网网络、笔记本电脑、显示装置与平面式面板显示器。

[0003] 静电对电子产品的伤害一直是存在的问题,电子产品一旦受到静电的放电(ESD)的作用时,常会出现一些不稳定的现象,如功能突然失常情形等,轻者须重开机才能排除,有时电子产品内的电子元件会不堪承受静电的电压或电流而损坏。为确保电子产品的功能,国际知名厂商都要求代工的产品必须符合国际规范 IES61000-4-2ESD测试才会接受。然而欲使电子产品具静电防护能力,除了从半导体元件的防护方面,还需从产品系统设计防护技术等两方面着手,才能发挥静电的防护功能。

[0004] 现有技术中,静电放电防护电路(ESD protection circuits)是集成电路(IC)上专门用来做静电放电防护之用。静电放电防护电路提供了ESD电流路径,以免ESD放电时,静电电流流入IC内部电路而造成损害。人体放电模式(HBM)与机器放电模式(MM)的ESD来自外界,所以ESD防护电路都是设置在焊垫(pad)的附近。

[0005] 请同时参照图1及图2,图1为现有技术下的静电放电防护电路的电路示意图。图2为对照图1中的高压晶体管的电压电流曲线图。如图1所示,已知静电放电防护电路100在电源线110与120之间,并且电源线110及120分别具有电压VDD'及VSS'。已知静电放电防护电路100包括电阻R'、电容C'、反相器IV'与高压晶体管VHN。当集成电路(IC)遭受到静电电压影响时,电阻R'与电容C'会检测到电源线110与120之间的电压异常变化,进而通过反相器IV'来触发高压晶体管VHN,以建立电流放电路径来释放静电放电电流I',并且导通的高压晶体管VHN在电压VDD'与VSS'之间形成一暂时性阻抗,故跨在两电源线110与120之间的ESD电压能够很有效地被箝制住。然而,从图2可知,当高压晶体管VHN发生骤回崩溃而触发寄生于高压晶体管VHN的npn BJT元件产生大电流释放时,高压晶体管VHN的漏极电压会被拉低至小于电源线110上的电压VDD',也即操作电压。在系统操作电压回复后,因发生骤回崩溃后的维持电压小于系统操作电压,将会再持续产生大的电流释放,因此IC内部会出现异常漏电现象,而造成保护元件损毁或是异常耗电流。

发明内容

[0006] 本发明实施例提供一种静电放电防护电路,静电放电防护电路包括电压检测单元、反相电路、骤回崩溃产生单元与维持电压控制单元。电压检测单元电性连接第一电源线与第二电源线,所述电压检测单元依据第一电源线与第二电源线之间的电压输出控制信号,其中第一电源线具有操作电压。反相电路电性连接电压检测单元,所述反相电路用以接收控制信号且据此输出触发电压。骤回崩溃产生单元具有第一晶体管元件,所述骤回崩溃产生单元的第一端连接反相电路以接收触发电压,其第二端连接第一电源线。维持电压控制单元具有第二晶体管元件,所述维持电压控制单元的第一端连接反相电路,其第二端连接骤回崩溃产生单元的第三端,其第三端连接第二电源线,用以调整维持电压。当检测到第一电源线与第二电源线之间的电压变化时,则骤回崩溃产生单元与维持电压控制单元会被反相电路触发,并且于骤回崩溃产生单元发生骤回崩溃时,使维持电压大于操作电压。

[0007] 在本发明的一个实施例中,骤回崩溃产生单元与维持电压控制单元提供电流放电通道以释放静电放电电流,其中高压晶体管为N型金属氧化物半导体晶体管。

[0008] 在本发明的一个实施例中,其中该第一晶体管元件为一高压晶体管,其栅极连接该反相电路以接收该触发电压,其漏极连接该第一电源线,其源极连接该维持电压控制单元。

[0009] 在本发明的一个实施例中,其中第一晶体管元件为第一硅控整流器(Silicon-Controlled Rectifier,SCR),第一硅控整流器的控制端连接反相器以接收触发电压,其P型重掺杂扩散区连接第一电源线,其N型重掺杂扩散区连接维持电压控制单元。

[0010] 在本发明的一个实施例中,其中第二晶体管元件为N型晶体管,N型晶体管的栅极连接反相电路,其漏极连接骤回崩溃产生单元的第三端,其源极连接第二电源线,当发生骤回崩溃时,通过N型晶体管的第二寄生晶体管的导通来提高维持电压并且使得维持电压大于操作电压。

[0011] 在本发明的一个实施例中,其中第二晶体管元件为第二硅控整流器,第二硅控整流器的控制端连接反相器以接收触发电压,其P型重掺杂扩散区连接骤回崩溃产生单元的第三端,其N型重掺杂扩散区连接第二电源线,当发生骤回崩溃时,通过第二硅控整流器的导通来提高维持电压并且使得维持电压大于操作电压。

[0012] 在本发明的一个实施例中,高压晶体管具有第一寄生晶体管,N型晶体管具有第二寄生晶体管,第一寄生晶体管以叠接方式连接至第二寄生晶体管,并且高压晶体管与N型晶体管为同类型的晶体管元件。

[0013] 在本发明的一个实施例中,电压检测单元包括第一电阻与电容。第一电阻的一端连接第一电源线。电容的一端连接第一电阻的另一端,电容的另一端连接第二电源线。

[0014] 在本发明的一个实施例中,通过调整N型晶体管的通道长度来改变N型晶体管的等效阻抗,藉此来调整维持电压。

[0015] 在本发明的一个实施例中,维持电压控制单元还包括保护电阻。保护电阻的一端连接反相电路,保护电阻的另一端连接N型晶体管的栅极。

[0016] 在本发明的一个实施例中,所述N型晶体管为高压元件、中压元件与低压元件其中之一。

[0017] 本发明实施例还提供一种电子装置,所述电子装置包括偏压电路与静电放电防护电路。静电放电防护电路包括电压检测单元、反相电路、骤回崩溃产生单元与维持电压控制单元。电压检测单元电性连接第一电源线与第二电源线,所述电压检测单元依据第一电源线与第二电源线之间的电压输出控制信号,其中,第一电源线具有操作电压。反相电路电性连接电压检测单元,所述反相电路用以接收控制信号且据此输出触发电压。骤回崩溃产生单元具有第一晶体管元件,所述骤回崩溃产生单元的第一端连接反相电路以接收触发电压,其第二端连接第一电源线。维持电压控制单元具有第二晶体管元件,所述维持电压控制单元的第一端连接反相电路,其第二端连接骤回崩溃产生单元的第三端,其第三端连接第二电源线,用以调整维持电压。当检测到第一电源线与第二电源线之间的电压变化时,则骤回崩溃产生单元与维持电压控制单元会被反相电路触发,并且于骤回崩溃产生单元发生骤回崩溃时,使维持电压大于操作电压。

[0018] 综上所述,本发明实施例所提出的静电放电防护电路与电子装置,在当静电大电压出现且跨在第一电源线与第二电源线之间时,通过导通两个晶体管元件所形成的电流路径来释放静电放电电流,并且因为两个晶体管元件是以叠接方式构成,所以能够进一步将维持电压调整到大于操作电压,藉此以避免进入系统工作区。再者,本披露内容利用原来的制程流程,也即,不需增加额外的光罩成本,仅通过改变元件架构即可改善并提高原来的维持电压,并且可维持原本静电放电防护电路的触发电压与电流电平。

[0019] 为使能更进一步了解本发明的特征及技术内容,请参阅以下有关本发明的详细说明与附图,但是此等说明与附图仅用来说明本发明,而非对本发明的权利要求范围作任何的限制。

附图说明

[0020] 图1为现有技术下的静电放电防护电路的电路示意图。

[0021] 图2为对照图1中的高压晶体管的电压电流曲线图。

[0022] 图3为根据本发明实施例的静电放电防护电路的电路示意图。

[0023] 图4为根据本发明另一实施例的静电放电防护电路的电路示意图。

[0024] 图5为根据本发明实施例的具有第一硅控整流器的静电放电防护电路的电路示意图。

[0025] 图6为根据本发明实施例的具有N型晶体管的静电放电防护电路的电路示意图。

[0026] 图7为根据本发明实施例的具有第二硅控整流器的静电放电防护电路的电路示意图。

[0027] 图8为根据本发明另一实施例的静电放电防护电路的细部电路图。

[0028] 图9为根据本发明实施例的高压晶体管的电压电流曲线图。

[0029] 图10为根据本发明再一实施例的静电放电防护电路的电路示意图。

[0030] 图11为根据本发明再一实施例的高压晶体管的电压电流曲线图。

[0031] 图12为本披露内容的静电放电防护电路的传输线脉冲(transmission line pulse,TLP)产生系统测量的电压电流测量图。

[0032] 图13为根据本发明实施例的电子装置的电路区块图。

[0033] 【符号说明】

- [0034] 100:已知静电放电防护电路
- [0035] 110、120:电源线
- [0036] 300、400、500、600、700、1000:静电放电防护电路
- [0037] 310:电压检测单元
- [0038] 320:反相电路
- [0039] 330:维持电压控制单元
- [0040] 340:骤回崩溃产生单元
- [0041] B:基板
- [0042] C、C':电容
- [0043] C1、C2、C3:曲线
- [0044] CS:控制信号
- [0045] HVM:高压晶体管
- [0046] M1:N型晶体管
- [0047] I、I':静电放电电流
- [0048] IV、IV':反相器
- [0049] ih1、ih2、ih3:维持电流
- [0050] P1、P2、P3:维持点
- [0051] PB1:第一寄生晶体管
- [0052] PB2:第二寄生晶体管
- [0053] PL1:第一电源线
- [0054] PL2:第二电源线
- [0055] R':电阻
- [0056] R1:第一电阻
- [0057] R2:保护电阻
- [0058] R3:第三电阻
- [0059] RP:保护电阻
- [0060] RV:触发电压
- [0061] S1:第一硅控整流器
- [0062] S2:第二硅控整流器
- [0063] VHN:高压晶体管
- [0064] vh1、vh2、vh3:维持电压
- [0065] VDD、VDD':电压
- [0066] VSS、VSS':电压

具体实施方式

[0067] 在下文将参看附图更充分地描述各种例示性实施例,在附图中展示一些例示性实施例。然而,本发明概念可能以许多不同形式来体现,且不应解释为限于本文中所阐述的示例性实施例。确切而言,提供此等示例性实施例使得本发明将为详尽且完整,且将向本领域技术人员充分传达本发明概念的范畴。在各图式中,可为了清楚而夸大层及区的大小及相

对大小。类似数字始终指示类似元件。

[0068] 应理解,虽然本文中可能使用术语第一、第二、第三等来描述各种元件,但此等元件不应受此等术语限制。此等术语乃用以区分一元件与另一元件。因此,下文论述的第一元件可称为第二元件而不偏离本发明概念的教示。如本文中所使用,术语“及/或”包括相关联的列出项目中的任一者及一者或多者的所有组合。

[0069] (静电放电防护电路的实施例)

[0070] 请参照图3,图3为根据本发明实施例的静电放电防护电路的区块示意图。如图3所示,静电放电(Electric static discharge,ESD)防护电路300包括电压检测单元310、反相电路320、骤回崩溃产生单元340与维持电压控制单元330。电压检测单元310电性连接第一电源线PL1与第二电源线PL2,并位于两个电源线PL1与PL2之间。反相电路320电性连接电压检测单元310。骤回崩溃产生单元340的第一端连接反相电路320以接收触发电压RV,骤回崩溃产生单元340的第二端连接第一电源线PL1。维持电压控制单元330的第一端、第二端与第三端分别连接反相电路320、骤回崩溃产生单元340与第二电源线PL2。在第一电源线PL1与第二电源线PL2上分别具有电压VDD及VSS,其中电压VDD为操作电压(operation voltage),而在一实施例中,电压VSS为接地电压(Ground voltage)。

[0071] 关于电压检测单元310,电压检测单元310用以检测第一电源线PL1的电压VDD是否遭受到静电影响而使得操作电压发生异常变化的情形(如瞬间剧烈上升),也即,电压检测单元310用以依据第一电源线PL1与第二电源线PL2之间的电压且据此输出控制信号CS。

[0072] 关于反相电路320,反相电路320用以接收控制信号CS并据此输出一触发电压RV,也就是说,反相电路320在本披露内容中用作启动电压箝制机制的触发单元(trigger unit)。

[0073] 关于骤回崩溃产生单元340与维持电压控制单元330,其作为静电放电防护电路300中的一电压箝制单元(voltage clamping unit),因此跨压在第一电源线PL1(具有电压VDD)与第二电源线PL2(具有电压VSS)之间的电压能够被箝制住。骤回崩溃产生单元340与维持电压控制单元330会受控于反相电路320所输出的触发电压RV而形成短暂的低阻抗状态,并藉此提供一静电电流放电通道以释放静电放电电流I至第二电源线PL2。在本披露内容中,骤回崩溃产生单元340具有第一晶体管元件,且维持电压控制单元330具有第二晶体管元件,其中,第一晶体管元件可以是N型晶体管或硅控整流器,并且第二晶体管元件可以是N型晶体管或硅控整流器。值得一提的是,维持电压控制单元330主要用以调整维持电压(holding voltage),在本实施例中,可通过维持电压控制单元330来将维持电压调整至大于操作电压(也即电压VDD)。

[0074] 接下来要教示的,是进一步说明静电放电防护电路300的工作原理。

[0075] 请继续参照图3,当电压检测单元310检测到电源线PL1与PL2之间的电压变化时,也即,检测到一静电电压出现且跨在两个电源线PL1与PL2之间时,则电压检测单元310会根据此检测结果来将一控制信号CS传送至作为触发单元的反相电路320。接着,反相电路320会接收控制信号CS并据此对应地将一触发电压RV传送至骤回崩溃产生单元340与维持电压控制单元330,并分别使能骤回崩溃产生单元340与维持电压控制单元330。作为静电放电防护电路300内的电压箝制单元的骤回崩溃产生单元340与维持电压控制单元330会建立起一电流放电通道并出现暂时性的阻抗状态,以从第一电源线PL1释放静电放电电流I至第二电

源线PL2。当骤回崩溃产生单元340与维持电压控制单元330发生骤回崩溃(snapback breakdown)现象时,静电放电防护电路300通过维持电压控制单元330的调整,能够将维持电压(holding voltage)提高并大于第一电源线PL1的电压VDD(第一电源线PL1的输入电压),也即,使维持电压大于操作电压,其中,维持电压意指骤回崩溃产生单元340第二端的电压,并且第一电源线PL1上的电压骤升会受限与高压晶体管HVM的崩溃电压。值得一提的是,本披露内容利用维持电压控制单元330的暂时性低阻抗状态来提高骤回崩溃产生单元340第二端的电压,进而使维持电压(holding voltage)大于第一电源线PL1的电压VDD。

[0076] 为了更详细地说明本发明所述的静电放电防护电路300的运作流程,以下将举多个实施例中的至少之一来作更进一步的说明。

[0077] 在接下来的多个实施例中,将描述不同于上述图3实施例的部分,且其余省略部分与上述图3实施例的部分相同。此外,为说明便利起见,相似的参考数字或标号指示相似的元件。

[0078] (静电放电防护电路的另一实施例)

[0079] 请参照图4,图4为根据本发明另一实施例的静电放电防护电路的电路示意图。与上述图3实施例不同的是,骤回崩溃产生单元340内的第一晶体管元件为一高压晶体管HVM,其中,高压晶体管HVM具有第一寄生晶体管,如图4所示,静电放电防护电路400包括电压检测单元310、反相电路320、高压晶体管HVM与维持电压控制单元330。高压晶体管HVM的栅极、漏极与源极分别连接反相电路320、第一电源线PL1与维持电压控制单元330。

[0080] 接下来要教示的,是进一步说明静电放电防护电路300的工作原理。

[0081] 请继续参照图4,当电压检测单元310检测到电源线PL1与PL2之间的电压变化时,也即,检测到一静电电压出现且跨在两个电源线PL1与PL2之间时,则电压检测单元310会根据此检测结果来将一控制信号CS传送至作为触发单元的反相电路320。接着,反相电路320会接收控制信号CS并据此对应地将一触发电压RV传送至高压晶体管HVM的栅极与维持电压控制单元330,并分别导通高压晶体管HVM与使能维持电压控制单元330。作为静电放电防护电路300内的电压箝制单元的高压晶体管HVM与维持电压控制单元330会建立起一电流放电通道并出现暂时性的阻抗状态,以从第一电源线PL1释放静电放电电流I至第二电源线PL2。当高压晶体管HVM与维持电压控制单元330发生骤回崩溃(snapback breakdown)现象时,静电放电防护电路300通过维持电压控制单元330的调整,能够将维持电压(holding voltage)提高并大于第一电源线PL1的电压VDD,也即,使维持电压大于操作电压,其中,维持电压意指高压晶体管HVM的漏极上的电压,并且第一电源线PL1上的电压骤升会受限与高压晶体管HVM的崩溃电压。值得一提的是,本披露内容利用维持电压控制单元330的暂时性低阻抗状态来提高高压晶体管HVM的漏极电压,进而使维持电压(holding voltage)大于第一电源线PL1的电压VDD。此外,以下关于图5至图7的三个实施态样也属于本披露内容的范围。

[0082] 同理,请参照图5,图5为根据本发明实施例的具有第一硅控整流器的静电放电防护电路的电路示意图。与上述图3实施例不同的是,骤回崩溃产生单元340内的第一晶体管元件为第一硅控整流器S1。第一硅控整流器S1的控制端连接反相电路320以接收触发电压RV,其P型重掺杂扩散区连接第一电源线PL1,其N型重掺杂扩散区连接维持电压控制单元330。请参照图6,图6为根据本发明实施例的具有N型晶体管的静电放电防护电路的电路示

意图。与上述图3实施例不同的是,维持电压控制单元330内的第二晶体管元件为N型晶体管M1,其中N型晶体管M1具有第二寄生晶体管,并且N型晶体管M1为高压元件、中压元件与低压元件的其中之一。N型晶体管M1的栅极连接反相电路320,N型晶体管M1的漏极连接骤回崩溃产生单元340的第三端,N型晶体管M1的源极连接第二电源线PL2,当发生骤回崩溃时,通过N型晶体管M1的第二寄生晶体管的导通来提高维持电压并且使得维持电压大于该操作电压。值得一提的,本领域所谓的高压意指5伏特以上,中压意指3.3伏特至5伏特之间,低压意指3伏特以下。请参照图7,图7为根据本发明实施例的具有第二硅控整流器的静电放电防护电路的电路示意图。与上述图3实施例不同的是,维持电压控制单元330内的第一晶体管元件为第二硅控整流器S2。第二硅控整流器S2的控制端连接反相电路320以接收触发电压RV,其P型重掺杂扩散区连接骤回崩溃产生单元340,其N型重掺杂扩散区连接第二电源线PL2。

[0083] 为了更清楚了解本披露内容,以下将详细说明以高压晶体管与N型晶体管所构成的电压箝制单元的范例,其他关于图5~图7实施例的操作原理可同理推知,以下不再赘述。

[0084] (静电放电防护电路的另一实施例)

[0085] 请参照图8,图8为根据本发明另一实施例的静电放电防护电路的细部电路图。如图8所示,与上述图8实施例不同的是,在本实施例中,电压检测单元310包括第一电阻R1与电容C。反相电路320包括一反相器IV。维持电压控制单元330内的第二晶体管元件为N型晶体管M1。骤回崩溃产生单元340内的第一晶体管元件为高压晶体管HVM。第一电阻R1的一端连接至第一电源线PL1。电容C的一端连接至第一电阻R1的另一端,电容C的另一端连接至第二电源线PL2。反相器IV的输入端连接至第一电阻R1与电容C之间,以接收控制信号CS,反相器IV的输出端连接至高压晶体管HVM的栅极与N型晶体管M1的栅极。N型晶体管M1的漏极及源极分别连接至高压晶体管HVM的源极与第二电源线PL2。从图8可知,高压晶体管HVM具有一第一寄生晶体管PB1,而维持电压控制单元330内的N型晶体管M1也具有第二寄生晶体管PB2,并且寄生晶体管PB1、PB2为npn型双载子接面晶体管且在基板B内彼此互相叠接而成,其基极分别通过电阻R2及R3连接至第二电源线PL2的电压VSS。

[0086] 接下来要教示的,是进一步说明静电放电防护电路800的工作原理。

[0087] 请同时参照图8与图9,图9为根据本发明实施例的高压晶体管的电压电流曲线图。当一具有静电放电防护电路800的偏压电路遭受到静电电压影响且此大电压跨压在电源线PL1与PL2之间,这会使得电压VDD(也即操作电压)发生异常变化,则作为电压检测单元310的第一电阻R1及电容C会检测到此电压异常变化并且将一控制信号CS(来自于电容C上的电压)传送至反相器IV。接着,反相器IV会将所接收到的控制信号CS予以反相并将一触发电压RV传送至高压晶体管HVM与N型晶体管M1的栅极以触发或导通高压晶体管HVM与N型晶体管M1,并据此建立起电流放电通道(高压晶体管HVM与N型晶体管M1会出现暂时性的阻抗状态)以将静电放电电流I释放至第二电源线PL2的电压VSS。在本实施例中,N型晶体管M1为一低压元件,以使维持电压与崩溃电压之间的电压范围能够有较大的余裕(margin),但并不以此为限。接着,当高压晶体管HVM与N型晶体管M1发生骤回崩溃现象时,寄生晶体管PB1及PB2也会被触发而导通,其中,高压晶体管HVM的漏极电压(即维持电压)会因为高压晶体管HVM与N型晶体管M1的叠接关系而被提高至大于第一电源线PL1的电压VDD,也即,维持电压会被提高至大于操作电压。

[0088] 详细来说,如图9所示,横轴表示第一电源线的输入电压且纵轴表示高压晶体管的

漏极电流,曲线C1为现有技术下具有单个N型高压晶体管的情况,曲线C2为本实施例(对照于静电放电防护电路800)的具有叠接N型晶体管的情况。由曲线C2可知,通过高压晶体管HVM本身的崩溃电压规格能够箝制住操作电压的异常上升,也即,能够压制住静电放电电压的上升。之后,当发生骤回崩溃时,因为寄生晶体管PB1的导通,会使得高压晶体管HVM的漏极电压(也即操作电压)会被拉低且其漏极电流会上升,通过N型晶体管M1与寄生于N型晶体管M1的寄生晶体管PB2的导通,能够将高压晶体管HVM的漏极电压停留在大于电压VDD的区域,例如维持点P2(维持电压Vh2、维持电流Ih2),据此以避免高电压晶体管HVM进入到系统工作区。所以,在第一电源线PL1的电压VDD回复后(也即系统工作电压回复后),静电放电防护电路800就不会持续产生大电流释放而出现异常漏电现象,进而造成元件的损毁。故,本发明实施例利用原来的制程流程,也即,不需增加额外的光罩成本,仅通过改变元件架构即可改善并提高原来的维持电压,并且能够实质上维持原本静电放电防护电路的触发电压与电流的电平。

[0089] 值得一提的是,在另一实施例中,设计者能够依照电路设计或实际应用需求,通过调整N型晶体管M1的通道长度来改变N型晶体管M1的等效阻抗来调整维持电压。

[0090] 为了更详细地说明本发明所述的静电放电防护电路800的运作流程,以下将举多个实施例中的至少一个来作更进一步的说明。

[0091] 在接下来的多个实施例中,将描述不同于上述图8实施例的部分,且其余省略部分与上述图8实施例的部分相同。此外,为说明便利起见,相似的参考数字或标号指示相似的元件。

[0092] (静电放电防护电路的再一实施例)

[0093] 请参照图10,图10为根据本发明再一实施例的静电放电防护电路的电路示意图。与上述图8实施例的相异处在于,维持电压控制单元330还包括一保护电阻RP。保护电阻RP的一端连接反相电路320的反相器IV的输出端,保护电阻RP的另一端连接N型晶体管M1的栅极。所述保护电阻RP用以避免当快速电压供应(产生过电压)时,而造成N型晶体管M1的毁损,简单来说,保护电阻RP用以保护N型晶体管M1。此外,就时间观点而言,当反相器IV传送出发电压RV来触发高压晶体管HVM与N型晶体管M1时,高压晶体管HVM会比N型晶体管M1先导通。接下来,请同时参照图10与图11以了解本披露内容,图11为根据本发明再一实施例的高压晶体管的电压电流曲线图。如图11所示,横轴表示第一电源线的输入电压且纵轴高压晶体管的漏极电流,曲线C1为现有技术下具有单个N型高压晶体管的情况,曲线C2为对照于静电放电防护电路800的具有叠接N型晶体管的情况,并且曲线C3为本实施例(对照于静电放电防护电路1000)的具有叠接N型晶体管与一保护电阻RP的情况。在本实施例中,设计者能够通过保护电阻RP进一步再度提高高压晶体管HVM的漏极电压(也即第一电源线PL1的电压VDD或操作电压)。进一步来说,如图10与图11所示,当静电放电防护电路1000内的高压晶体管HVM发生骤回崩溃时,因为寄生晶体管PB1的导通,会使得高压晶体管HVM的漏极电压(也即操作电压)会被拉低且其漏极电流会上升,通过N型晶体管M1与寄生晶体管PB2的导通,能够将高压晶体管HVM的漏极电压停留在大于电压VDD的区域,例如维持点P3(维持电压Vh3、维持电流Ih3)。再者,相较于曲线C2,维持点P3的电压电流值还大于维持点P2的电压电流值。在另一实施例中,设计者还能够根据电路设计或实际应用需求来通过调整保护电阻RP的电阻值以弹性调整维持点P3。

[0094] 承上述,请参照图12,图12为本披露内容的静电放电防护电路的传输线脉冲(transmission line pulse,TLP)产生系统测量的电压电流测量图,静电放电防护电路利用传输线脉冲产生系统测量为判别防护电路ESD的防护能力,及实验的改善状况。如图12所示,下横轴为传输线脉冲产生系统用100ns时间的方波脉冲的电压电平,并施打于待测静电防护电路电源端高压晶体管的漏极电压(单位为伏特),纵轴为同时施打时间,测量待测静电防护电路电源端检测电流(单位为安培),纵轴为系统同时测量待测静电防护电路电源端漏极电流(单位为安培)的直瞬间值,上横轴为测量待测静电防护电路,在施打方波脉冲的电压后,测量待测静电防护电路高压电的漏电流(单位为安培),以判别待测静电防护电路是否已损坏,若已损坏元件,将会产生较大电流电平的漏电。在对应图8实施例中,设计者可以利用实际测量的方式来得到图12的相关数据,从图12可知,判别静电防护电路发生骤回崩溃时,其维持电压从原本8.8V~10V(伏特)的电平,已明显提升到13.5V~14V的电平。而本电路系统的工作电压为12V,因此静电防护电路保护电路于静电测试后能正常操作且不受损。

[0095] (电子装置的一实施例)

[0096] 请参照图13,图13为根据本发明实施例的电子装置的电路区块图。电子装置1300包括偏压电路1310与静电放电防护电路1320。静电放电防护电路1320电性连接至偏压电路1310。偏压电路1310用以提供一工作电压至下一级电路区块(图13未示出)。静电放电防护电路1320可以是上述静电放电防护电路300、400、500、600、700及1000的其中之一,而电子装置1300可以是各种类型的电子装置,例如手持装置或移动装置等。

[0097] (实施例的可能效果)

[0098] 综上所述,本发明实施例所提出的静电放电防护电路与电子装置,在当静电大电压出现且跨在第一电源线与第二电源线之间时,通过导通两个晶体管元件所形成的电流路径来释放静电放电电流,并且因为两个晶体管元件是以叠接方式构成,所以能够进一步将维持电压调整到大于操作电压,藉此以避免进入系统工作区。再者,本披露内容利用原来的制程流程,也即不需增加额外的光罩成本,仅通过改变元件架构即可改善并提高原来的维持电压,并且可维持原本静电放电防护电路的触发电压与电流电平。

[0099] 在本披露内容多个实施例中的至少一实施例中,通过保护电阻的作用或调整,能够进一步调整维持点的维持电压与维持电流,以符合设计者的电路设计所需。

[0100] 以上所述仅为本发明的实施例,其并非用以局限本发明的专利范围。

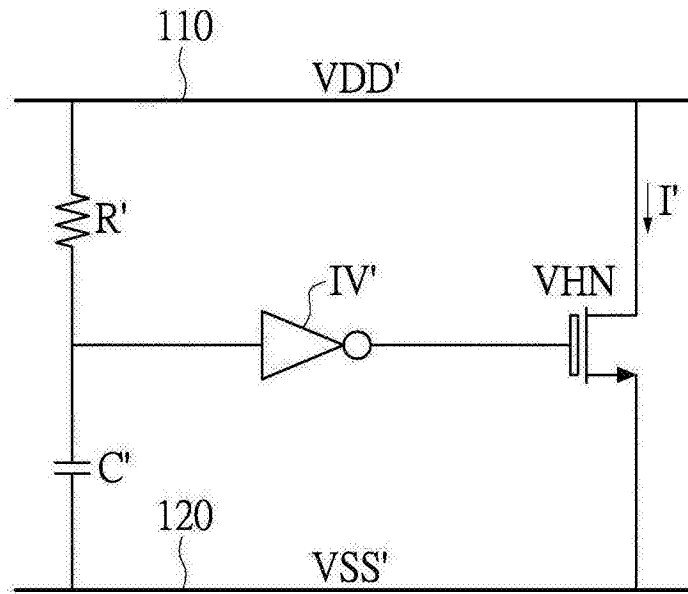


图1

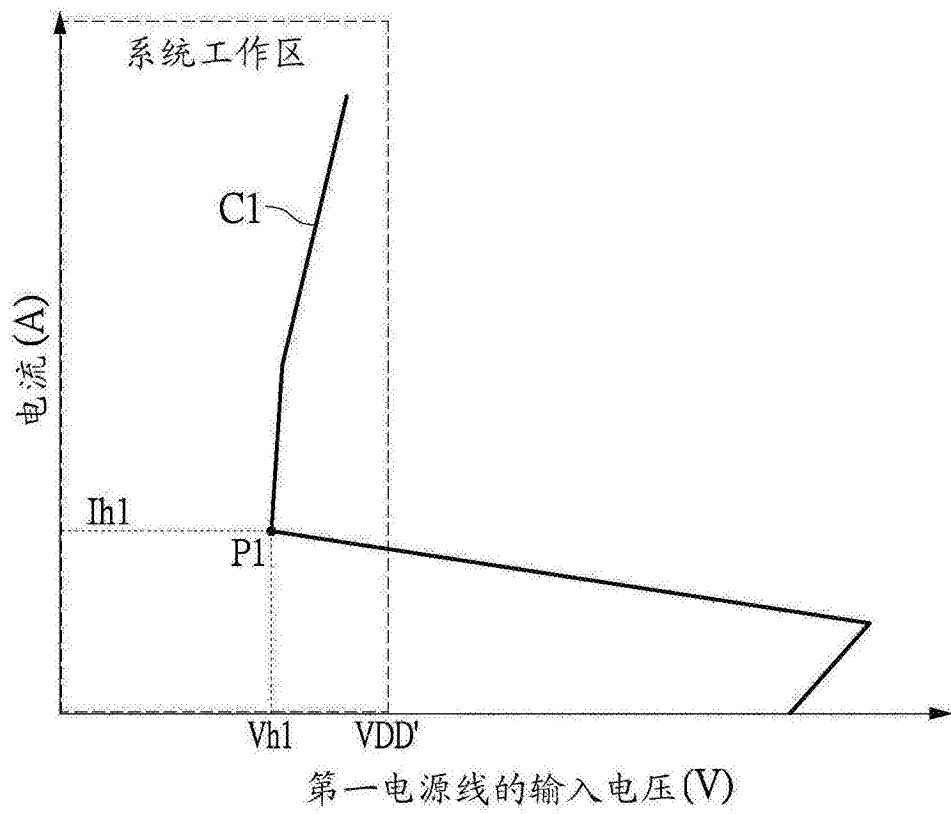


图2

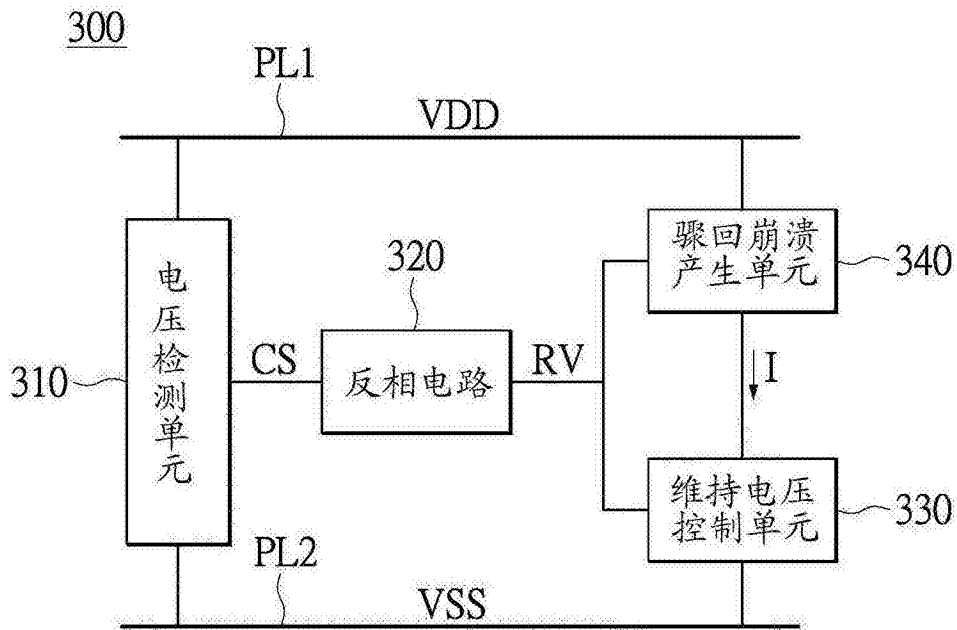


图3

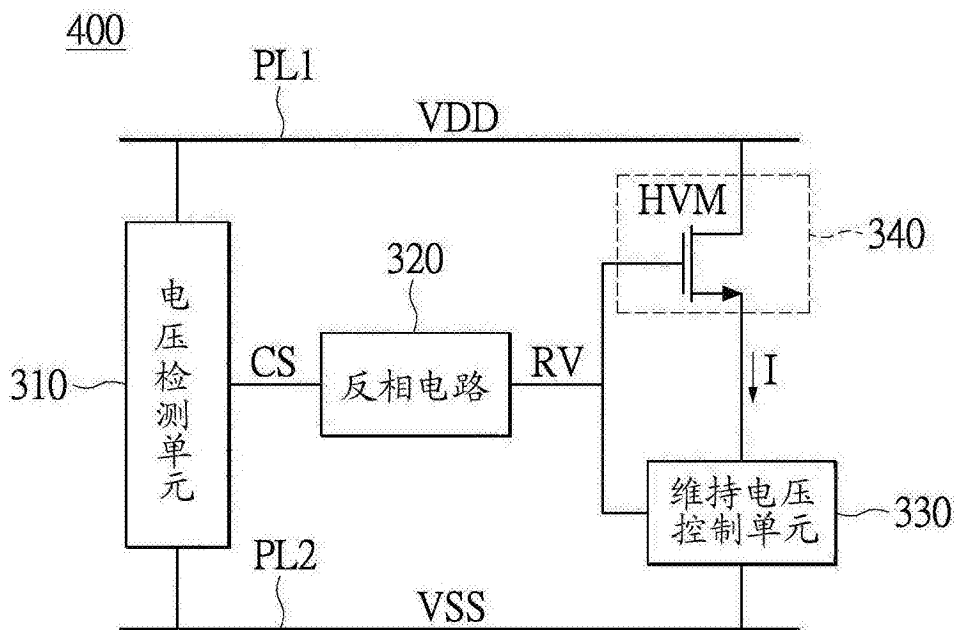


图4

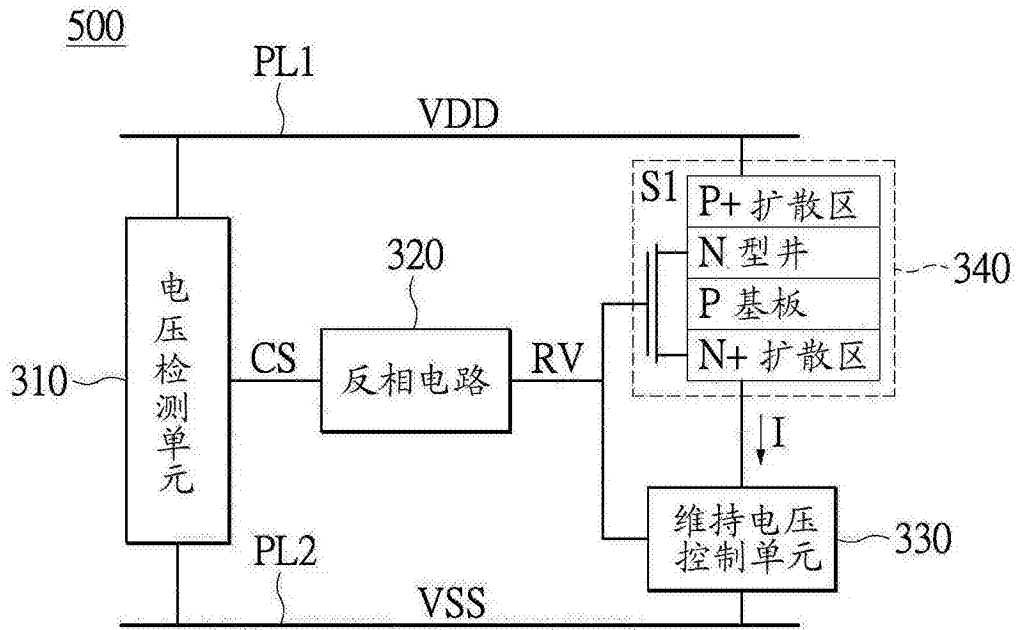


图5

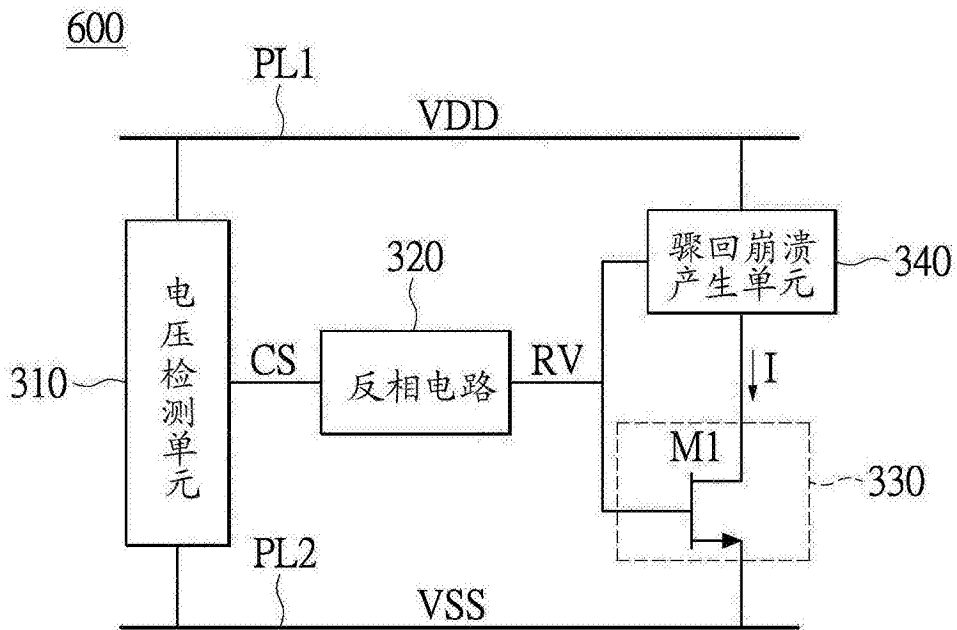


图6

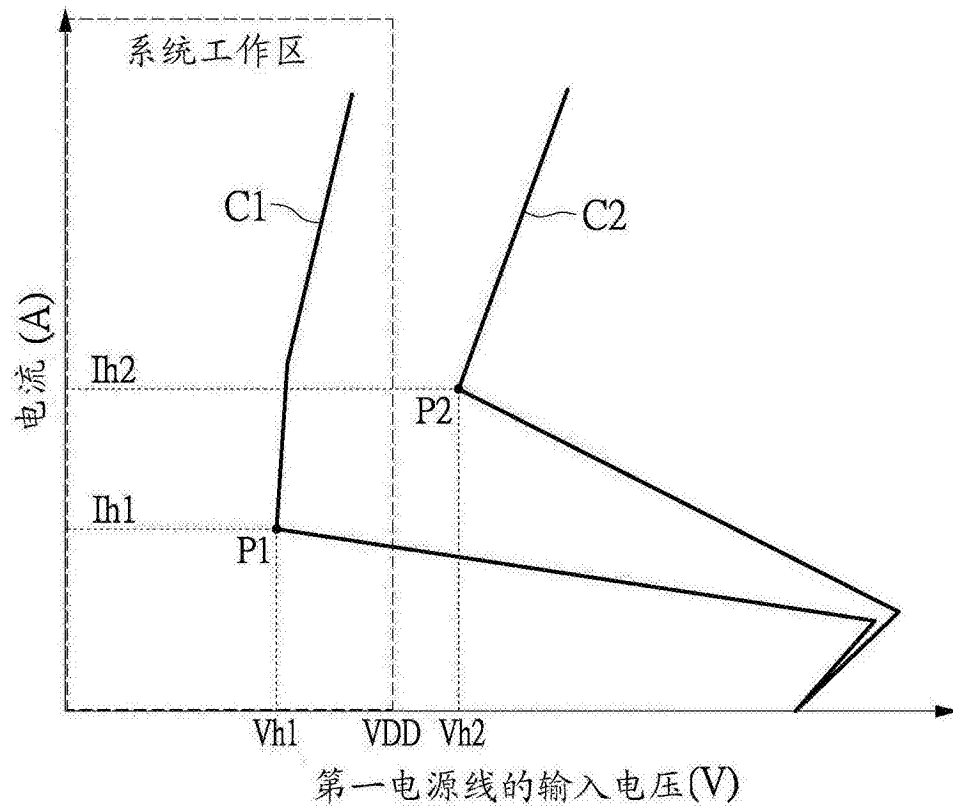


图9

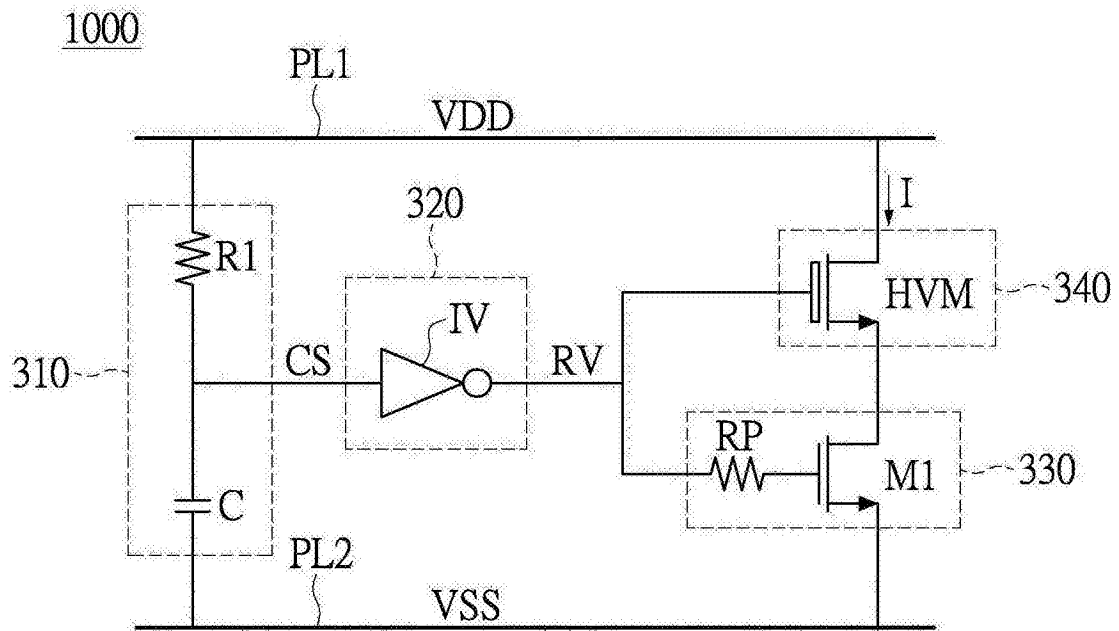


图10

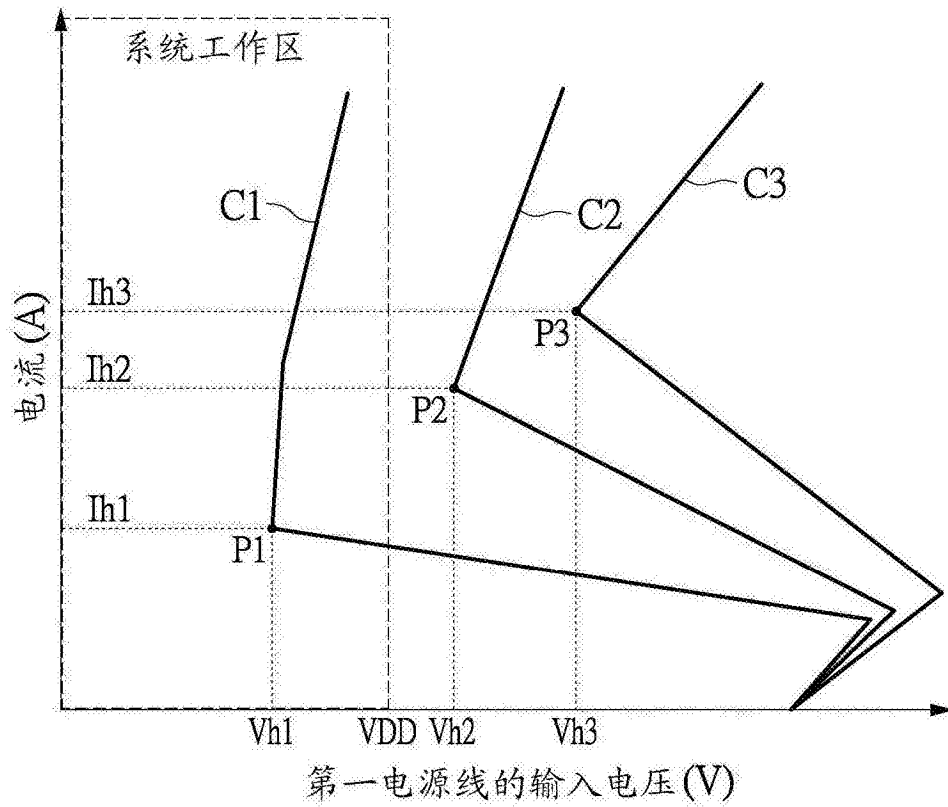


图11

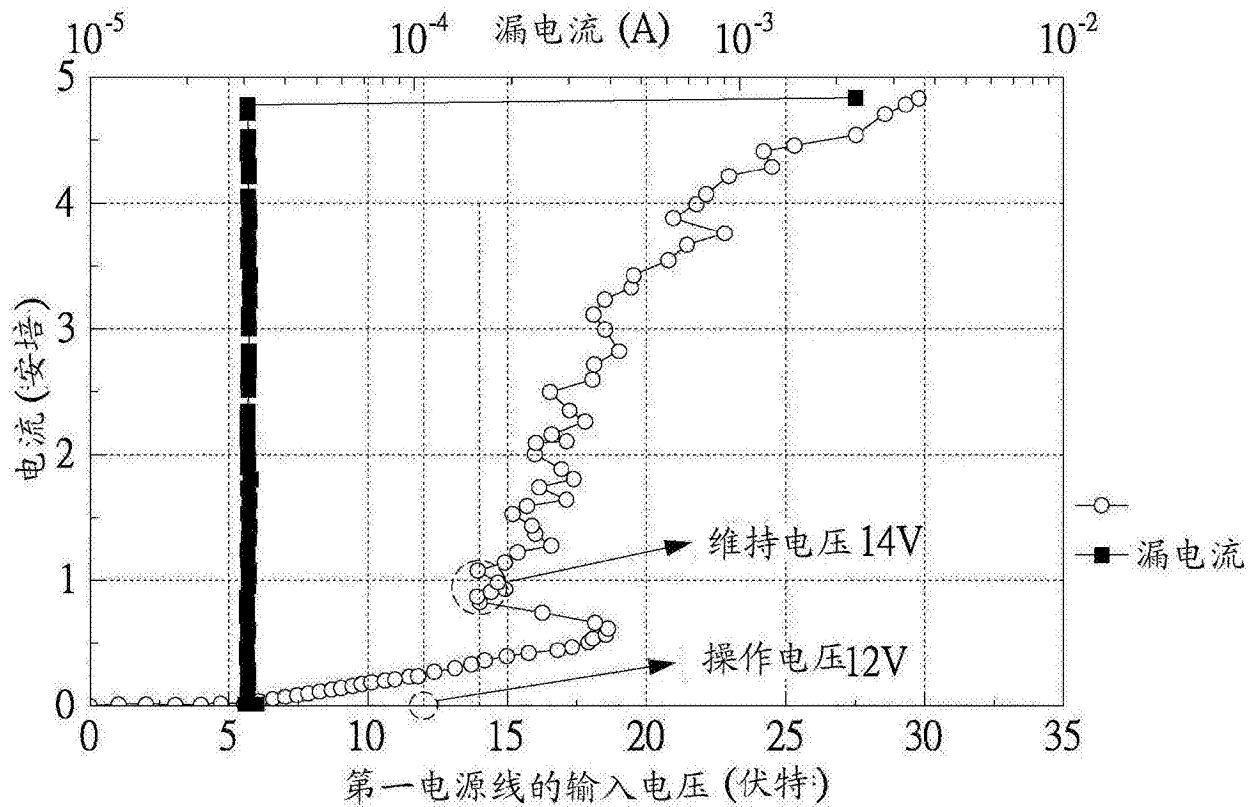


图12

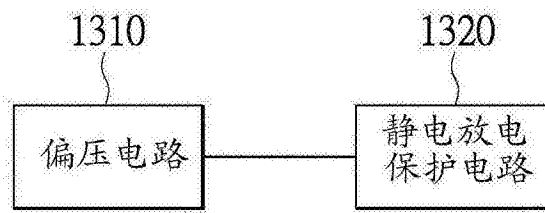
1300

图13