



(12)发明专利申请

(10)申请公布号 CN 107039415 A

(43)申请公布日 2017.08.11

(21)申请号 201610969374.3

(22)申请日 2016.10.27

(30)优先权数据

105126150 2016.08.16 TW

(71)申请人 晶焱科技股份有限公司

地址 中国台湾新北市中和区中正路736号6楼之6

(72)发明人 柯明道 吴伟琳 彭政杰 姜信钦

(74)专利代理机构 北京科龙寰宇知识产权代理有限公司 11139

代理人 孙皓晨

(51)Int.Cl.

H01L 27/02(2006.01)

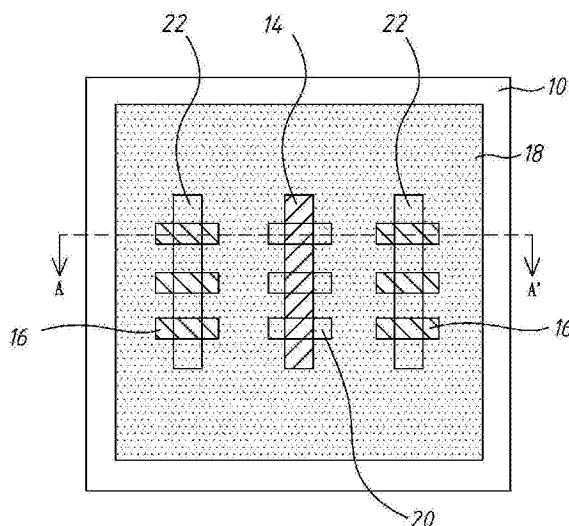
权利要求书2页 说明书5页 附图4页

(54)发明名称

自我平衡式二极管装置

(57)摘要

本发明公开了一种自我平衡式二极管装置，包含一基板、一掺杂井区、至少一第一导电型重掺杂鳍与至少两个第二导电型重掺杂鳍。掺杂井区设于基板中，第一导电型重掺杂鳍设于掺杂井区中并沿第一方向设置，且从基板的表面上凸出。第二导电型重掺杂鳍设于掺杂井区中并沿第二方向设置，第二方向与第一方向相交。第二导电型重掺杂鳍分别位于第一导电型重掺杂鳍的相异两侧且从基板的表面上凸出，每一第二导电型重掺杂鳍与第一导电型重掺杂鳍相隔一固定距离。



1. 一种自我平衡式二极管装置,其特征在于,包含:

一基板;

一掺杂井区,设于该基板中;

至少一第一导电型重掺杂鳍,设于该掺杂井区中并沿第一方向设置,且从该基板的表面上凸出;以及

至少两个第二导电型重掺杂鳍,设于该掺杂井区中并沿第二方向设置,该第二方向与该第一方向相交,该多个第二导电型重掺杂鳍分别位于该第一导电型重掺杂鳍的相异两侧且从该基板的该表面上凸出,每一该第二导电型重掺杂鳍与该第一导电型重掺杂鳍相隔一固定距离,该掺杂井区、该第一导电型重掺杂鳍与该多个第二导电型重掺杂鳍形成至少两个二极管,该第一导电型重掺杂鳍电性连接第一电压端,该多个第二导电型重掺杂鳍电性连接第二电压端,该第一电压端与该第二电压端的电压顺向偏压该多个二极管,以产生至少两路均匀静电放电电流并通过该多个二极管。

2. 根据权利要求1所述的自我平衡式二极管装置,其特征在于,该掺杂井区为P型掺杂井区或N型掺杂井区。

3. 根据权利要求1所述的自我平衡式二极管装置,其特征在于,当该第一导电型重掺杂鳍为N型重掺杂鳍时,该多个第二导电型重掺杂鳍为P型重掺杂鳍,且该第一电压端与该第二电压端分别为低电压端与高电压端;当该第一导电型重掺杂鳍为P型重掺杂鳍时,该多个第二导电型重掺杂鳍为N型重掺杂鳍,且该第一电压端与该第二电压端分别为高电压端与低电压端。

4. 根据权利要求1所述的自我平衡式二极管装置,其特征在于,该第一方向垂直于该第二方向。

5. 根据权利要求1所述的自我平衡式二极管装置,其特征在于,还包含一绝缘层,其设于该基板的该表面上并介于该第一导电型重掺杂鳍与每一该第二导电型重掺杂鳍之间。

6. 根据权利要求5所述的自我平衡式二极管装置,其特征在于,该第二导电型重掺杂鳍的数量大于两个,且该绝缘层介于相邻的该多个第二导电型重掺杂鳍之间,该二极管与该静电放电电流的路数的数量皆大于2。

7. 根据权利要求6所述的自我平衡式二极管装置,其特征在于,还包含:

多个第一接触电极,设于该第一导电型重掺杂鳍的顶部与侧壁及该绝缘层上,并沿该第二方向设置,且电性连接该第一电压端;以及

两个第二接触电极,分别设于位于该相异两侧的该多个第二导电型重掺杂鳍的顶部与侧壁上,并设于该绝缘层上,且该多个第二接触电极沿该第一方向设置并电性连接该第二电压端。

8. 根据权利要求7所述的自我平衡式二极管装置,其特征在于,该多个第一接触电极的数量等于位于该第一导电型重掺杂鳍的每一该侧的该第二导电型重掺杂鳍的数量。

9. 根据权利要求7所述的自我平衡式二极管装置,其特征在于,还包含一第一重掺杂箝位鳍,其与该第二导电型重掺杂鳍属于相同导电型,该第一重掺杂箝位鳍位于该掺杂井区中并沿该第二方向设置,且与该第一导电型重掺杂鳍相离,又从该基板的该表面凸起,该第一导电型重掺杂鳍具有第一端与第二端,该第一重掺杂箝位鳍相邻该第一端及其最接近的两个该第二导电型重掺杂鳍,该绝缘层介于该第一重掺杂箝位鳍与其相邻的该第二导电型

重掺杂鳍之间且介于该第一重掺杂箔位鳍与该第一导电型重掺杂鳍之间,该多个第二接触电极设于该第一重掺杂箔位鳍的顶部与侧壁上。

10. 根据权利要求9所述的自我平衡式二极管装置,其特征在于,还包含一第二重掺杂箔位鳍,其与该第二导电型重掺杂鳍属于相同导电型,该第二重掺杂箔位鳍位于该掺杂井区中并沿该第二方向设置,且与该第一导电型重掺杂鳍相离,又从该基板的该表面凸起,该第二重掺杂箔位鳍相邻该第二端及其最接近的两个该第二导电型重掺杂鳍,该绝缘层介于该第二重掺杂箔位鳍与其相邻的该第二导电型重掺杂鳍之间且介于该第二重掺杂箔位鳍与该第一导电型重掺杂鳍之间,该多个第二接触电极设于该第二重掺杂箔位鳍的顶部与侧壁上。

11. 根据权利要求5所述的自我平衡式二极管装置,其特征在于,该第一导电型重掺杂鳍的数量为多个,该绝缘层介于相邻的该第一导电型重掺杂鳍之间,又该二极管与该静电放电电流的路数的数量皆大于2。

12. 根据权利要求11所述的自我平衡式二极管装置,其特征在于,还包含:

一第一接触电极,设于该多个第一导电型重掺杂鳍的顶部与侧壁及该绝缘层上并沿该第二方向设置,且电性连接该第一电压端;

多个第二接触电极,均匀设置于位于该相异两侧的该第二导电型重掺杂鳍的顶部与侧壁上并设于该绝缘层上,且沿该第一方向设置,且电性连接该第二电压端。

13. 根据权利要求12所述的自我平衡式二极管装置,其特征在于,该多个第一导电型重掺杂鳍的数量等于位于该多个第一导电型重掺杂鳍的每一该侧的该多个第二接触电极的数量。

14. 根据权利要求1所述的自我平衡式二极管装置,其特征在于,该基板为半导体基板。

自我平衡式二极管装置

技术领域

[0001] 本发明涉及一种二极管装置,且特别涉及一种自我平衡式二极管装置。

背景技术

[0002] 随着各种电子元件(例如晶体管、二极管、电阻、电容等)的集成度(integration density)逐渐提高,半导体工业已经历了快速成长。而集成度提高最主要的原因因为最小特征尺寸(minimum feature size)的持续减小,如此便可于一特定区域内整合更多的元件。然而,越小的特征尺寸就越可能导致出现更多的漏电流。随着更小的电子元件需求的逐渐增加,便需要降低半导体元件发生漏电流的几率。

[0003] 随着半导体技术的进步,鳍型场效晶体管(FinFET)已成为降低半导体元件内漏电流的一种有效方案。于鳍型场效晶体管中,其主动区包括了突出于此鳍型场效晶体管所在处的半导体基板表面的一汲极、一通道区与一源极。鳍型场效晶体管的主动区为一鳍形形态(fin),其剖面可能为一长方形。此外,鳍型场效晶体管的闸结构如同一倒U状(upside-down U),因而环绕了主动区的三个侧面。如此,便可增强对于闸结构的信道控制。因此便可降低传统平面型晶体管的短信道效应。因此,当鳍型场效晶体管于关闭时,其闸结构可较佳地控制通道,以降低漏电流。包括鳍型场效晶体管的半导体装置对于如静电放电瞬时(ESD transient)的极高压脉冲(high voltage spikes)极为敏感。静电放电为由于静电电荷的累积而产生的沿着两个物体之间的快速放电现象。由于快速放电将造成一相对大的电流,故静电放电可能会摧毁此半导体装置。例如,美国专利公开号US20070045736公开了一半导体装置,其包含一闸极电极、一第一晶体管与一第二晶体管,其中第一晶体管与第二晶体管分别具有一第一主动区与一第二主动区。第一主动区垂直于闸极电极,第二主动区的方向倾斜于闸极电极。第一主动区与第二主动区能增加电子与电洞的迁移率(mobility)。然而,在此半导体装置中,并没有安装任何静电放电(ESD)保护装置,此美国专利亦并未提及ESD保护技术。

[0004] 因此,本发明针对上述困扰,提出一种自我平衡式二极管装置,以解决上述问题。

发明内容

[0005] 本发明的主要目的,在于提供一种自我平衡式二极管装置,其利用至少一第一导电型重掺杂鳍与至少两个第二导电型重掺杂鳍建立至少两个二极管,其中第一导电型重掺杂鳍沿第一方向设置,第二导电型重掺杂鳍沿相交第一方向的第二方向设置,使这些二极管释放均匀的静电放电(ESD)电流,以减少由于静电放电而导致的半导体装置毁损。

[0006] 为达上述目的,本发明提供一种自我平衡式二极管装置,其包含一基板、一掺杂井区、至少一第一导电型重掺杂鳍、至少两个第二导电型重掺杂鳍与一绝缘层,此基板为半导体基板,掺杂井区为P型掺杂井区或N型掺杂井区。掺杂井区设于基板中,第一导电型重掺杂鳍设于掺杂井区中并沿第一方向设置,且从基板的表面上凸出。第二导电型重掺杂鳍设于掺杂井区中并沿第二方向设置,第二方向与第一方向相交。第二导电型重掺杂鳍分别位于

第一导电型重掺杂鳍的相异两侧,且从基板的表面上凸出。举例来说,第二方向垂直于第一方向。每一第二导电型重掺杂鳍与第一导电型重掺杂鳍相隔一固定距离,掺杂井区、第一导电型重掺杂鳍与第二导电型重掺杂鳍形成至少两个二极管。绝缘层设于基板的表面上,并介于第一导电型重掺杂鳍与每一第二导电型重掺杂鳍之间。第一导电型重掺杂鳍电性连接第一电压端,第二导电型重掺杂鳍电性连接第二电压端,第一电压端与第二电压端的电压顺向偏压二极管,以产生至少两路均匀静电放电 (ESD) 电流并通过二极管。当第一导电型重掺杂鳍为N型重掺杂鳍时,第二导电型重掺杂鳍为P型重掺杂鳍,且第一电压端与第二电压端分别为低电压端与高电压端。或者,当第一导电型重掺杂鳍为P型重掺杂鳍时,第二导电型重掺杂鳍为N型重掺杂鳍,且第一电压端与第二电压端分别为高电压端与低电压端。

[0007] 在第一实施例中,第二导电型重掺杂鳍的数量大于2,且绝缘层介于相邻的第二导电型重掺杂鳍之间,又二极管与静电放电电流的路数的数量皆大于2。多个第一接触电极设于第一导电型重掺杂鳍的顶部与侧壁及绝缘层上并沿第二方向设置,且电性连接第一电压端。两个第二接触电极分别设于位于第一导电型重掺杂鳍的相异两侧的第二导电型重掺杂鳍的顶部与侧壁上并设于绝缘层上,且第二接触电极沿第一方向设置,又电性连接第二电压端。第一接触电极的数量等于位于第一导电型重掺杂鳍的每一侧的第二导电型重掺杂鳍的数量。

[0008] 与第一实施例相比,第二实施例进一步包含一第一重掺杂箝位鳍,其与第二导电型重掺杂鳍属于相同导电型。第一重掺杂箝位鳍位于掺杂井区中并沿第二方向设置,且与第一导电型重掺杂鳍相离,又从基板的表面凸起。第一导电型重掺杂鳍具有第一端与第二端,第一重掺杂箝位鳍相邻第一端及其最接近的两个第二导电型重掺杂鳍。绝缘层介于第一重掺杂箝位鳍与其相邻的第二导电型重掺杂鳍之间,且介于第一重掺杂箝位鳍与第一导电型重掺杂鳍之间,第二接触电极设于第一重掺杂箝位鳍的顶部与侧壁上。

[0009] 与第二实施例相比,第三实施例进一步包含一第二重掺杂箝位鳍,其与第二导电型重掺杂鳍属于相同导电型。第二重掺杂箝位鳍位于掺杂井区中并沿第二方向设置,且与第一导电型重掺杂鳍相离,又从基板的表面凸起。第二重掺杂箝位鳍相邻第二端及其最接近的两个第二导电型重掺杂鳍。绝缘层介于第二重掺杂箝位鳍与其相邻的第二导电型重掺杂鳍之间,且介于第二重掺杂箝位鳍与第一导电型重掺杂鳍之间,第二接触电极设于第二重掺杂箝位鳍的顶部与侧壁上。

[0010] 在第四实施例中,第一导电型重掺杂鳍的数量为多个,绝缘层介于相邻的第一导电型重掺杂鳍之间,又二极管与静电放电电流的数量皆大于2。一第一接触电极设于第一导电型重掺杂鳍的顶部与侧壁及绝缘层上并沿第二方向设置,且电性连接第一电压端。多个第二接触电极均匀设置于位于第一导电型重掺杂鳍的相异两侧的第二导电型重掺杂鳍的顶部与侧壁上并设于绝缘层上,且沿第一方向设置,且电性连接第二电压端。第一导电型重掺杂鳍的数量等于位于第一导电型重掺杂鳍的每一侧的第二接触电极的数量。

[0011] 为使审查员对本发明的结构特征及所达成的功效更有进一步的了解与认识,谨佐以较佳的实施例图及配合详细的说明,说明如后:

附图说明

[0012] 图1为本发明提供的自我平衡式二极管装置的第一实施例的电路布局示意图;

- [0013] 图2为本发明提供的自我平衡式二极管装置的沿图1的A-A'线的结构剖视图；
- [0014] 图3为本发明提供的自我平衡式二极管装置的第二实施例的电路布局示意图；
- [0015] 图4为本发明提供的自我平衡式二极管装置的沿图3的B-B'线的结构剖视图；
- [0016] 图5为本发明提供的自我平衡式二极管装置的第三实施例的电路布局示意图；
- [0017] 图6为本发明提供的自我平衡式二极管装置的沿图5的C-C'线的结构剖视图；
- [0018] 图7为本发明提供的自我平衡式二极管装置的第四实施例的电路布局示意图；
- [0019] 图8为本发明提供的自我平衡式二极管装置的沿图7的D-D'线的结构剖视图。
- [0020] 附图标记说明：10-基板；12-掺杂井区；14-第一导电型重掺杂鳍；16-第二导电型重掺杂鳍；18-绝缘层；20-第一接触电极；22-第二接触电极；24-第一重掺杂箝位鳍；26-第二重掺杂箝位鳍。

具体实施方式

[0021] 本发明提供的自我平衡式二极管装置作为集成电路中需要的静电放电保护结构。于静电放电保护过程中，于接近集成电路端点处，例如为输出端与输入端点处，及电源供应端处形成一静电放电保护电路。此静电放电保护电路提供了一电流放电通道，以减少由于静电放电而导致的半导体装置毁损。

[0022] 如图1与图2所示。本发明提供的自我平衡式二极管装置的第一实施例介绍如下。第一实施例包含一基板10、一掺杂井区12、至少一第一导电型重掺杂鳍14、至少两个第二导电型重掺杂鳍16、一绝缘层18、多个第一接触电极20与两个第二接触电极22。掺杂井区12、第一导电型重掺杂鳍14与第二导电型重掺杂鳍16形成至少两个二极管，以释放至少两路均匀静电放电电流。在第一实施例中，第一导电型重掺杂鳍14的数量为1，第二导电型重掺杂鳍16、二极管与静电放电电流的数量皆大于2。

[0023] 基板10为半导体基板，掺杂井区12为P型掺杂井区或N型掺杂井区。掺杂井区12设于基板10中，第一导电型重掺杂鳍14设于掺杂井区12中并沿第一方向设置，且从基板10的表面上凸出。第二导电型重掺杂鳍16设于掺杂井区12中，并沿第二方向设置，第二方向与第一方向相交。第二导电型重掺杂鳍16分别位于第一导电型重掺杂鳍14的相异两侧，且从基板10的表面上凸出。举例来说，第二方向垂直于第一方向。每一第二导电型重掺杂鳍16与第一导电型重掺杂鳍14相隔一固定距离。绝缘层18设于基板10的表面上，并介于第一导电型重掺杂鳍14与每一第二导电型重掺杂鳍16之间，且介于相邻的第二导电型重掺杂鳍16之间。第一接触电极20设于第一导电型重掺杂鳍14的顶部与侧壁及绝缘层18上，并沿第二方向设置，且电性连接第一电压端V1。第一导电型重掺杂鳍14通过第一接触电极20电性连接第一电压端V1。第二接触电极22分别设于位于第一导电型重掺杂鳍14的相异两侧的第二导电型重掺杂鳍16的顶部与侧壁上，并设于绝缘层18上，且第二接触电极22沿第一方向设置，又电性连接第二电压端V2。第二导电型重掺杂鳍16通过第二接触电极22电性连接第二电压端V2。又第一接触电极20的数量等于位于第一导电型重掺杂鳍14的每一侧的第二导电型重掺杂鳍16的数量。

[0024] 第一电压端V1与第二电压端V2的电压顺向偏压二极管，以产生均匀静电放电(ESD)电流通过二极管，进而减少由于静电放电而导致的半导体装置毁损。因此，第一导电型重掺杂鳍14为N型重掺杂鳍时，第二导电型重掺杂鳍16为P型重掺杂鳍，且第一电压端V1

与第二电压端V2分别为低电压端与高电压端。或者,第一导电型重掺杂鳍14为P型重掺杂鳍时,第二导电型重掺杂鳍16为N型重掺杂鳍,且第一电压端V1与第二电压端V2分别为高电压端与低电压端。

[0025] 如图3与图4所示。本发明提供的自我平衡式二极管装置的第二实施例介绍如下。与第一实施例相比,第二实施例进一步包含一第一重掺杂箝位鳍24,其与第二导电型重掺杂鳍16属于相同导电型。第一重掺杂箝位鳍24位于掺杂井区12中,并沿第二方向设置,且与第一导电型重掺杂鳍14相离,又从基板10的表面凸起。第一导电型重掺杂鳍14具有第一端与第二端,第一重掺杂箝位鳍24相邻第一端及其最接近的两个第二导电型重掺杂鳍16。绝缘层18介于第一重掺杂箝位鳍24与其相邻的第二导电型重掺杂鳍16之间,且介于第一重掺杂箝位鳍24与第一导电型重掺杂鳍14之间,第二接触电极22设于第一重掺杂箝位鳍24的顶部与侧壁上。第一重掺杂箝位鳍24通过第二接触电极22电性连接第二电压端V2。在第二实施例中,掺杂井区12、第一导电型重掺杂鳍14、第二导电型重掺杂鳍16与第一重掺杂箝位鳍24形成多个二极管,以释放多路均匀静电放电电流,以减少由于静电放电而导致的半导体装置毁损。

[0026] 如图5与图6所示。本发明提供的自我平衡式二极管装置的第三实施例介绍如下。与第二实施例相比,第三实施例进一步包含一第二重掺杂箝位鳍26,其与第二导电型重掺杂鳍16属于相同导电型。第二重掺杂箝位鳍26位于掺杂井区12中,并沿第二方向设置,且与第一导电型重掺杂鳍14相离,又从基板10的表面凸起。第二重掺杂箝位鳍26相邻第二端及其最接近的两个第二导电型重掺杂鳍16。绝缘层18介于第二重掺杂箝位鳍26与其相邻的第二导电型重掺杂鳍16之间,且介于第二重掺杂箝位鳍26与第一导电型重掺杂鳍14之间,第二接触电极22设于第二重掺杂箝位鳍26的顶部与侧壁上。第二重掺杂箝位鳍26通过第二接触电极22电性连接第二电压端V2。在第三实施例中,掺杂井区12、第一导电型重掺杂鳍14、第二导电型重掺杂鳍16、第一重掺杂箝位鳍24与第二重掺杂箝位鳍26形成多个二极管,以释放多路均匀静电放电电流,以减少由于静电放电而导致的半导体装置毁损。

[0027] 如图7与图8所示。本发明提供的自我平衡式二极管装置的第四实施例介绍如下。第四实施例包含一基板10、一掺杂井区12、多个第一导电型重掺杂鳍14、两个第二导电型重掺杂鳍16、一绝缘层18、一第一接触电极20与多个第二接触电极22。掺杂井区12、第一导电型重掺杂鳍14与第二导电型重掺杂鳍16形成多个二极管,以释放多路均匀静电放电电流。

[0028] 基板10为半导体基板,掺杂井区12为P型掺杂井区或N型掺杂井区。掺杂井区12设于基板10中,第一导电型重掺杂鳍14设于掺杂井区12中,并沿第一方向设置,且从基板10的表面上凸出。第二导电型重掺杂鳍16设于掺杂井区12中,并沿第二方向设置,第二方向与第一方向相交。第二导电型重掺杂鳍16分别位于第一导电型重掺杂鳍14的相异两侧,且从基板10的表面上凸出。举例来说,第二方向垂直于第一方向。每一第二导电型重掺杂鳍16与第一导电型重掺杂鳍14相隔一固定距离。绝缘层18设于基板10的表面上,并介于每一第一导电型重掺杂鳍14与每一第二导电型重掺杂鳍16之间,且介于相邻的第一导电型重掺杂鳍14之间。第一接触电极20设于第一导电型重掺杂鳍14的顶部与侧壁及绝缘层18上,并沿第二方向设置,且电性连接第一电压端V1。第一导电型重掺杂鳍14透过第一接触电极20电性连接第一电压端V1。第二接触电极22均匀设于位于第一导电型重掺杂鳍14的相异两侧的第二导电型重掺杂鳍16的顶部与侧壁上,并设于绝缘层18上,且第二接触电极22沿第一方向设

置,又电性连接第二电压端V2。第二导电型重掺杂鳍16透过第二接触电极22电性连接第二电压端V2。又第一导电型重掺杂鳍14的数量等于位于第一导电型重掺杂鳍14的每一侧的第二接触电极22的数量。

[0029] 第一电压端V1与第二电压端V2的电压顺向偏压二极管,以产生均匀静电放电电流通过二极管,进而减少由于静电放电而导致的半导体装置毁损。因此,第一导电型重掺杂鳍14为N型重掺杂鳍时,第二导电型重掺杂鳍16为P型重掺杂鳍,且第一电压端V1与第二电压端V2分别为低电压端与高电压端。或者,第一导电型重掺杂鳍14为P型重掺杂鳍时,第二导电型重掺杂鳍16为N型重掺杂鳍,且第一电压端V1与第二电压端V2分别为高电压端与低电压端。

[0030] 综上所述,本发明利用第一导电型重掺杂鳍与第二导电型重掺杂鳍建立均匀的静电放电电流,其中第一导电型重掺杂鳍沿第一方向设置,第二导电型重掺杂鳍沿相交第一方向的第二方向设置,以减少由于静电放电而导致的半导体装置毁损。

[0031] 以上所述仅为本发明一较佳实施例而已,并非用来限定本发明实施的范围,故举凡依本发明权利要求范围所述的形状、构造、特征及精神所为的均等变化与修饰,均应包括于本发明的保护范围内。

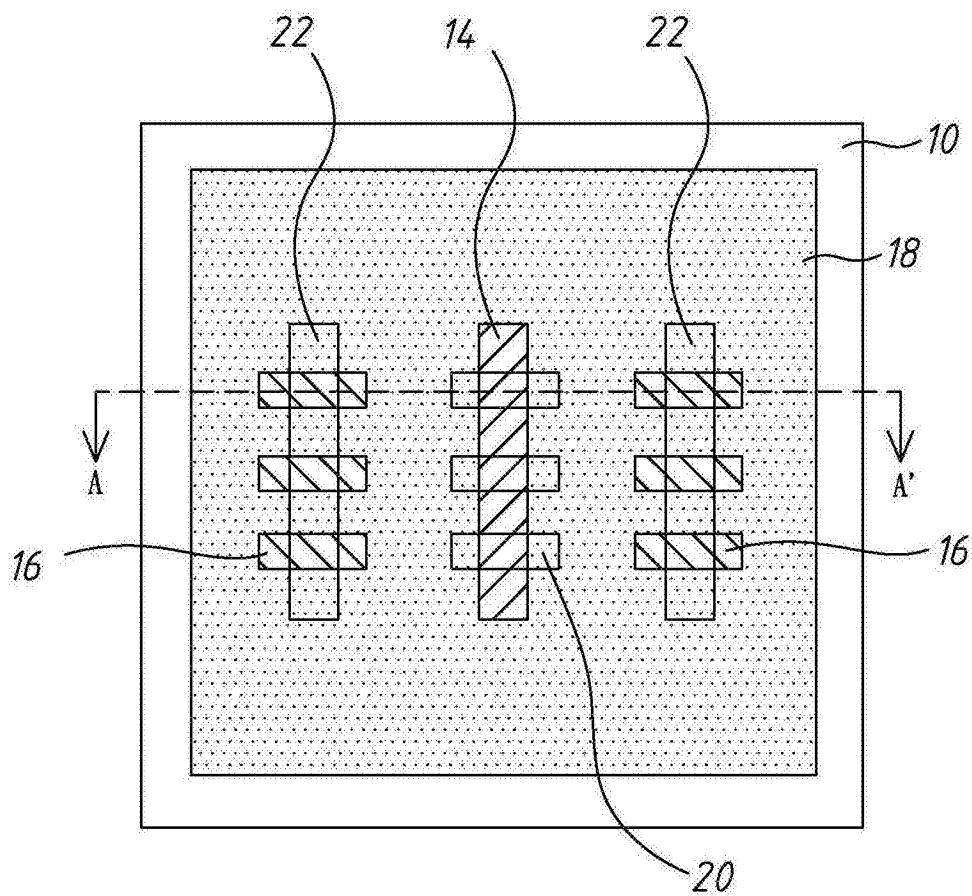


图1

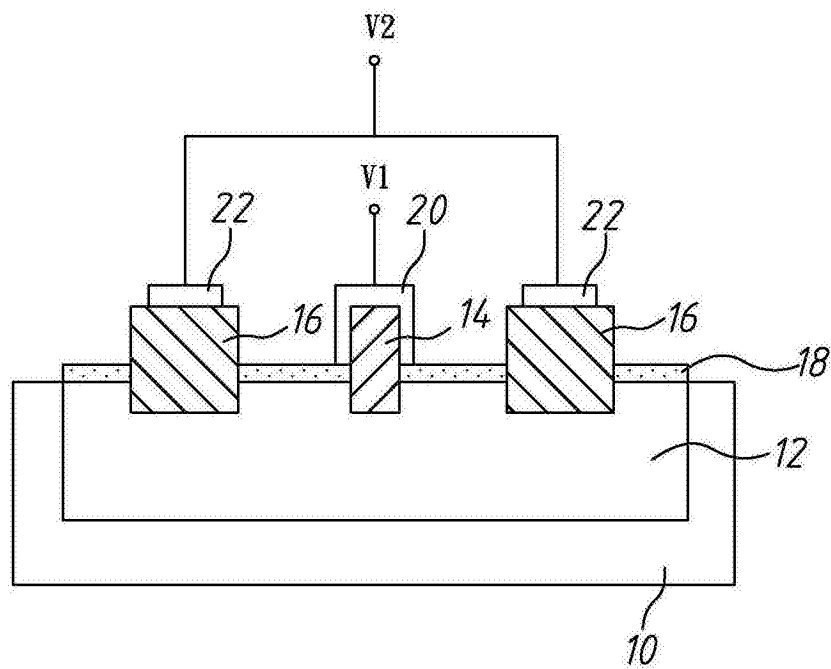


图2

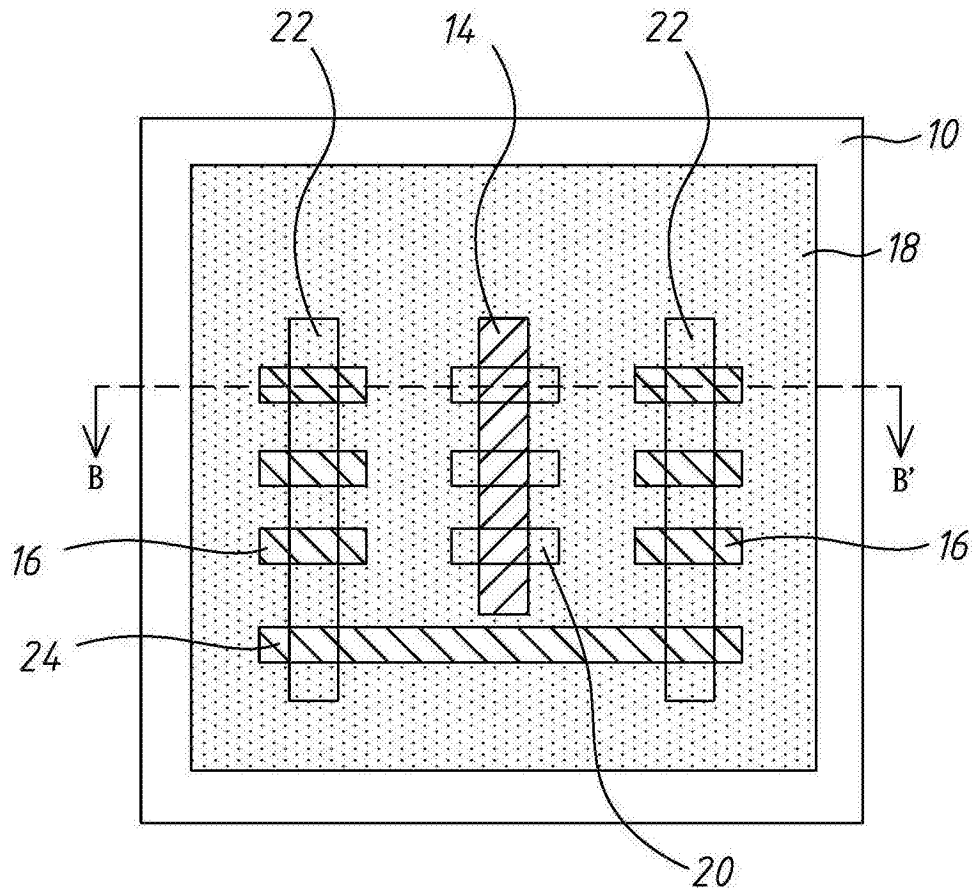


图3

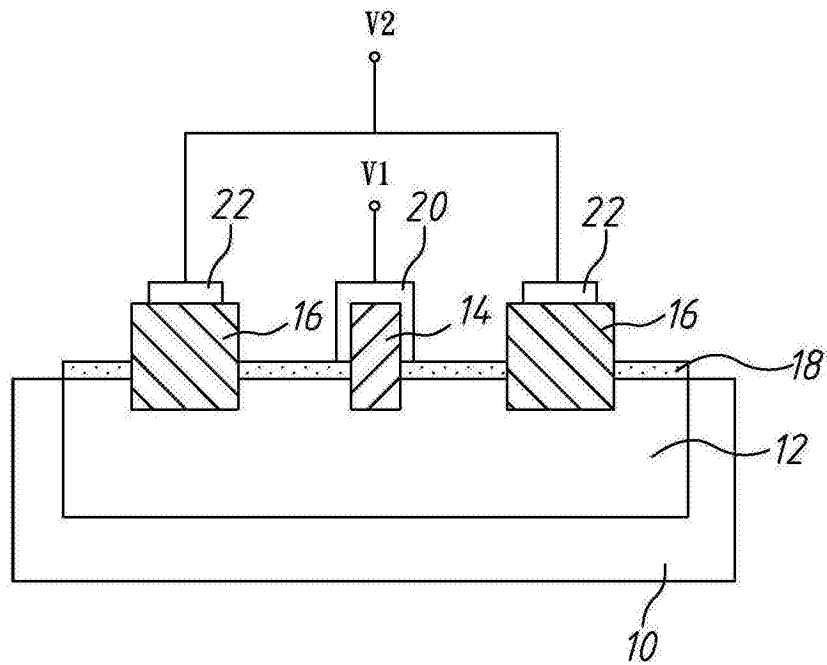


图4

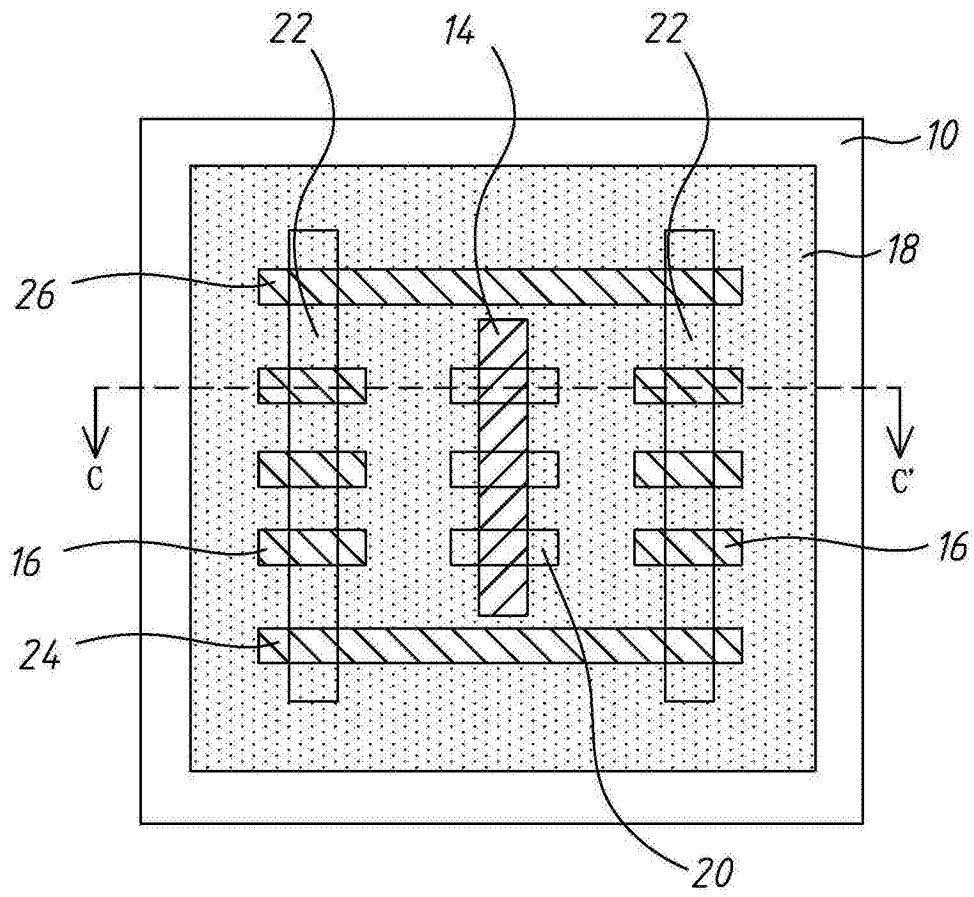


图5

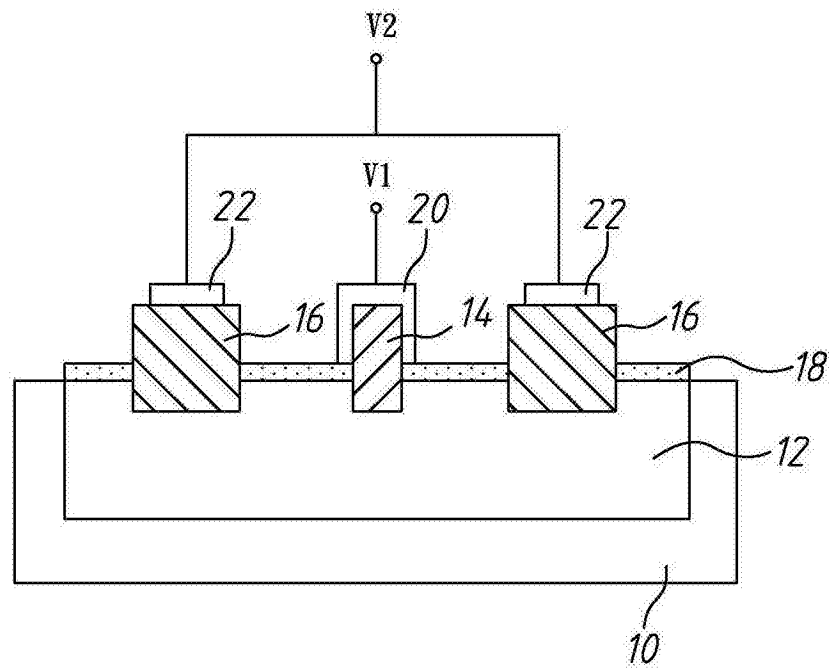


图6

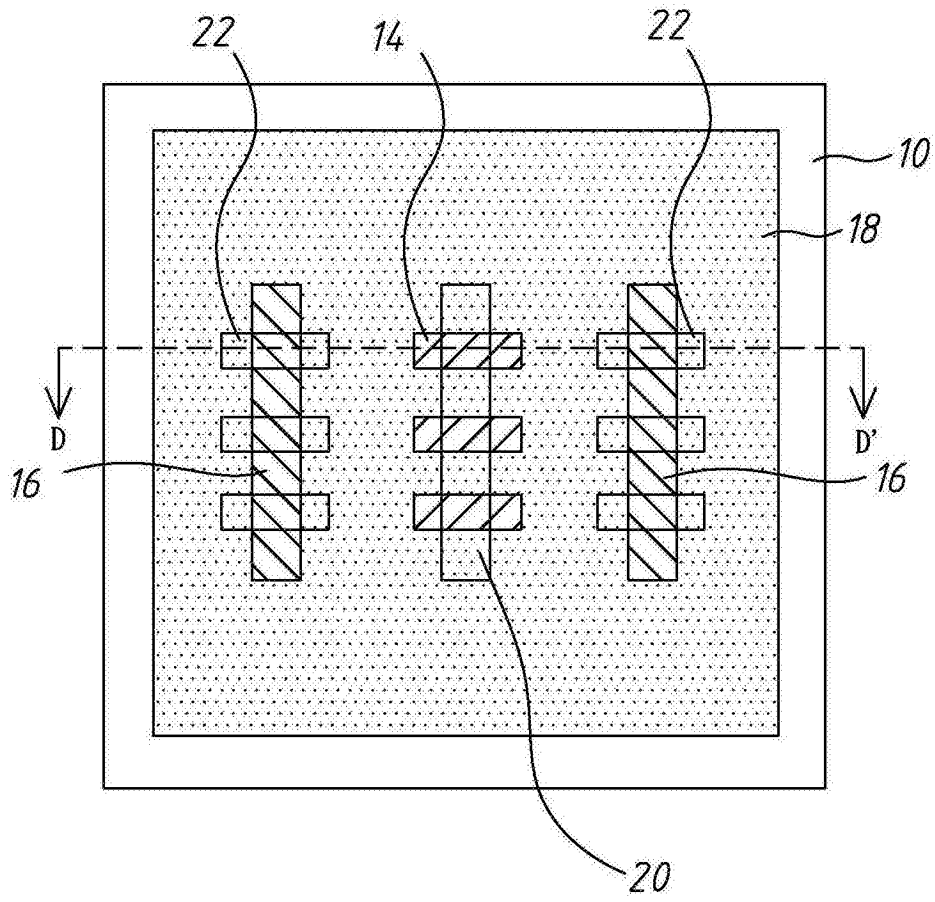


图7

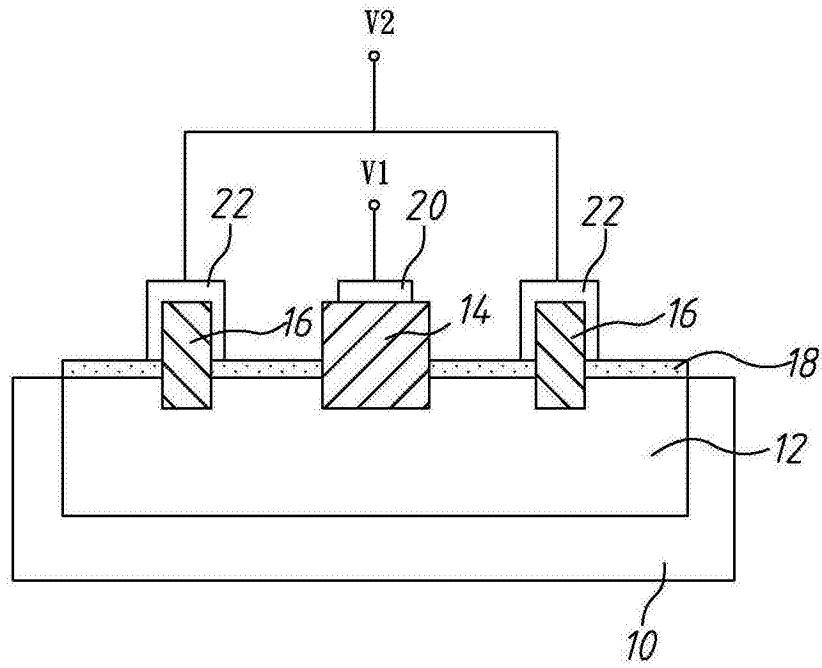


图8