



(12)发明专利申请

(10)申请公布号 CN 107104100 A

(43)申请公布日 2017. 08. 29

(21)申请号 201710131856.6

(22)申请日 2017.03.07

(30)优先权数据

15/384,736 2016.12.20 US

(71)申请人 晶焱科技股份有限公司

地址 中国台湾新北市

(72)发明人 柯明道 吴伟琳 彭政杰 姜信钦

(74)专利代理机构 北京科龙寰宇知识产权代理
有限责任公司 11139

代理人 孙皓晨

(51)Int.Cl.

H01L 27/02(2006.01)

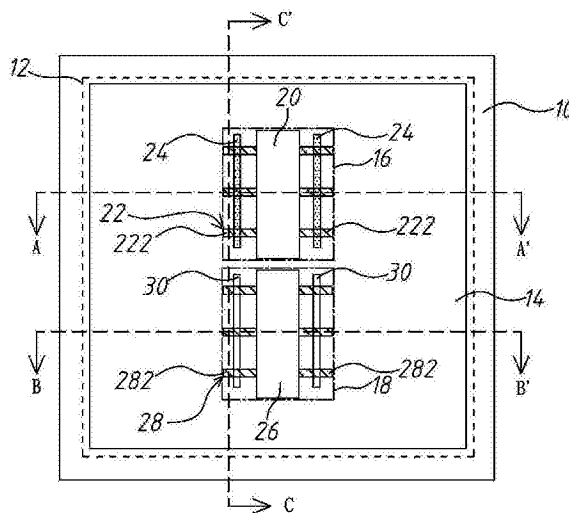
权利要求书3页 说明书6页 附图8页

(54)发明名称

双极性晶体管装置

(57)摘要

本发明公开了一种双极性晶体管装置,包含一基板与至少一第一晶体管单元。第一晶体管单元包含一第一掺杂井区、至少一第一鳍式结构与至少一第二鳍式结构,且第一掺杂井区为第一导电型。第一鳍式结构包含一第一闸极带与设于第一掺杂井区中的第一掺杂鳍,且第一闸极带为浮接。第二鳍式结构包含一第二闸极带与设于第一掺杂井区中的第二掺杂鳍,且第二闸极带为浮接。第一掺杂鳍、第二掺杂鳍与第一掺杂井区形成第一双载子接面晶体管,且第一掺杂鳍与第二掺杂鳍分别连接高电压端与低电压端。



1. 一种双极性晶体管装置,其特征在于,包含:

一基板;

至少一第一晶体管单元,包含:

一第一掺杂井区,其为第一导电型,该第一掺杂井区设于该基板中;

至少一第一鳍式结构,包含:

多个第一掺杂鳍,其均匀设于该第一掺杂井区中并沿第一方向设置,每一该第一掺杂鳍具有一第一掺杂区与两个第一重掺杂区,该第一掺杂区为该第一导电型,该多个第一重掺杂区为第二导电型,每一该第一掺杂区设于其对应的该两个第一重掺杂区之间,该多个第一掺杂区与该多个第一重掺杂区设于该第一掺杂井区中并从该基板的表面上凸出;以及

一第一闸极带,设于该多个第一掺杂区的顶部与侧壁及该基板的该表面上并沿与该第一方向相交的第二方向设置,且该第一闸极带为浮接;以及

至少一第二鳍式结构,包含:

多个第二掺杂鳍,其均匀设于该第一掺杂井区中并沿该第一方向设置,每一该第二掺杂鳍具有一第二掺杂区与二第二重掺杂区,该第二掺杂区为该第一导电型,该多个第二重掺杂区为该第二导电型,每一该第二掺杂区设于其对应的该两个第二重掺杂区之间,该多个第二掺杂区与该多个第二重掺杂区设于该第一掺杂井区中并从该基板的该表面上凸出;以及

一第二闸极带,设于该多个第二掺杂区的顶部与侧壁及该基板的该表面上并沿该第二方向设置,且该第二闸极带为浮接,该多个第一重掺杂区、该多个第二重掺杂区与该第一掺杂井区形成多个第一双载子接面晶体管,该多个第一重掺杂区连接一高电压端,该多个第二重掺杂区连接一低电压端,该高电压端与该低电压端的电压对该多个第一双载子接面晶体管进行偏压,以产生多个通过该多个第一双载子接面晶体管的第一静电放电电流。

2. 根据权利要求1所述的双极性晶体管装置,其特征在于,当该第一导电型为P型时,该第二导电型为N型,当该第一导电型为N型时,该第二导电型为P型。

3. 根据权利要求1所述的双极性晶体管装置,其特征在于,该第二方向与该第一方向相互垂直。

4. 根据权利要求1所述的双极性晶体管装置,其特征在于,该第一鳍式结构还包含两个第一接触电极,两个第一接触电极分别设于位于该多个第一掺杂区的相异两侧的该多个第一重掺杂区的顶部与侧壁及该基板的该表面上,并沿该第二方向设置,该多个第一重掺杂区通过该多个第一接触电极连接该高电压端;以及该第二鳍式结构还包含两个第二接触电极,两个第二接触电极分别设于位于该多个第二掺杂区的相异两侧的该多个第二重掺杂区的顶部与侧壁及该基板的该表面上,并沿该第二方向设置,该多个第二重掺杂区通过该多个第二接触电极连接该低电压端。

5. 根据权利要求1所述的双极性晶体管装置,其特征在于,该第一闸极带与该第二闸极带的材质为多晶硅。

6. 根据权利要求1所述的双极性晶体管装置,其特征在于,该第一鳍式结构的数量为多个,该第二鳍式结构的数量为多个,该多个第一鳍式结构与该多个第二鳍式结构为交替式设置。

7. 根据权利要求1所述的双极性晶体管装置,其特征在于,该第一鳍式结构的数量为两

个,该第一晶体管单元还包含一第一掺杂区域,该第一掺杂区域为第二导电型,该第一掺杂区域设于该第一掺杂井区中,该第二鳍式结构设于该多个第一鳍式结构之间,该多个第二重掺杂区与该多个第二掺杂区设于该第一掺杂区域中,该第二闸极带设于该多个第一闸极带之间,且该第二闸极带连接该多个第一闸极带。

8. 根据权利要求7所述的双极性晶体管装置,其特征在于,该第一掺杂区域为掺杂井区。

9. 根据权利要求7所述的双极性晶体管装置,其特征在于,还包含至少一第二晶体管单元,该第一晶体管单元的数量为两个,该第二晶体管单元还包含:

一第二掺杂井区,其为该第二导电型,该第二掺杂井区设于该基板中;

一第二掺杂区域,其为该第一导电型,该第二掺杂区域设于该第二掺杂井区中;

两个第三鳍式结构,每一该第三鳍式结构还包含:

多个第三掺杂鳍,其均匀设于该第二掺杂井区中并沿该第一方向设置,每一该第三掺杂鳍具有一第三掺杂区与二第三重掺杂区,该第三掺杂区为该第二导电型,该多个第三重掺杂区为该第一导电型,每一该第三掺杂区设于其对应的该两个第三重掺杂区之间,该多个第三掺杂区与该多个第三重掺杂区设于该第二掺杂井区中并从该基板的该表面上凸出,该多个第三重掺杂区连接该低电压端;以及

一第三闸极带,设于该多个第三掺杂区的顶部与侧壁及该基板的该表面上并沿该第二方向设置,且该第三闸极带为浮接;以及

一第四鳍式结构,包含:

多个第四掺杂鳍,其均匀设于该第二掺杂区域中并沿该第一方向设置,每一该第四掺杂鳍具有一第四掺杂区与两个第四重掺杂区,该第四掺杂区为该第一导电型,该多个第四重掺杂区为该第二导电型,每一该第四掺杂区设于其对应的该两个第四重掺杂区之间,该多个第四掺杂区与该多个第四重掺杂区设于该第二掺杂区域中并从该基板的该表面上凸出,该多个第四重掺杂区连接该高电压端;以及

一第四闸极带,设于该多个第四掺杂区的顶部与侧壁及该基板的该表面上并沿该第二方向设置,且该第四闸极带为浮接,该第四闸极带设于该多个第三闸极带之间,该第四闸极带连接该多个第三闸极带,该多个第三重掺杂区、该多个第四重掺杂区、该第二掺杂区域与该第二掺杂井区形成多个第二双载子界面晶体管,该高电压端与该低电压端的该电压对该多个第二双载子界面晶体管进行偏压,以产生多个通过该多个第二双载子界面晶体管的第二静电放电电流,又该多个第一掺杂井区与该第二掺杂井区呈交替式邻接,该多个第一掺杂区域与该第二掺杂区域呈交替式邻接。

10. 根据权利要求9所述的双极性晶体管装置,其特征在于,该第三鳍式结构还包含两个第三接触电极,两个第三接触电极分别设于位于该多个第三掺杂区的相异两侧的该多个第三重掺杂区的顶部与侧壁及该基板的该表面上并沿该第二方向设置,该多个第三重掺杂区通过该多个第三接触电极连接该低电压端;以及该第四鳍式结构还包含两个第四接触电极,两个第四接触电极分别设于位于该多个第四掺杂区的相异两侧的该多个第四重掺杂区的顶部与侧壁及该基板的该表面上并沿该第二方向设置,该多个第四重掺杂区通过该多个第四接触电极连接该高电压端。

11. 根据权利要求9所述的双极性晶体管装置,其特征在于,该第三闸极带与该第四闸

极带的材质为多晶硅。

12. 根据权利要求9所述的双极性晶体管装置,其特征在于,该第二掺杂区域为掺杂井区。

13. 根据权利要求9所述的双极性晶体管装置,其特征在于,该第一晶体管单元的数量为多个,该第二晶体管单元的数量为多个,且每一该第二晶体管单元对应两个该第一晶体管单元。

14. 根据权利要求1所述的双极性晶体管装置,其特征在于,该基板为半导体基板。

双极性晶体管装置

技术领域

[0001] 本发明涉及一种晶体管装置,且特别关于一种双极性晶体管装置。

背景技术

[0002] 随着各种电子元件(例如晶体管、二极管、电阻、电容等)集成度(integration density)持续提高,半导体工业已经历了快速成长。集成度提高中的最大部分来自于最小特征尺寸(minimum feature size)的持续降低,如此便可于一特定区域内整合更多的元件。然而,越小的特征尺寸可能导致更多的漏电流情形。随着更小的电子元件需求的逐渐增加,便需要降低半导体元件发生漏电流的几率。

[0003] 随着半导体技术的发展,鳍型场效晶体管(FinFETs)已应用于降低半导体元件内漏电流的技术方案中。于鳍型场效晶体管中,其主动区包括了突出于此鳍型场效晶体管所在处的半导体基板表面的一汲极、一通道区与一源极。鳍型场效晶体管的主动区为一鳍形型态(fin),其剖面可能为一长方形。此外,鳍型场效晶体管的闸结构如同一倒U状(upside-down U),因而环绕了主动区的三个侧面。如此,便可增强对于闸结构的通道控制。因此便可降低传统平面型晶体管的短通道效应。因此,当鳍型场效晶体管于关闭时,其闸结构可较佳地控制通道,以降低漏电流。例如,鳍型场效晶体管的半导体装置对于如静电放电瞬时(ESD transient)的极高压脉冲(high voltage spikes)极为敏感。静电放电为在两个物体之间由于静电电荷的累积而发生一快速放电情形。由于快速放电将产生一相对较大的电流,故静电放电可能会摧毁此半导体装置。

[0004] 因此,本发明针对上述问题提出一种双极性晶体管装置。

发明内容

[0005] 本发明的主要目的在于提供一种双极性晶体管装置,其利用设于一掺杂井区中的两个鳍式结构建立双载子接面晶体管,以释放均匀的静电放电(ESD)电流,以降低由于静电放电而导致的半导体装置毁损。

[0006] 为了达到上述目的,本发明提供了一种双极性晶体管装置,其包含一基板与至少一第一晶体管单元。举例来说,基板为半导体基板,第一晶体管单元还包含一第一掺杂井区、至少一第一鳍式结构与至少一第二鳍式结构,其中第一掺杂井区为第一导电型,且设于基板中。

[0007] 第一鳍式结构还包含多个第一掺杂鳍、一第一闸极带与两个第一接触电极。第一闸极带的材质为多晶硅。第一掺杂鳍均匀设于第一掺杂井区中并沿第一方向设置,每一第一掺杂鳍具有一第一掺杂区与两个第一重掺杂区,第一掺杂区为第一导电型,第一重掺杂区为第二导电型。每一第一掺杂区设于其对应的两个第一重掺杂区之间,第一掺杂区与第一重掺杂区设于第一掺杂井区中并从基板的表面上凸出。第一闸极带设于第一掺杂区的顶部与侧壁及基板的表面上并沿与第一方向相交的第二方向设置,且第一闸极带为浮接。举例来说,第一方向与第二方向相互垂直。在第一导电型为P型时,第二导电型为N型,在第一

导电型为N型时,第二导电型为P型。第一接触电极分别设于位于第一掺杂区的相异两侧的第一重掺杂区的顶部与侧壁及基板的表面上并沿第二方向设置,第一重掺杂区通过第一接触电极连接高电压端。

[0008] 第二鳍式结构还包含多个第二掺杂鳍、一第二闸极带与两个第二接触电极。第二闸极带的材质为多晶硅。第二掺杂鳍均匀设于第一掺杂井区中并沿第一方向设置。每一第二掺杂鳍具有一第二掺杂区与两个第二重掺杂区,第二掺杂区为第一导电型,第二重掺杂区为第二导电型,每一第二掺杂区设于其对应的两个第二重掺杂区之间,第二掺杂区与第二重掺杂区设于第一掺杂井区中并从基板的表面上凸出。第二闸极带设于第二掺杂区的顶部与侧壁及基板的表面上并沿第二方向设置,且第二闸极带为浮接。第二接触电极分别设于位于第二掺杂区的相异两侧的第二重掺杂区的顶部与侧壁及基板的表面上并沿第二方向设置,第二重掺杂区通过第二接触电极连接低电压端。

[0009] 第一重掺杂区、第二重掺杂区与第一掺杂井区形成多个第一双载子接面晶体管,第一重掺杂区连接高电压端,第二重掺杂区连接低电压端,高电压端与低电压端的电压对第一双载子接面晶体管进行偏压,以产生多个通过第一双载子接面晶体管第一静电放电(ESD)电流。

[0010] 在第一实施例中,第一晶体管单元、第一鳍式结构与第二鳍式结构的数量皆分别为一个。

[0011] 在第二实施例中,第一鳍式结构的数量为多个,第二鳍式结构的数量为多个,第一鳍式结构与第二鳍式结构为交替式设置。

[0012] 在第三实施例中,第一晶体管单元、第一鳍式结构与第二鳍式结构的数量分别为一个、两个和一个。第一晶体管单元还包含一第一掺杂区域,例如为掺杂井区。第一掺杂区域为第二导电型,第一掺杂区域设于第一掺杂井区中,第二鳍式结构设于第一鳍式结构之间,第二重掺杂区与第二掺杂区设于第一掺杂区域中,第二闸极带设于第一闸极带之间,且第二闸极带连接第一闸极带。

[0013] 在第四实施例中,第一晶体管单元、第一鳍式结构与第二鳍式结构的数量分别为两个、两个和一个。第三实施例的第一晶体管单元的数量与第四实施例的第一晶体管单元的数量相同。与第三实施例相比,第四实施例还包含至少一第二晶体管单元。第二晶体管单元还包含一第二掺杂井区、一第二掺杂区域、两个第三鳍式结构与一第四鳍式结构,其中第二掺杂井区为第二导电型,第二掺杂区域为第一导电型,第二掺杂区域例如为掺杂井区。第二掺杂井区设于基板中,第二掺杂区域设于第二掺杂井区中。

[0014] 每一第三鳍式结构还包含多个第三掺杂鳍、一第三闸极带与两个第三接触电极,其中第三闸极带的材质为多晶硅。第三掺杂鳍均匀设于第二掺杂井区中并沿第一方向设置。每一第三掺杂鳍具有一第三掺杂区与两个第三重掺杂区,第三掺杂区第二导电型,第三重掺杂区为第一导电型。每一第三掺杂区设于其对应的两个第三重掺杂区之间,第三掺杂区与第三重掺杂区设于第二掺杂井区中并从基板的表面上凸出,第三重掺杂区连接低电压端。第三闸极带设于第三掺杂区的顶部与侧壁及基板的表面上并沿第二方向设置,且第三闸极带为浮接。第三接触电极分别设于位于第三掺杂区的相异两侧的第三重掺杂区的顶部与侧壁及基板的表面上并沿第二方向设置,第三重掺杂区通过第三接触电极连接低电压端。

[0015] 第四鳍式结构还包含多个第四掺杂鳍、一第四闸极带与两个第四接触电极,其中第四闸极带的材质为多晶硅。第四掺杂鳍均匀设于第二掺杂区域中并沿第一方向设置,每一第四掺杂鳍具有一第四掺杂区与两个第四重掺杂区,第四掺杂区为第一导电型,第四重掺杂区为第二导电型。每一第四掺杂区设于其对应的两个第四重掺杂区之间,第四掺杂区与第四重掺杂区设于第二掺杂区域中并从基板的表面上凸出,第四重掺杂区连接高电压端。第四闸极带设于第四掺杂区的顶部与侧壁及基板的表面上并沿第二方向设置,且第四闸极带为浮接。第四接触电极分别设于位于第四掺杂区的相异两侧的第四重掺杂区的顶部与侧壁及基板的表面上并沿第二方向设置,第四重掺杂区通过第四接触电极连接高电压端。

[0016] 第四闸极带设于第三闸极带之间,且第四闸极带连接第三闸极带。第三重掺杂区、第四重掺杂区、第二掺杂区域与第二掺杂井区形成多个第二双载子接面晶体管,高电压端与低电压端的电压对第二双载子接面晶体管进行偏压,以产生多个通过第二双载子接面晶体管的第二静电放电(ESD)电流。第一掺杂井区与第二掺杂井区呈交替式邻接,第一掺杂区域与第二掺杂区域呈交替式邻接。

[0017] 此外,在第四实施例中,第一晶体管单元的数量为多个,第二晶体管单元的数量为多个,且每一第二晶体管单元对应两个第一晶体管单元。

[0018] 为使审查员对本发明的结构特征及所达成的功效更有进一步的了解与认识,谨佐以较佳的实施例图及配合详细的说明,说明如后:

附图说明

[0019] 图1为本发明的双极性晶体管装置的第一实施例的电路布局示意图;

[0020] 图2图为本发明的双极性晶体管装置的沿图1中的A-A'线的结构剖视图;

[0021] 图3为本发明的双极性晶体管装置的沿图1中的B-B'线的结构剖视图;

[0022] 图4为本发明的双极性晶体管装置的沿图1中的C-C'线的结构剖视图;

[0023] 图5为本发明的双极性晶体管装置的第一实施例的一等效电路示意图;

[0024] 图6为本发明的双极性晶体管装置的第一实施例的另一等效电路示意图;

[0025] 图7为本发明的双极性晶体管装置的第二实施例的电路布局示意图;

[0026] 图8为本发明的双极性晶体管装置的第三实施例的电路布局示意图;

[0027] 图9为本发明的双极性晶体管装置的沿图8中的D-D'线的结构剖视图;

[0028] 图10为本发明的双极性晶体管装置的沿图8中的E-E'线的结构剖视图;

[0029] 图11为本发明的双极性晶体管装置的沿图8中的F-F'线的结构剖视图;

[0030] 图12为本发明的双极性晶体管装置的第三实施例的一等效电路示意图;

[0031] 图13为本发明的双极性晶体管装置的第三实施例的另一等效电路示意图;

[0032] 图14为本发明的双极性晶体管装置的第四实施例的电路布局示意图;

[0033] 图15为本发明的双极性晶体管装置的沿图14中的G-G'线的结构剖视图;

[0034] 图16为本发明的双极性晶体管装置的沿图14中的H-H'线的结构剖视图。

[0035] 附图标记说明:10-基板;12-第一晶体管单元;14-第一掺杂井区;16-第一鳍式结构;18-第二鳍式结构;20-第一闸极带;22-第一掺杂鳍;221-第一掺杂区;222-第一重掺杂区;24-第一接触电极;26-第二闸极带;28-第二掺杂鳍;281第二掺杂区;282第二重掺杂区;

30-第二接触电极;32-P通道金氧半场效晶体管;34-P通道金氧半场效晶体管;36-N通道金氧半场效晶体管;38-N通道金氧半场效晶体管;40-第一掺杂区域;42-P通道金氧半场效晶体管;44-P型重掺杂区;46-N通道金氧半场效晶体管;48-N型重掺杂区;50-第二晶体管单元;52-第二掺杂井区;54-第二掺杂区域;56-第三鳍式结构;58-第四鳍式结构;60-第三闸极带;62-第三掺杂鳍;621第三掺杂区;622-第三重掺杂区;64-第三接触电极;66-第四闸极带;68-第四掺杂鳍;70-第四接触电极。

具体实施方式

[0036] 本发明的实施例将通过下文配合相关图式进一步加以解说。尽可能的,于图式与说明书中,相同标号代表相同或相似构件。于图式中,基于简化与方便标示,形状与厚度可能经过夸大表示。可以理解的是,未特别显示于图式中或描述于说明书中的元件,为所属技术领域中具有通常技术者所知的形态。本领域的通常技术者可依据本发明的内容而进行多种的改变与修改。

[0037] 本发明提供的双极性晶体管装置作为应用于集成电路中的静电放电保护结构。于静电放电保护过程中,于接近集成电路端点处例如为输出端与输入端点处)及电源供应端处形成一静电放电保护电路。此静电放电保护电路提供了一电流放电通道,以降低由于静电放电而导致的半导体装置毁损。

[0038] 如图1、图2、图3与图4所示。本发明的双极性晶体管装置的第一实施例介绍如下。本发明的第一实施例包含一基板10与至少一第一晶体管单元12。举例来说,基板10为半导体基板,第一晶体管单元12还包含一第一掺杂井区14、至少一第一鳍式结构16与至少一第二鳍式结构18,其中第一掺杂井区14为第一导电型,且设于基板10中。第一鳍式结构16与第二鳍式结构18为独立元件,没有任何电极由第一鳍式结构16与第二鳍式结构18共同使用。

[0039] 第一鳍式结构16还包含一第一闸极带20、多个第一掺杂鳍22与两个第一接触电极24。第一闸极带20的材质为多晶硅。第一掺杂鳍22均匀设于第一掺杂井区14中并沿第一方向设置,每一第一掺杂鳍22具有一第一掺杂区221与两个第一重掺杂区222,第一掺杂区221为第一导电型,第一重掺杂区222为第二导电型。每一第一掺杂区221设于其对应的两个第一重掺杂区222之间,第一掺杂区221与第一重掺杂区222设于第一掺杂井区14中并从基板10的表面上凸出。第一闸极带20设于第一掺杂区221的顶部与侧壁及基板10的表面上并沿与第一方向相交的第二方向设置,且第一闸极带20为浮接。举例来说,第一方向与第二方向相互垂直。第一接触电极24分别作为源极与汲极,并分别设于位于第一掺杂区221的相异两侧的第一重掺杂区222的顶部与侧壁及基板10的表面上,又沿第二方向设置,第一重掺杂区222通过第一接触电极24连接一高电压端VH。

[0040] 第二鳍式结构18还包含一第二闸极带26、多个第二掺杂鳍28与两个第二接触电极30。第二闸极带26的材质为多晶硅。第二掺杂鳍28均匀设于第一掺杂井区14中并沿第一方向设置。每一第二掺杂鳍28具有一第二掺杂区281与两个第二重掺杂区282,第二掺杂区281为第一导电型,第二重掺杂区282为第二导电型,每一第二掺杂区281设于其对应的两个第二重掺杂区282之间,第二掺杂区281与第二重掺杂区282设于第一掺杂井区14中,并从基板10的表面上凸出。第二闸极带26设于第二掺杂区281的顶部与侧壁及基板10的表面上并沿第二方向设置,且第二闸极带26为浮接。第二接触电极30分别作为源极与汲极,并分别设于

位于第二掺杂区281的相异两侧的第二重掺杂区282的顶部与侧壁及基板10的表面上,又沿第二方向设置,第二重掺杂区282通过第二接触电极30连接一低电压端VL。

[0041] 在第一实施例中,第一晶体管单元12、第一鳍式结构16与第二鳍式结构18的数量皆分别为一个。

[0042] 此外,在第一导电型为N型时,第二导电型为P型。在此例下,第一鳍式结构16与第一掺杂井区14形成一P通道金氧半场效晶体管32,且第二鳍式结构18与第一掺杂井区14形成一P通道金氧半场效晶体管34,如图5所示。或者在第一导电型为P型时,第二导电型为N型。在此例下,第一鳍式结构16与第一掺杂井区14形成一N通道金氧半场效晶体管36,且第二鳍式结构18与第一掺杂井区14形成一N通道金氧半场效晶体管38,如图6所示。第一重掺杂区222、第二重掺杂区282与第一掺杂井区14形成多个第一双载子接面晶体管,第一重掺杂区222连接高电压端VH,第二重掺杂区282连接低电压端VL,高电压端VH与低电压端VL的电压对第一双载子接面晶体管进行偏压,以产生多个通过第一双载子接面晶体管的第一静电放电(ESD)电流。在第一实施例,第一静电放电电流沿单一方向流动。

[0043] 如图1、图2、图3、图4与图7所示。本发明的双极性晶体管装置的第二实施例介绍如下。本发明的第二实施例与第一实施例差别在于,第一鳍式结构16与第二鳍式结构18的数量。在第二实施例中,第一鳍式结构16的数量为多个,第二鳍式结构18的数量为多个,第一鳍式结构16与第二鳍式结构18为交替式设置。在第二实施例,第一静电放电电流沿上、下、左与右的方向流动。

[0044] 如图1、图8、图9、图10与图11所示。本发明的双极性晶体管装置的第三实施例介绍如下。本发明的第三实施例与第一实施例差别如下。在第三实施例中,第一晶体管单元12、第一鳍式结构16与第二鳍式结构18的数量分别为一个、两个和一个。与第一实施例相比,第三实施例的第一晶体管单元12还包含一第一掺杂区域40,例如为重掺杂井区。第一掺杂区域40为第二导电型,第一掺杂区域40设于第一掺杂井区14中,第二鳍式结构18设于第一鳍式结构16之间,第二重掺杂区282与第二掺杂区281设于第一掺杂区域40中,第二闸极带26设于第一闸极带20之间,且第二闸极带26连接第一闸极带20。

[0045] 此外,在第一导电型为N型时,第二导电型为P型。在此例下,第一鳍式结构16与第一掺杂井区14形成两个P通道金氧半场效晶体管42,且第二鳍式结构18与第一掺杂区域40形成一P型重掺杂区44,如图12所示。或者在第一导电型为P型时,第二导电型为N型。在此例下,第一鳍式结构16与第一掺杂井区14形成两个N通道金氧半场效晶体管46,且第二鳍式结构18与第一掺杂区域40形成一N型重掺杂区48,如图13所示。第一重掺杂区222、第二重掺杂区282、第一掺杂井区14与第一掺杂区域40形成多个第一双载子接面晶体管,高电压端VH与低电压端VL的电压对第一双载子接面晶体管进行偏压,以产生多个通过第一双载子接面晶体管的第一静电放电电流。在第三实施例,第一静电放电电流沿上、下的方向流动。

[0046] 如图8、图9、图10、图11、图14、图15与图16所示。本发明的双极性晶体管装置的第四实施例介绍如下。在第四实施例中,第一晶体管单元12、第一鳍式结构16与第二鳍式结构18的数量分别为两个、两个和一个。第三实施例的第一晶体管单元12的数量与第四实施例的第一晶体管单元12的数量相同。与第三实施例相比,第四实施例还包含至少一第二晶体管单元50,在此数量以一个为例。第二晶体管单元50还包含一第二掺杂井区52、一第二掺杂区域54、两个第三鳍式结构56与一第四鳍式结构58,其中第二掺杂井区52为第二导电型,第

二掺杂区域54为第一导电型,第二掺杂区域54例如为重掺杂井区。第二掺杂井区52设于基板10中,第二掺杂区域54设于第二掺杂井区52中。

[0047] 每一第三鳍式结构56还包含一第三闸极带60、多个第三掺杂鳍62与两个第三接触电极64,其中第三闸极带60的材质为多晶硅。第三掺杂鳍62均匀设于第二掺杂井区52中并沿第一方向设置。每一第三掺杂鳍62具有一第三掺杂区621与两个第三重掺杂区622,第三掺杂区621为第二导电型,第三重掺杂区622为第一导电型。每一第三掺杂区621设于其对应的两个第三重掺杂区622之间,第三掺杂区621与第三重掺杂区622设于第二掺杂井区52中并从基板10的表面上凸出,第三重掺杂区622连接低电压端VL。第三闸极带60设于第三掺杂区621的顶部与侧壁及基板10的表面上并沿第二方向设置,且第三闸极带60为浮接。第三接触电极64分别作为源极与汲极,并分别设于位于第三掺杂区621的相异两侧的第三重掺杂区622的顶部与侧壁及基板10的表面上,又沿第二方向设置,第三重掺杂区622通过第三接触电极64连接低电压端VL。

[0048] 第四鳍式结构58还包含一第四闸极带66、多个第四掺杂鳍68与两个第四接触电极70,其中第四闸极带66的材质为多晶硅。第四掺杂鳍68均匀设于第二掺杂区域54中并沿第一方向设置。每一第四掺杂鳍68具有一第四掺杂区681与两个第四重掺杂区682,第四掺杂区681为第一导电型,第四重掺杂区682为第二导电型。每一第四掺杂区681设于其对应的两个第四重掺杂区682之间,第四掺杂区681与第四重掺杂区682设于第二掺杂区域54中并从基板10的表面上凸出,第四重掺杂区682连接高电压端VH。第四闸极带66设于第四掺杂区681的顶部与侧壁及基板10的表面上并沿第二方向设置,且第四闸极带66为浮接。第四接触电极70分别作为源极与汲极,并分别设于位于第四掺杂区681的相异两侧的第四重掺杂区682的顶部与侧壁及基板10的表面上,又沿第二方向设置,第四重掺杂区682通过第四接触电极70极连接高电压端VH。

[0049] 第四闸极带66设于第三闸极带60之间,且第四闸极带66连接第三闸极带60。第三重掺杂区622、第四重掺杂区682、第二掺杂区域54与第二掺杂井区52形成多个第二双载子接面晶体管,高电压端VH与低电压端VL的电压对第二双载子接面晶体管进行偏压,以产生多个通过第二双载子接面晶体管的第二静电放电(ESD)电流。第一掺杂井区14与第二掺杂井区52呈交替式邻接,第一掺杂区域40与第二掺杂区域54呈交替式邻接。

[0050] 此外,在第四实施例中,第一晶体管单元12的数量为多个,第二晶体管单元50的数量为多个,且每一第二晶体管单元50对应两个第一晶体管单元12。

[0051] 综上所述,本发明利用鳍式结构建立双载子接面晶体管,以释放均匀的静电放电电流,进而降低由于静电放电导致的半导体装置毁损。

[0052] 以上所述仅为本发明一较佳实施例而已,并非用来限定本发明实施的范围,故举凡依本发明权利要求范围所述的形状、构造、特征及精神所为的均等变化与修饰,均应包括于本发明的保护范围内。

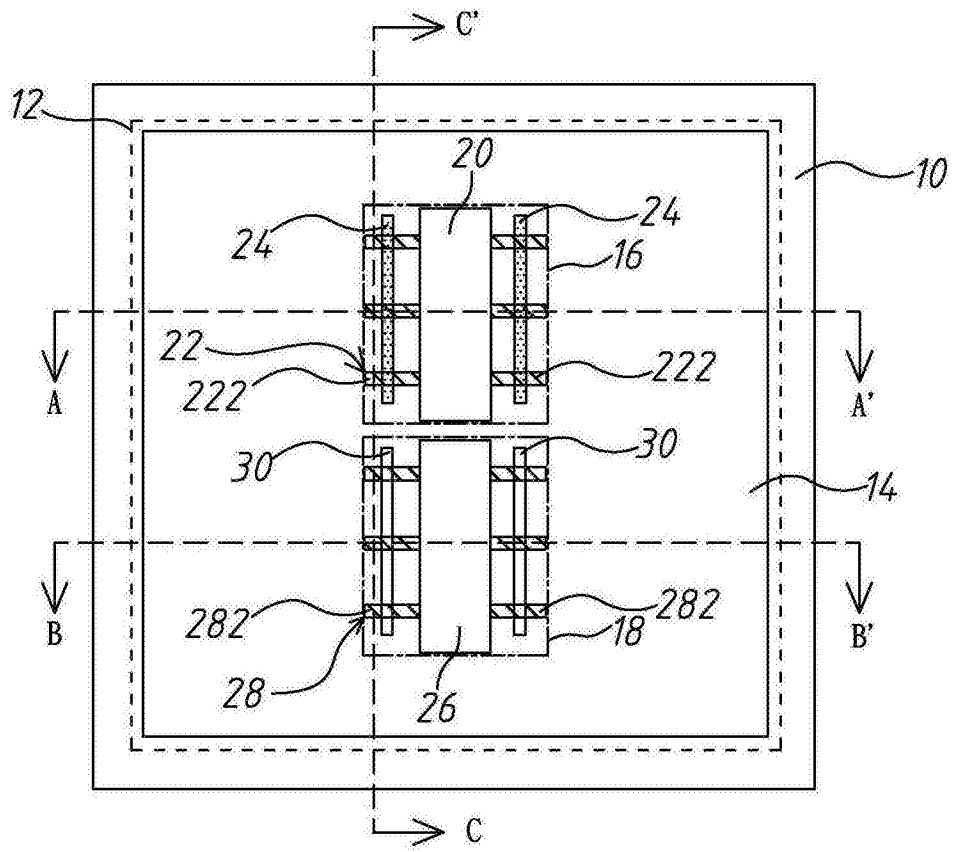


图1

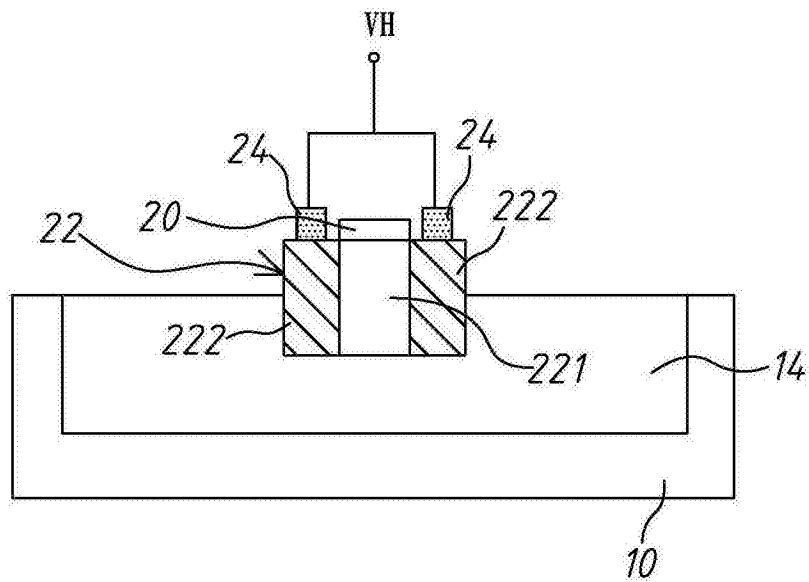


图2

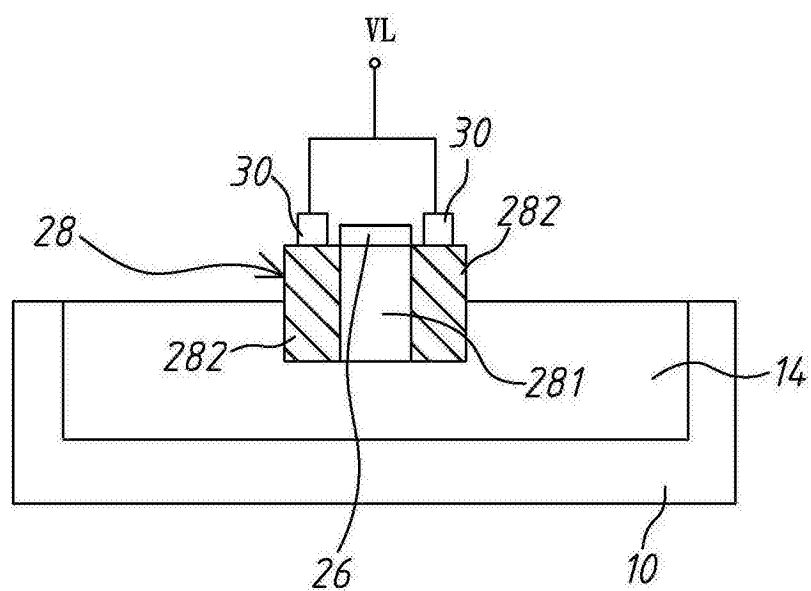


图3

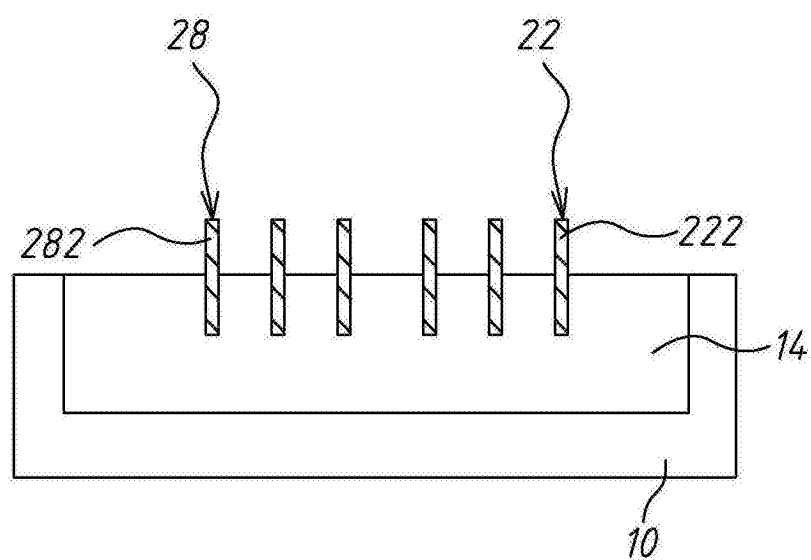


图4

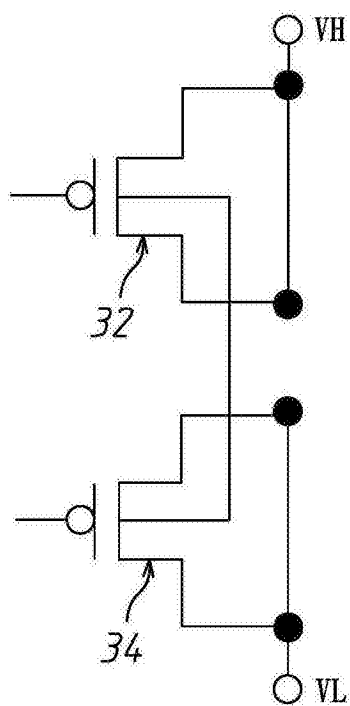


图5

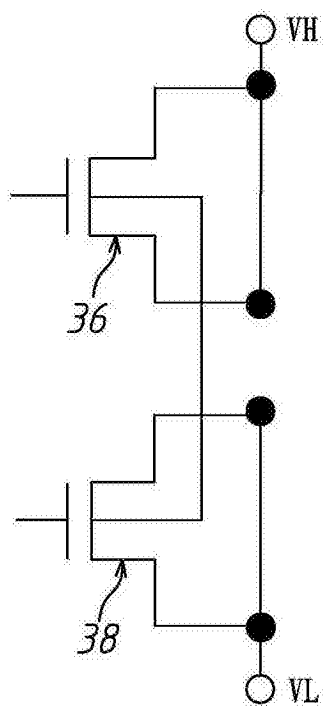


图6

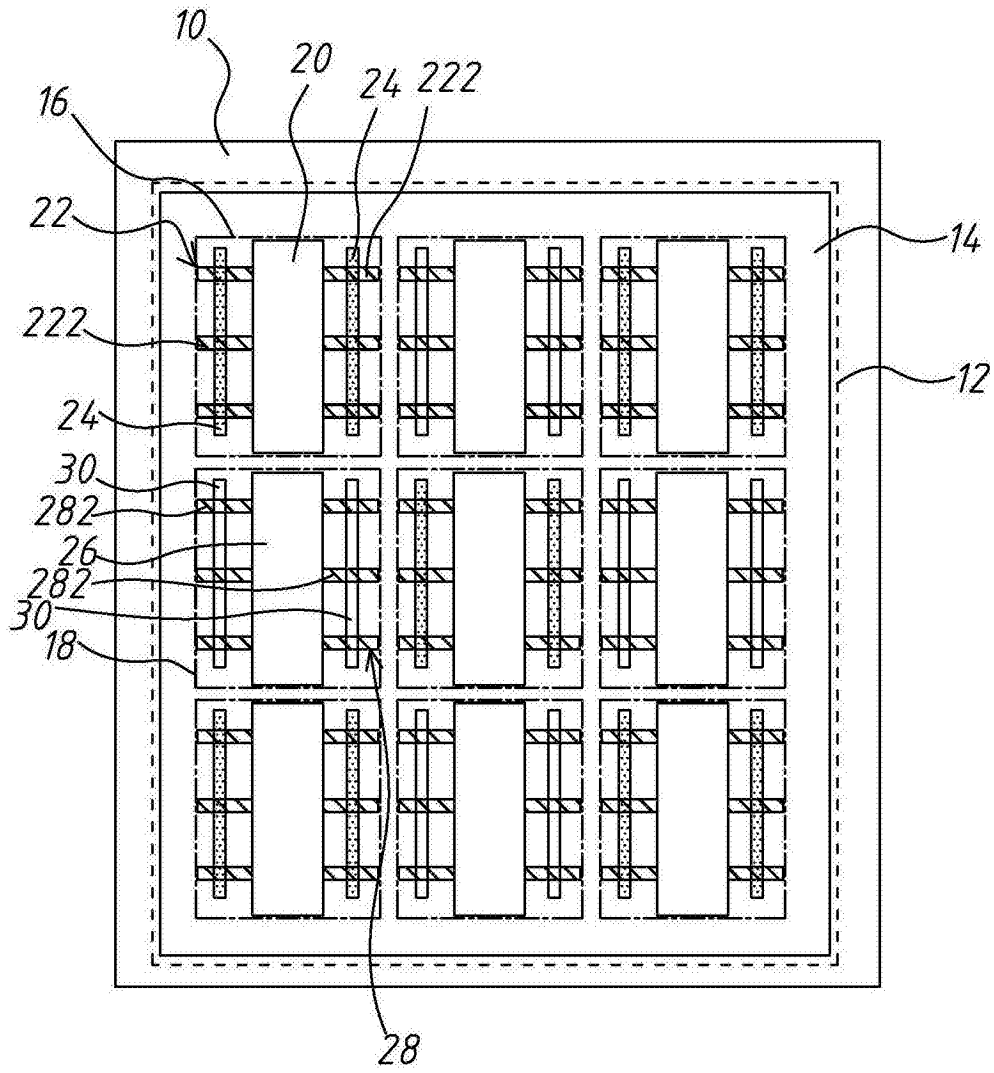


图7

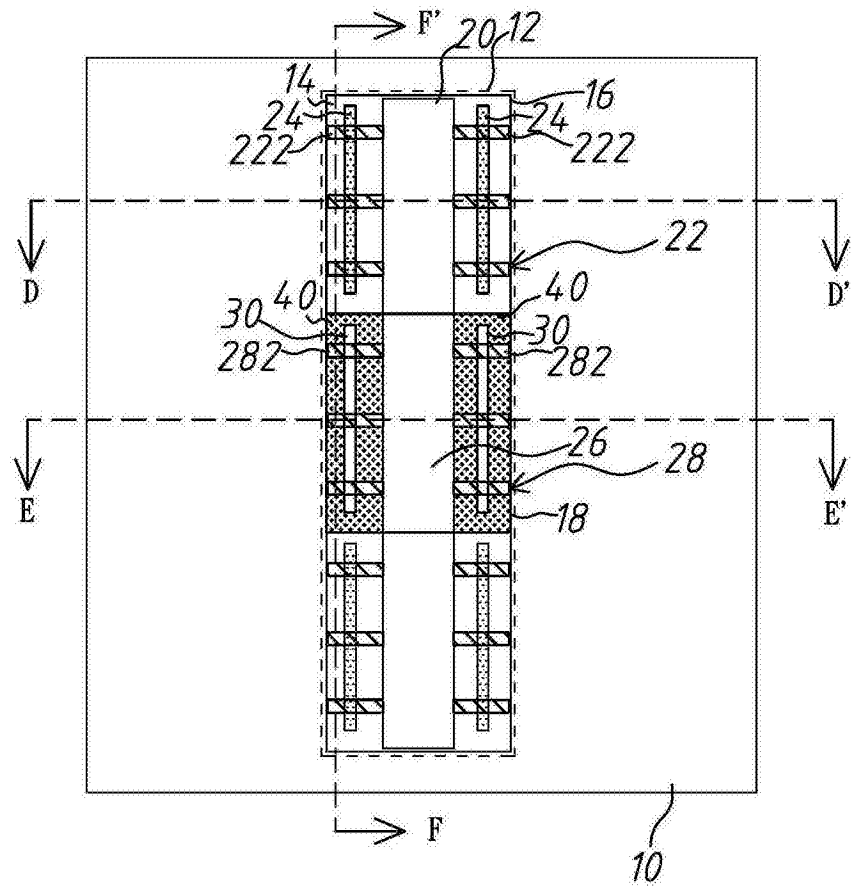


图8

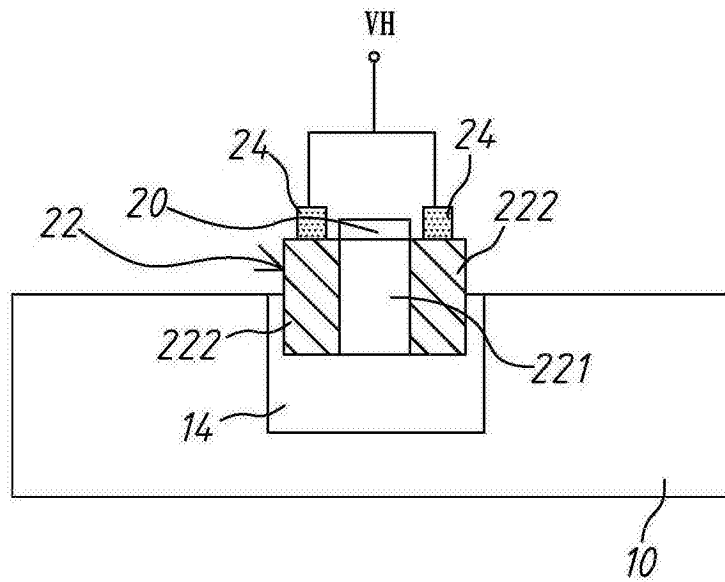


图9

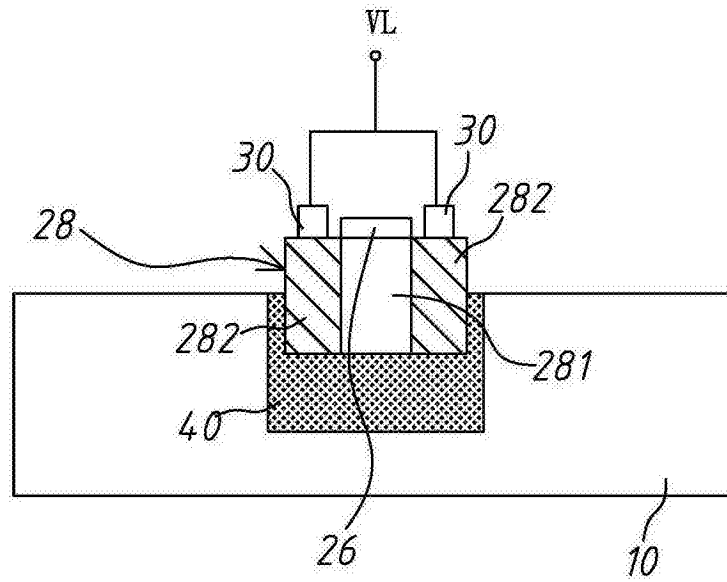


图10

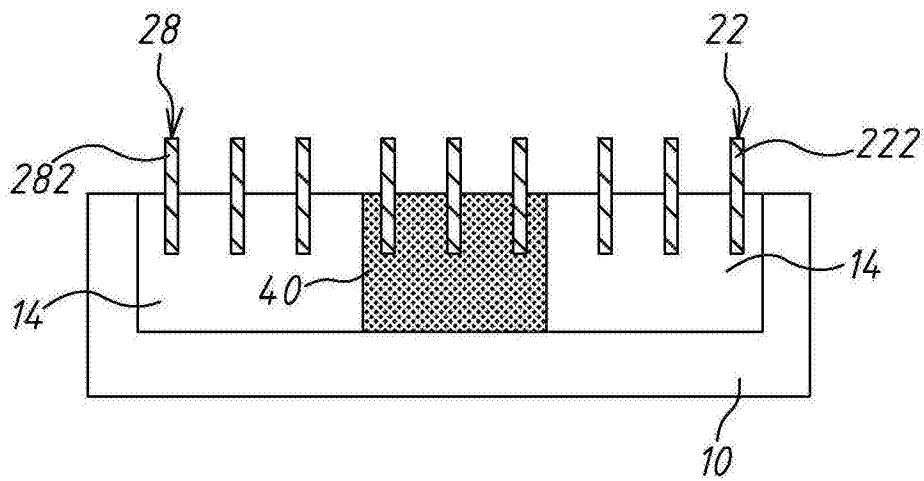


图11

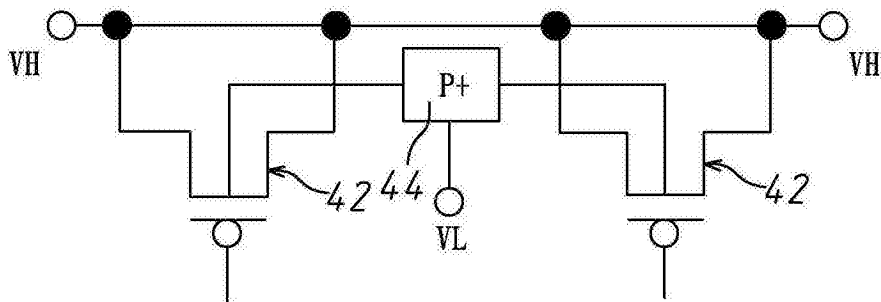


图12

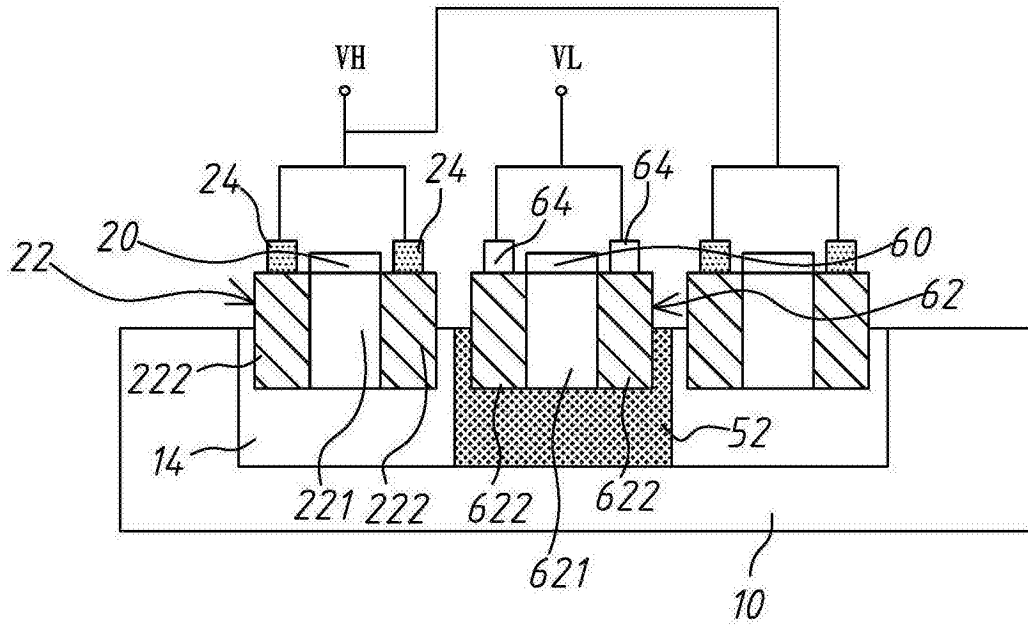


图15

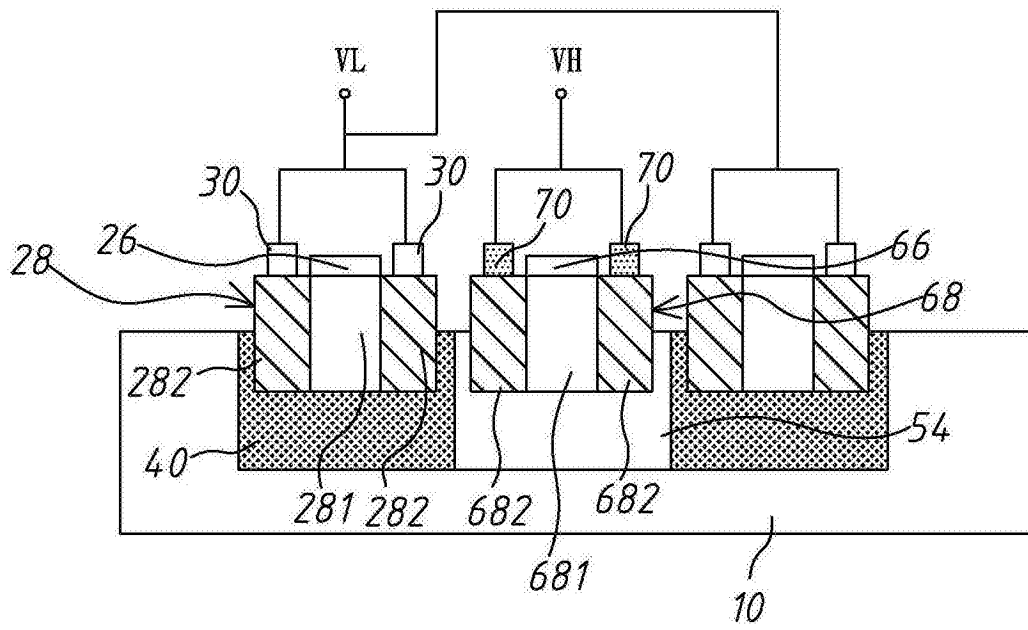


图16