



(12)发明专利

(10)授权公告号 CN 103839926 B

(45)授权公告日 2017.02.01

(21)申请号 201410037498.9

(22)申请日 2014.01.26

(65)同一申请的已公布的文献号
申请公布号 CN 103839926 A

(43)申请公布日 2014.06.04

(30)优先权数据
14/104,251 2013.12.12 US

(73)专利权人 晶焱科技股份有限公司
地址 中国台湾新北市

(72)发明人 柯明道 庄哲豪

(74)专利代理机构 北京科龙寰宇知识产权代理
有限责任公司 11139
代理人 孙皓晨

(51)Int.Cl.

H01L 23/60(2006.01)

H01L 23/31(2006.01)

H01L 23/528(2006.01)

(56)对比文件

US 2012/0182650 A1, 2012.07.19,

CN 101038913 A, 2007.09.19,

CN 101563784 A, 2009.10.21,

审查员 邱广猷

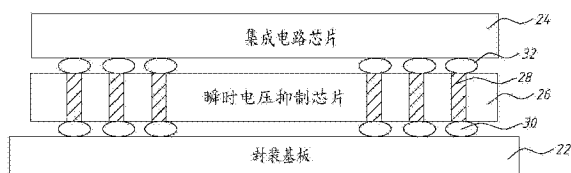
权利要求书1页 说明书5页 附图6页

(54)发明名称

三维集成电路封装

(57)摘要

本发明公开一种三维集成电路封装,其包含一封装基板,此具有一表面。此封装基板的表面上设有彼此电性连接的至少一集成电路芯片与至少一瞬时电压抑制芯片,其中集成电路芯片可以或无法抑制一瞬时电压。集成电路芯片与瞬时电压抑制芯片彼此独立,且互相堆栈于封装基板上。或者,集成电路芯片与瞬时电压抑制芯片一起通过一中介层设于封装基板上。



1. 一种三维集成电路封装,其特征在于,包含:

一封装基板,其具有一表面,且至少一集成电路芯片与至少一瞬时电压抑制芯片设于所述表面上,且彼此电性连接,所述集成电路芯片与所述瞬时电压抑制芯片互相独立;

多个导电栓,其穿设于所述瞬时电压抑制芯片中;

多个第一导电凸块,其设于所述表面的导电区域上,且每一所述第一导电凸块分别位于一所述导电栓下方,所述瞬时电压抑制芯片经由所述多个第一导电凸块与所述多个导电栓电性连接所述导电区域;以及

多个第二导电凸块,每一所述第二导电凸块分别位于一所述导电栓上方,且所述集成电路芯片经由所述多个第一导电凸块、所述多个第二导电凸块与所述多个导电栓电性连接所述导电区域与所述瞬时电压抑制芯片;

所述瞬时电压抑制芯片更包含:

一P型半导体基板,所述多个导电栓设于所述P型半导体基板中;

一P型井区,其设于所述P型半导体基板中,且一第一P型重掺杂区与一第一N型重掺杂区设于所述P型井区中;以及

一N型井区,其设于所述P型半导体基板中,且一第二P型重掺杂区与一第二N型重掺杂区设于所述N型井区中,又所述P型井区与所述N型井区彼此独立。

2. 如权利要求1所述的三维集成电路封装,其特征在于,所述多个第一导电凸块与所述多个第二导电凸块的材质为铅或锡,所述多个导电栓的材质为铜。

3. 如权利要求1所述的三维集成电路封装,其特征在于,一所述导电栓连接一高电压端,另一所述导电栓连接一低电压端,其余多个所述导电栓通过所述第一导电凸块与所述第二导电凸块连接所述表面及所述集成电路芯片的输入输出管脚。

三维集成电路封装

技术领域

[0001] 本发明是关于一种封装技术,且特别关于一种系统级静电放电保护的三维集成电路封装。

背景技术

[0002] 由于集成电路(integrated circuit, IC)的组件已微缩化至纳米尺寸,很容易受到静电放电(Electrostatic Discharge, ESD)的冲击而损伤,再加上一些电子产品,如笔记本电脑或手机亦作的比以前更加轻薄短小,对ESD冲击的承受能力更为降低。对于这些电子产品,若没有利用适当的ESD保护装置来进行保护,则电子产品很容易受到ESD的冲击,而造成电子产品发生系统重新启动,甚至硬件受到伤害而无法复原的问题。目前,所有的电子产品都被要求能通过IEC61000-4-2标准(IEC61000-4-2标准是国际电工委员会所颁布的一个基础性标准,适合于各种电气与电子设备作电磁兼容性的测试)的ESD测试需求。对于电子产品的ESD问题,使用瞬时电压抑制器(Transient voltage suppressor, TVS)是较为有效的解决方法,让ESD能量快速透过TVS予以释放,避免电子产品受到ESD的冲击而造成伤害。

[0003] TVS的工作原理如图1所示,在印刷电路板(Printed circuit board, PCB)上,瞬时电压抑制器10并联欲保护装置12,当ESD情况发生时,瞬时电压抑制器10系瞬间被触发,同时,瞬时电压抑制器10亦可提供一低电阻路径,以供瞬时的ESD电流进行放电,让ESD瞬时电流的能量透过瞬时电压抑制器10得以释放。

[0004] 图2为先前技术的二维的具有TVS的系统封装(System-in-Package, SiP)。此系统封装包含一功能性芯片14与一瞬时电压抑制(TVS)芯片16,其是安装于一晶粒焊盘(die paddle)18。功能性芯片14与TVS芯片16由焊线连接管脚(lead)20。在此二维封装中, L1与L2是焊线的寄生电感。假使L1小于L2,则经过TVS芯片16的静电放电电流的阻抗(ωL)将大于功能性芯片14的阻抗。在系统级ESD应力下,功能性芯片14在TVS芯片16导通前,会先受到ESD电流的伤害。所以,ESD保护设计在功能性芯片14中仍然是必须的。此外,TVS整合于IC芯片中是传统技术。当TVS的崩溃电压或输入寄生电容需要被改变时,同时需要改变IC的复杂制作流程,进而改变工艺成本,且可能降低功能性芯片的性能。

[0005] 因此,本发明系在针对上述的困扰,提出一种三维集成电路封装,以解决现有技术存在的问题。

发明内容

[0006] 本发明的主要目的,在于提供一种三维集成电路封装,其是经由导电栓安装一集成电路(IC)芯片与一瞬时电压抑制(TVS)芯片在一封装基板上,以避免形成焊线电感而降低TVS芯片的保护能力,其中此IC芯片可以或无法抑制一瞬时电压。此外,IC芯片与TVS芯片可以使用不同制作技术,使TVS芯片的电特性容易调整,并节省制作成本。

[0007] 为达上述目的,本发明提供一种三维集成电路封装,其包含具有一表面的一封装基板,此表面上设有彼此电性连接的至少一集成电路芯片与至少一瞬时电压抑制芯片,其

中此集成电路芯片可以或无法抑制一瞬时电压,且集成电路芯片与瞬时电压抑制芯片互相独立。

[0008] 其中,所述三维集成电路封装更包含:多个导电栓,其设于所述瞬时电压抑制芯片中;多个第一导电凸块,其穿设于所述表面的导电区域上,且每一所述第一导电凸块分别位于一所述导电栓下方,所述瞬时电压抑制芯片经由所述多个第一导电凸块与所述多个导电栓电性连接所述导电区域;以及多个第二导电凸块,每一所述第二导电凸块分别位于一所述导电栓上方,且所述集成电路芯片经由所述多个第一导电凸块、所述多个第二导电凸块与所述多个导电栓电性连接所述导电区域与所述瞬时电压抑制芯片。

[0009] 其中,所述多个第一导电凸块与所述多个第二导电凸块的材质为铅或锡,所述多个导电栓的材质为铜。

[0010] 其中,一所述导电栓连接一高电压端,另一所述导电栓连接一低电压端,其余多个所述导电栓通过所述第一导电凸块与所述第二导电凸块连接所述表面及所述集成电路芯片的输入输出管脚(I/O pins)。

[0011] 其中,所述瞬时电压抑制芯片更包含:一P型半导体基板,所述多个导电栓设于所述P型半导体基板中;一P型井区,其设于所述P型半导体基板中,且一第一P型重掺杂区与一第一N型重掺杂区设于所述P型井区中;以及一N型井区,其设于所述P型半导体基板中,且一第二P型重掺杂区与一第二N型重掺杂区设于所述N型井区中,又所述P型井区与所述N型井区彼此独立。

[0012] 其中,所述三维集成电路封装更包含:多个导电栓,其穿设于所述集成电路芯片中;多个第一导电凸块,其设于所述表面的导电区域上,且每一所述第一导电凸块分别位于每一所述导电栓下方,所述集成电路芯片经由所述多个第一导电凸块与所述多个导电栓电性连接所述导电区域;以及多个第二导电凸块,每一所述第二导电凸块分别为一所述导电栓上方,且所述瞬时电压抑制芯片经由所述多个第一导电凸块、所述多个第二导电凸块与所述多个导电栓电性连接导电区域与所述集成电路芯片。

[0013] 其中,所述多个第一导电凸块与所述多个第二导电凸块的材质为铅或锡,所述多个导电栓的材质为铜。

[0014] 其中,一所述导电栓连接一高电压端,另一所述导电栓连接一低电压端,其余多个所述导电栓通过所述第一导电凸块与所述第二导电凸块连接所述表面及所述瞬时电压抑制芯片的输入输出管脚(I/O pins)。

[0015] 其中,所述三维集成电路封装更包含:多个第一导电凸块与多个第二导电凸块,其设于所述表面的导电区域,且所述多个第一导电凸块彼此相邻,所述多个第二导电凸块彼此相邻;一中介层(interposer),其具有多个第一导电栓与多个第二导电栓,且每一所述第一导电栓分别设于一所述第一导电凸块上,每一所述第二导电栓分别设于一所述第二导电凸块上;多个第三导电凸块,每一所述第三导电凸块分别位于一所述第一导电栓上,且所述瞬时电压抑制芯片位于所述多个第三导电凸块上;以及多个第四导电凸块,每一所述第四导电凸块分别位于一所述第二导电栓上,且所述集成电路芯片位于所述多个第四导电凸块上,且所述集成电路芯片经由所述导电区域、所述多个第一导电栓、所述多个第二导电栓、所述多个第一导电凸块、所述多个第二导电凸块、所述多个第三导电凸块与所述多个第四导电凸块电性连接所述瞬时电压抑制芯片。

[0016] 其中,所述多个第一导电凸块、所述多个第二导电凸块、所述多个第三导电凸块与所述多个第四导电凸块的材质为铅或锡,所述多个第一导电栓与所述多个第二导电栓的材质为铜。

[0017] 其中,一所述第一导电栓连接一高电压端,另一所述第一导电栓连接一低电压端,其余多个所述第一导电栓通过所述第一导电凸块及所述第三导电凸块连接所述瞬时电压抑制芯片及所述表面的输入输出管脚(I/O pins),且一所述第二导电栓连接一高电压端,另一所述第二导电栓连接一低电压端,其余多个所述第二导电栓通过所述第二导电凸块及所述第四导电凸块连接所述集成电路芯片及所述表面的输入输出管脚(I/O pins)。

附图说明

[0018] 图1为先前技术的连接欲保护电路的瞬时电压抑制器的电路示意图;

[0019] 图2为先前技术的具有瞬时电压抑制器的二维系统封装示意图;

[0020] 图3为本发明的第一实施例的三维集成电路封装的结构示意图;

[0021] 图4为本发明的第一实施例的三维集成电路封装电性连接高电压端、低电压端与输入输出管脚的示意图;

[0022] 图5为本发明的第一实施例的三维集成电路封装的瞬时电压抑制芯片的结构示意图;

[0023] 图6为本发明的第二实施例的三维集成电路封装的结构示意图;

[0024] 图7为本发明的第二实施例的三维集成电路封装电性连接高电压端、低电压端与输入输出管脚的示意图;

[0025] 图8为本发明的第三实施例的三维集成电路封装的结构示意图;

[0026] 图9为本发明的第三实施例的三维集成电路封装电性连接高电压端、低电压端与输入输出管脚的示意图。

[0027] 附图标记说明:10-瞬时电压抑制器;12-欲保护装置;14-功能性芯片;16-瞬时电压抑制芯片;18-晶粒焊盘;20-管脚;22-封装基板;24-集成电路芯片;26-瞬时电压抑制芯片;28-导电栓;30-第一导电凸块;32-第二导电凸块;34-P型半导体基板;38-P型井区;40-第一P型重掺杂区;42-第一N型重掺杂区;44-N型井区;46-第二P型重掺杂区;48-第二N型重掺杂区;50-集成电路芯片;52-瞬时电压抑制芯片;54-导电栓;56-第二导电凸块;58-封装基板;60-集成电路芯片;62-瞬时电压抑制芯片;64-第一导电凸块;66-第二导电凸块;68-中介层;70-第一导电栓;72-第二导电栓;74-第三导电凸块;76-第四导电凸块。

具体实施方式

[0028] 为对本发明的技术方案及所达成的功效更有完整、清楚的描述,谨佐以较佳的实施例图及配合详细的说明,说明如下:

[0029] 本发明利用瞬时电压抑制芯片整合于三维集成电路封装中,将系统级静电放电保护能力嵌入于集成电路芯片里。

[0030] 以下介绍本发明的第一实施例,请参阅图3与图4。第一实施例包含一封装基板22,其具有一表面。至少一瞬时电压抑制(TVS)芯片26与至少一集成电路(IC)芯片24依序堆栈于封装基板22的表面上,且彼此电性连接,其中集成电路芯片24可以或无法抑制一瞬时电

压。集成电路芯片24与瞬时电压抑制芯片26互相独立。此瞬时电压抑制芯片26仅具有静电放电(ESD)功能,且不包含内存、模拟电路、数字电路及/或射频(RF)电路。在第一实施例中,是以一个瞬时电压抑制芯片26与一个集成电路芯片24为例。TVS芯片26中设有多个导电栓28,例如直通硅晶穿孔组件(through-silicon-via devices, TSV)。多个第一导电凸块30设于封装基板22的表面的导电区域,每一第一导电凸块30分别位于一导电栓28下方,使TVS芯片26经由第一导电凸块30与导电栓28电性连接上述导电区域。另有多第二导电凸块32,每一第二导电凸块32分别位于一导电栓28上方,且IC芯片24位于第二导电凸块32上,使IC芯片24经由第一导电凸块30、第二导电凸块32与导电栓28电性连接上述导电区域与TVS芯片26。第一导电凸块30与第二导电凸块32的材质为铅或锡,导电栓28的材质为铜。此外,其中一导电栓28连接一高电压端VDD,另一导电栓28连接一低电压端VSS,其余导电栓28通过第一导电凸块30与第二导电凸块32连接集成电路芯片24及封装基板22表面的输入输出管脚(I/O pins)。

[0031] TVS芯片26的结构是以图5为例,但并不限于此结构。请参阅图5,TVS芯片26更包含一P型半导体基板34,且导电栓28系设于P型半导体基板34中。P型半导体基板34中设有一P型井区38与一N型井区44,且一第一P型重掺杂区40与一第一N型重掺杂区42设于P型井区38中,一第二P型重掺杂区46与一第二N型重掺杂区48设于N型井区44中。导电栓28、P型井区38与N型井区44彼此独立。此外,有一导电栓28连接一高电压端VDD,另一导电栓28连接一低电压端VSS,其余导电栓28连接输入输出管脚。

[0032] 以下介绍本发明的第二实施例。请参阅图6与图7。第二实施例包含一封装基板22,其系具有一表面。至少一集成电路(IC)芯片50与至少一瞬时电压抑制(TVS)芯片52依序堆栈于封装基板22的表面上,且彼此电性连接,其中集成电路芯片50可以或无法抑制一瞬时电压。集成电路芯片50与瞬时电压抑制芯片52互相独立。此瞬时电压抑制芯片52仅具有静电放电(ESD)功能,且不包含内存、模拟电路、数字电路及/或射频(Radio Frequency, RF)电路。在第二实施例中,是以一个瞬时电压抑制芯片52与一个集成电路芯片50为例。集成电路芯片50中设有多个导电栓54,例如直通硅晶穿孔组件(through-silicon-via devices, TSV)。封装基板22的表面的导电区域上设有多个第一导电凸块30,每一第一导电凸块30分别位于导电栓54下方,使集成电路芯片50经由第一导电凸块30与导电栓54电性连接上述导电区域。每一导电栓54上设有一第二导电凸块56,且集成电路芯片54设于第二导电凸块56上,使瞬时电压抑制芯片54经由第一导电凸块30、第二导电凸块56与导电栓54电性连接上述导电区域与集成电路芯片50。第一导电凸块30与第二导电凸块56的材质为铅或锡,导电栓54的材质为铜。此外,其中一导电栓54连接一高电压端VDD,另一导电栓54连接一低电压端VSS,其余导电栓54通过第一导电凸块30与第二导电凸块56连接瞬时电压抑制芯片54及封装基板22的表面的输入输出管脚(I/O pins)。

[0033] 因为瞬时电压抑制芯片与不具有静电放电保护设计的集成电路芯片互相独立,所以可以轻易调整瞬时电压抑制芯片的电特性,此可降低制作成本。此外,利用导电栓,瞬时电压抑制芯片与集成电路芯片可以互相电性连接,以避免焊线电感的形成。

[0034] 基于相同的优点,以下介绍本发明的第三实施例,请参阅图8与图9。第三实施例包含一封装基板58,其具有一表面。至少一集成电路(IC)芯片60与至少一瞬时电压抑制(TVS)芯片62设于封装基板58的表面上,且彼此电性连接,其中集成电路芯片60可以或无法抑制

一瞬时电压。集成电路芯片60与瞬时电压抑制芯片62互相独立。此瞬时电压抑制芯片62仅具有静电放电(ESD)功能,且不包含内存、模拟电路、数字电路及/或射频(RF)电路。在第三实施例中,是以一个瞬时电压抑制芯片62与一个集成电路芯片60为例。封装基板58的表面的导电区域上设有多个第一导电凸块64与多个第二导电凸块66,且第一导电凸块64彼此相邻,第二导电凸块66彼此相邻。另有一中介层(interposer)68设于第一导电凸块64与第二导电凸块66上,中介层68系具有多个第一导电栓70与多个第二导电栓72,且每一第一导电栓70分别设于一第一导电凸块64上,每一第二导电栓72分别设于一第二导电凸块66上。第一导电栓70与第二导电栓72是以直通硅晶穿孔组件(through-silicon-via devices,TSV)为例。每一第一导电栓70上分别设有一第三导电凸块74,且瞬时电压抑制芯片62位于第三导电凸块74上。每一第二导电栓72上分别设有一第四导电凸块76,且集成电路芯片60设于第四导电凸块76上。集成电路芯片60经由上述导电区域、第一导电栓70、第二导电栓72、第一导电凸块64、第二导电凸块66、第三导电凸块74与第四导电凸块76电性连接瞬时电压抑制芯片62。第一导电凸块64、第二导电凸块66、第三导电凸块74与第四导电凸块76的材质为铅或锡,第一导电栓70与第二导电栓72的材质为铜。此外,有一第一导电栓70连接一高电压端VDD,另一第一导电栓70连接一低电压端VSS,其余第一导电栓70通过第一导电凸块64及第三导电凸块74连接瞬时电压抑制芯片62及封装基板58的表面的输入输出管脚,且一第二导电栓72连接一高电压端VDD,另一第二导电栓72连接一低电压端VSS,其余第二导电栓72通过第二导电凸块66及第四导电凸块76连接集成电路芯片60及封装基板58的表面的输入输出管脚(I/O pins)。

[0035] 综上所述,本发明使用不同工艺制作集成电路芯片与瞬时电压抑制芯片,以降低制作成本。此外,本发明亦可解决形成寄生电感的问题。

[0036] 最后应说明的是:以上实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明实施例技术方案的精神和范围。

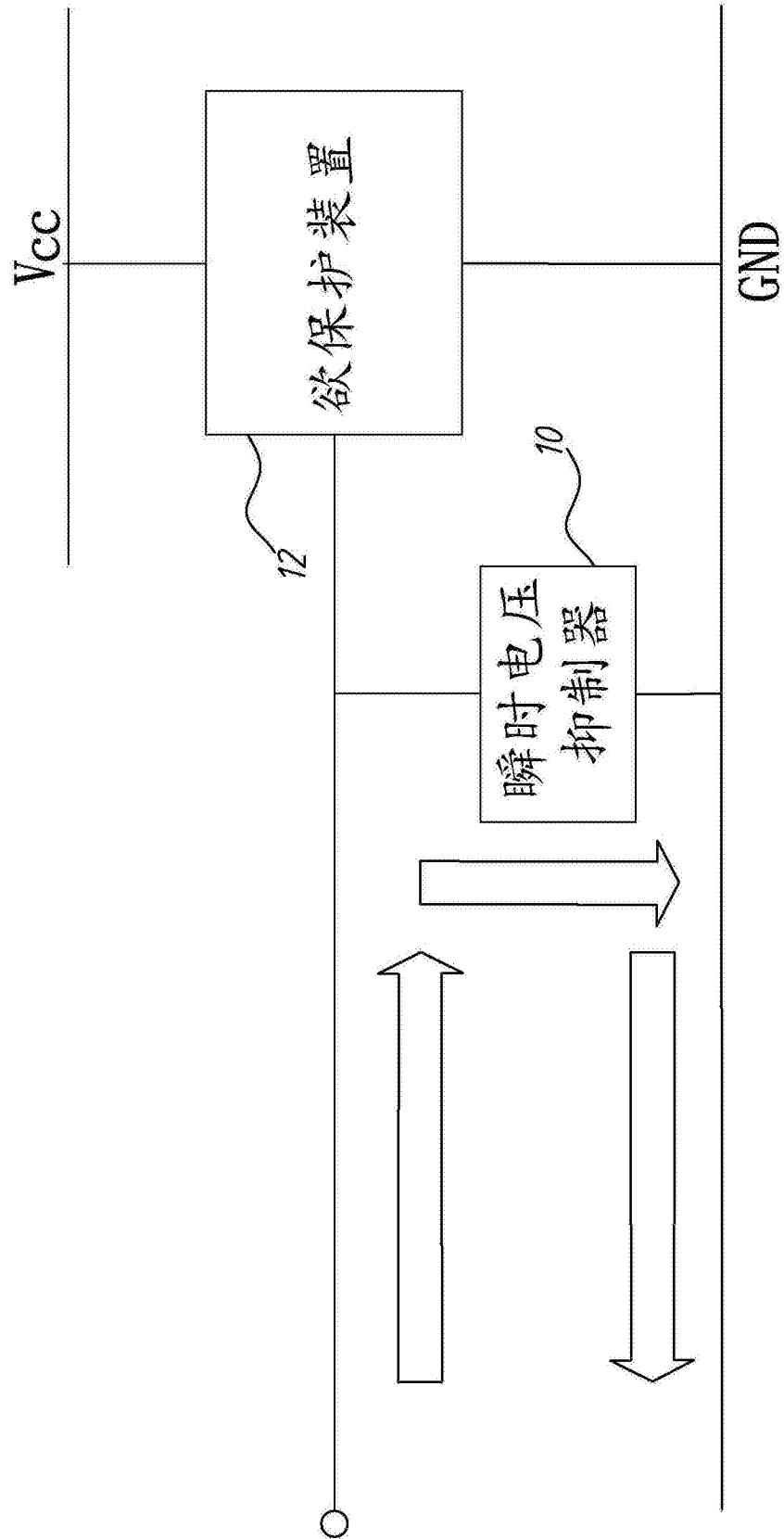


图1

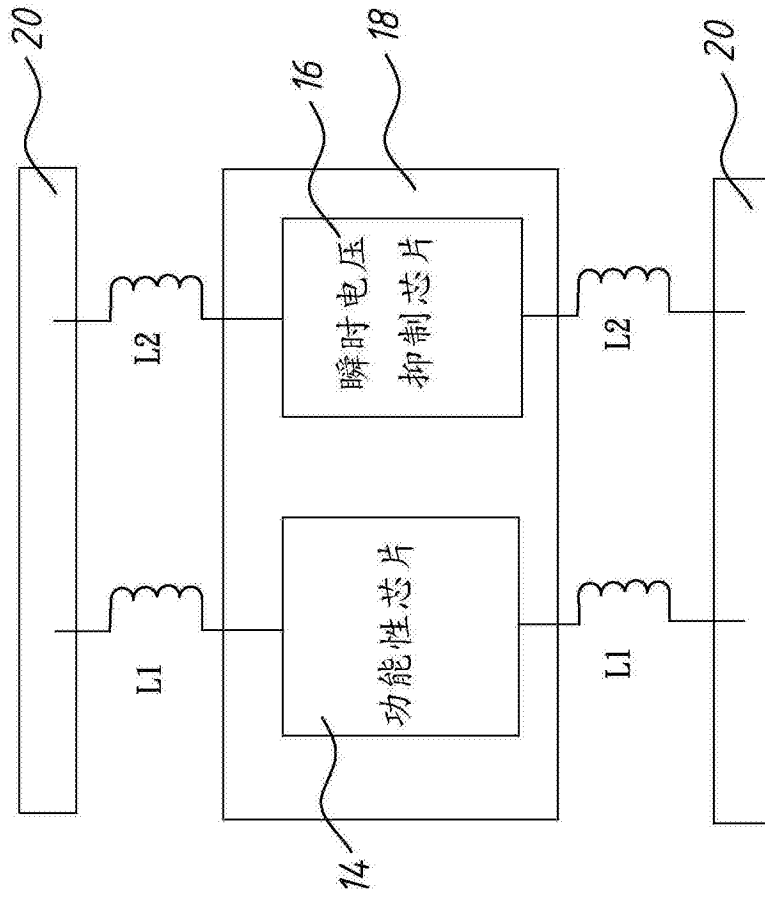


图2

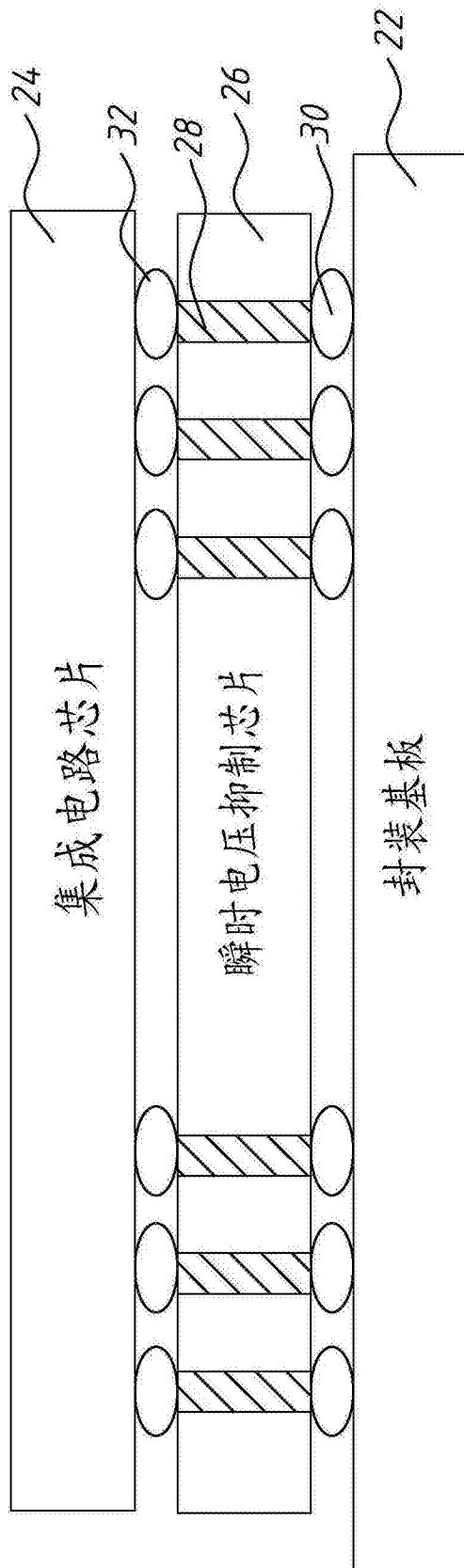


图3

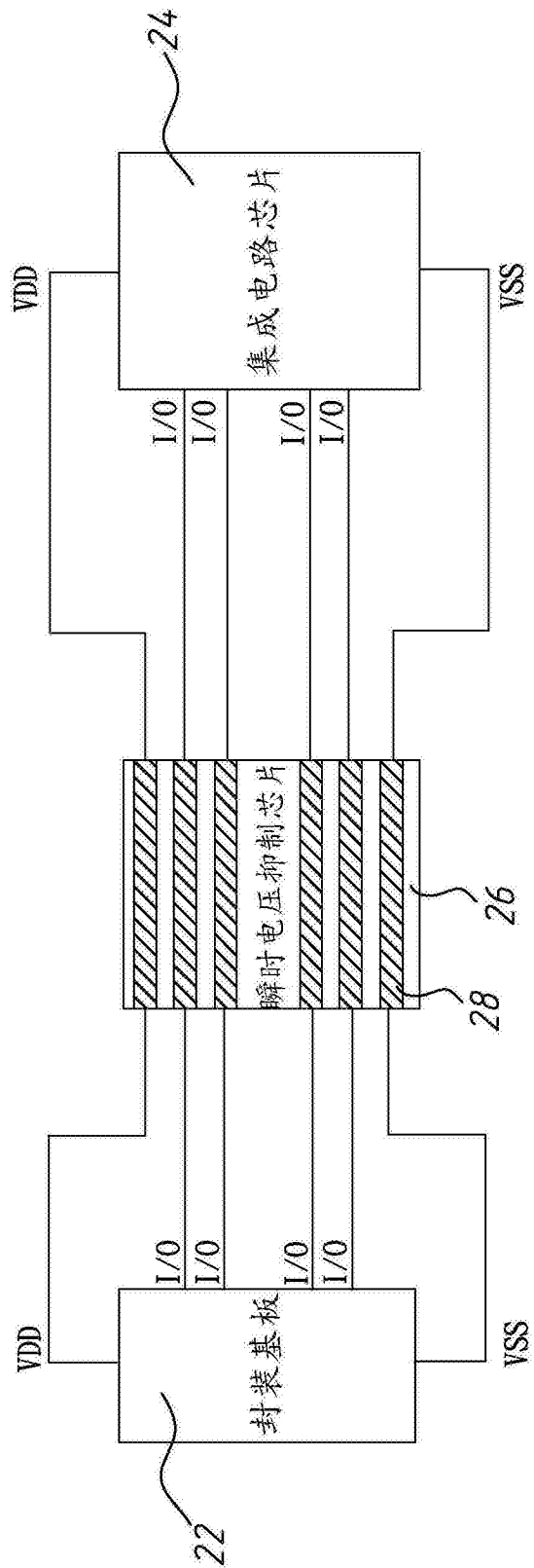


图4

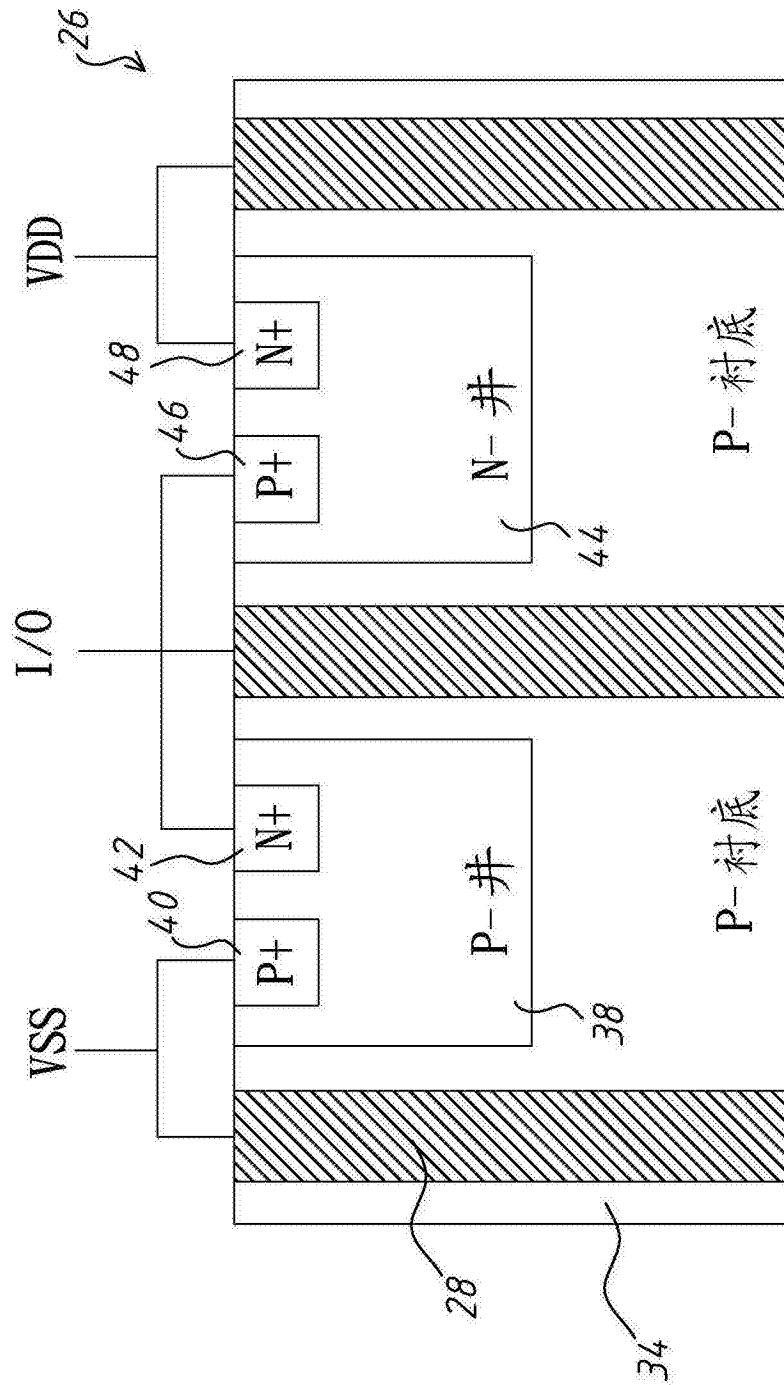


图5

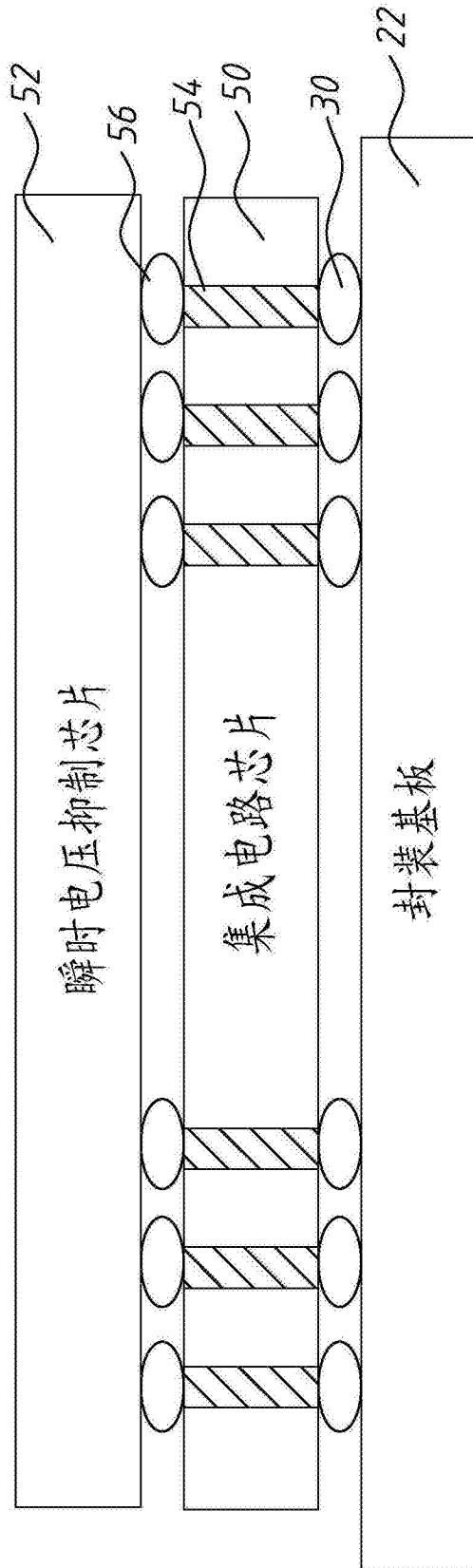


图6

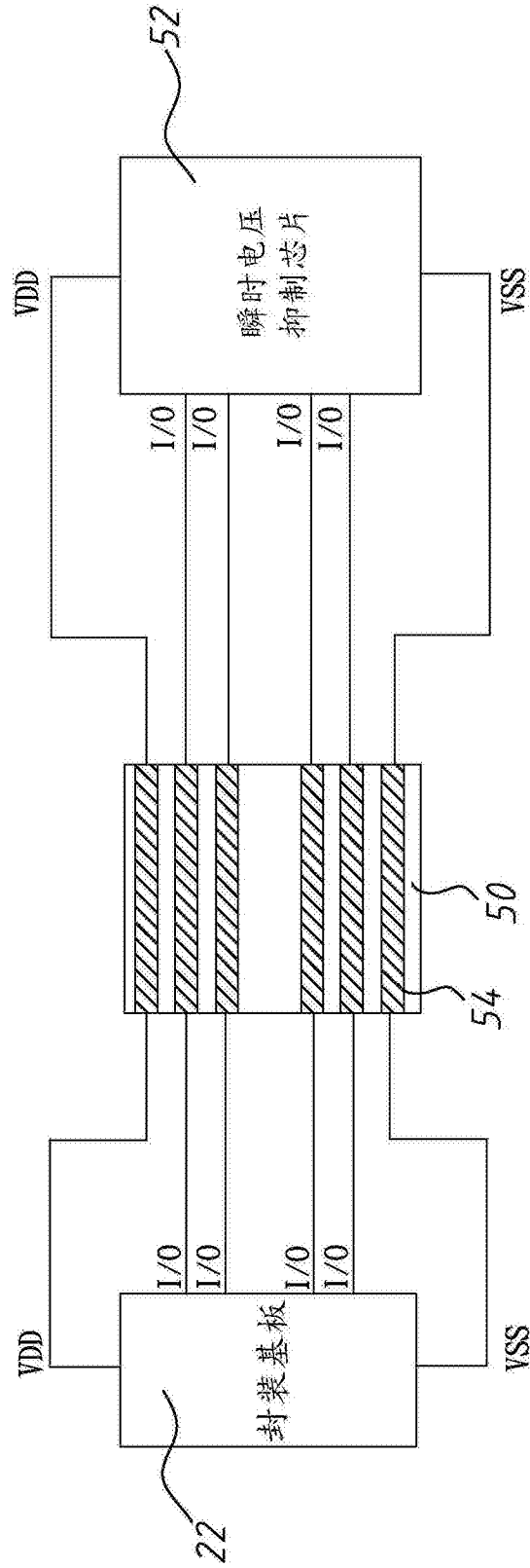


图7

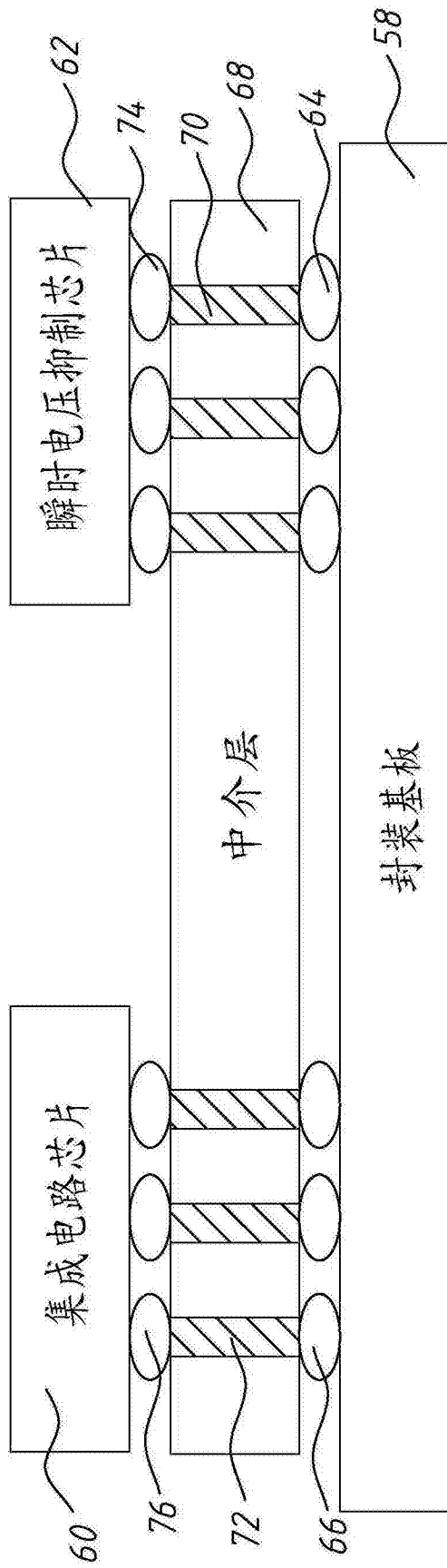


图8

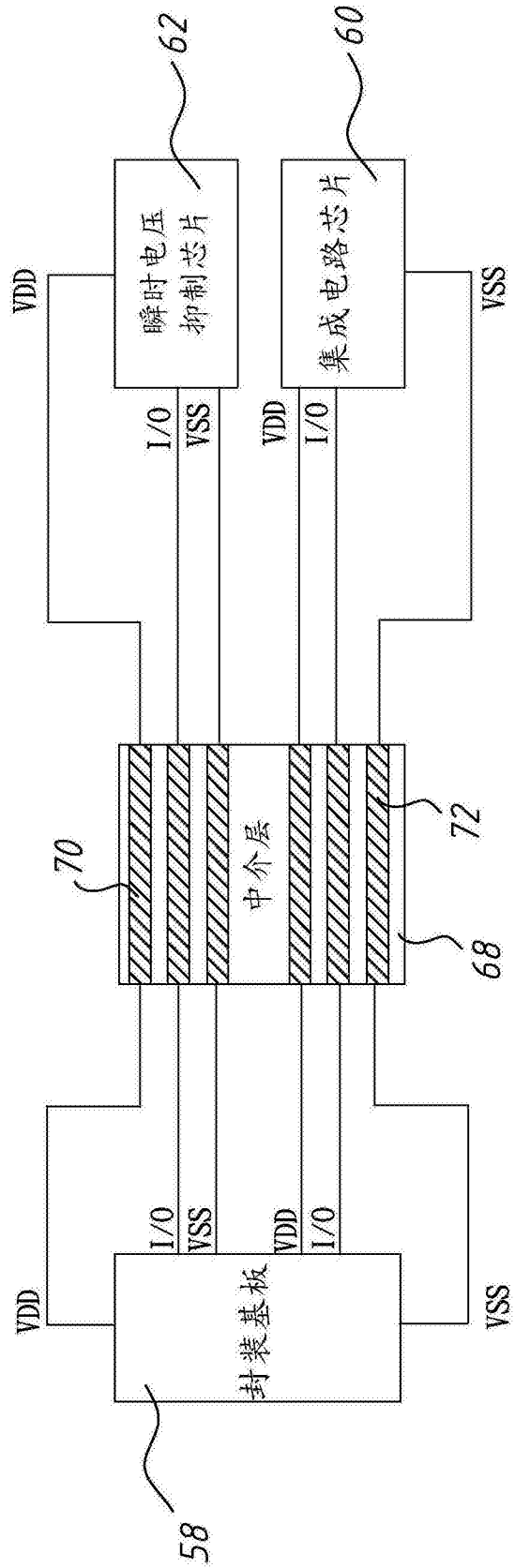


图9