



(12) 发明专利

(10) 授权公告号 CN 101141063 B

(45) 授权公告日 2012. 10. 17

(21) 申请号 200710149221. 5

(22) 申请日 2007. 09. 07

(30) 优先权数据

60/824, 795 2006. 09. 07 US

11/740, 904 2007. 04. 26 US

(73) 专利权人 财团法人工业技术研究院

地址 中国台湾新竹县

(72) 发明人 陈世宏 柯明道

(74) 专利代理机构 北京戈程知识产权代理有限公司 11314

代理人 程伟

Markus 等. Active-Source-Pump (ASP)

Technique for ESDDesignWindow

Expansion and Ultra-Thin Gate Oxide

Protection in Sub-90nm Technologies.

IEEE 2004 CUSTOM INTEGRATED CIRCUITS

CONFERENCE. 2004, 251-254.

Ming-Dou Ker 等. ESD Failure

Mechanisms of Analog I/O Cells in

0.18 μ m CMOS Technology. IEEE TRANSACTIONS

ON DEVICE AND MATERIALS RELIABILITY 6

1. 2006, 6(1), 102-111.

审查员 黄珊

(51) Int. Cl.

H02H 9/00 (2006. 01)

H01L 23/60 (2006. 01)

H01L 27/04 (2006. 01)

(56) 对比文件

CN 1399386 A, 2003. 02. 26, 说明书第 2 页第 1-2 段、图 2, 3.

US 20040070900 A1, 2004. 04. 15, 全文.

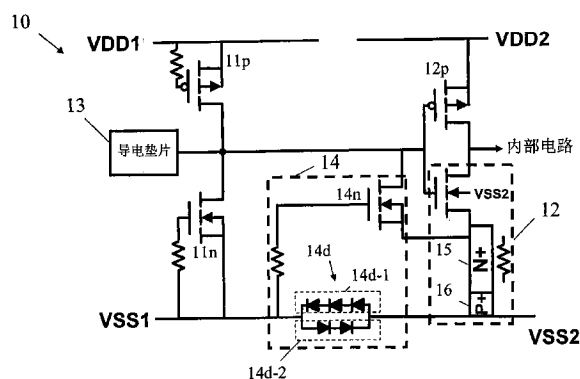
权利要求书 2 页 说明书 9 页 附图 18 页

(54) 发明名称

运用自偏压电流触发技术以及源极端升压机制的静电放电保护电路 / ESD

(57) 摘要

本发明公开一种可提供静电放电 (ESD) 保护的电路, 包含第一晶体管, 包含第一栅极与第一源极, 该第一栅极连接至导电垫片; 阻抗装置, 位于该第一源极与可提供电阻器的第一电源线之间; 第二晶体管, 包含第二栅极与第二源极, 该第二源极通过该阻抗装置连接至该第一电源线; 以及箝制装置, 位于该第一电源线与第二电源线之间, 其中当该导电垫片相对接地时, 该箝制装置可导引静电放电电流的第一部分, 且该第二晶体管可导引该静电放电电流的第二部分。



1. 一种可提供静电放电 ESD 保护的电路,其特征在于,包含:
第一晶体管,包含第一栅极与第一源极,该第一栅极连接至导电垫片;
阻抗装置,位于该第一源极与可提供电阻器的第一电源线之间;
第二晶体管,包含第二栅极与第二源极,该第二源极通过该阻抗装置连接至该第一电源线;以及
箝制装置,位于该第一电源线与第二电源线之间,
其中该第二晶体管的栅极通过一第一电阻器连接到第二电源线,当该导电垫片相对接地时,该箝制装置可导引静电放电电流的第一部分,且该第二晶体管可导引该静电放电电流的第二部分。
2. 根据权利要求 1 所述的电路,其中该阻抗装置包含电阻器。
3. 根据权利要求 1 所述的电路,其中该阻抗装置包含第一掺杂类型的第一扩散区。
4. 根据权利要求 3 所述的电路,其中该第一扩散区与该第一电源线之间还包含第二掺杂类型的第二扩散区。
5. 根据权利要求 1 所述的电路,其中该箝制装置包含至少二极管串与晶体管的其中之一。
6. 根据权利要求 1 所述的电路,其中该箝制装置可在静电放电电压期间提供寄生二极管。
7. 根据权利要求 1 所述的电路,其中该箝制装置包含彼此并联的第一二极管串与第二二极管串。
8. 根据权利要求 1 所述的电路,还包含第三晶体管,其中该第三晶体管包含漏极连接至该导电垫片以及源极连接至该第二电源线。
9. 根据权利要求 1 所述的电路,还包含第三晶体管,其中该第三晶体管可提供寄生二极管与寄生双极晶体管的其中之一来导引该静电放电电流的该第一部分通过该箝制装置。
10. 根据权利要求 1 所述的电路,还包含第三晶体管,其中该第三晶体管可提供第一寄生二极管来导引该静电放电电流的该第一部分通过该箝制装置,以及第二晶体管可提供第二寄生二极管来导引该静电放电电流的该第二部分。
11. 根据权利要求 1 所述的电路,还包含:
第三晶体管,包含第三栅极与第三源极,该第三栅极连接至该导电垫片;以及
阻抗装置,其位于该第三源极与可提供电阻器的第三电源线之间。
12. 根据权利要求 11 所述的电路,还包含:
第四晶体管,包含第四栅极与第四源极,该第四源极通过位于该第三源极与该第三电源线之间的该阻抗装置连接至该第三电源线;以及
箝制装置,其位于该第三电源线与第四电源线之间。
13. 一种可提供静电放电保护的电路,其特征在于,包含:
第一晶体管,包含第一栅极与第一源极,该第一栅极连接至导电垫片;
阻抗装置,位于该第一源极与可提供电阻器的第一电源线之间;
第二晶体管,包含第二源极,该第二源极通过该阻抗装置连接至该第一电源线;
箝制装置,位于该第一电源线与第二电源线之间,以及
第三晶体管,当该导电垫片相对接地时,可通过导引静电放电电流的第一部分通过该

箝制装置，

其中该第二晶体管的栅极通过一第一电阻器连接到第二电源线，当该静电放电电流的该第一部分通过该箝制装置时，该第二晶体管可导引该导电垫片与该第一电源线之间该静电放电电流的第二部分。

14. 根据权利要求 13 所述的电路，其中该阻抗装置包含晶体管。

15. 根据权利要求 13 所述的电路，其中该阻抗装置包含第一掺杂类型的第一扩散区。

16. 根据权利要求 15 所述的电路，另在该第一扩散区与该第一电源线之间包含第二掺杂类型的第二扩散区。

17. 根据权利要求 13 所述的电路，其中该箝制装置包含至少二极管串与晶体管的其中之一。

18. 根据权利要求 13 所述的电路，其中该箝制装置在静电放电电压期间提供寄生二极管。

19. 根据权利要求 13 所述的电路，其中该箝制装置包含彼此并联的第一二极管串与第二二极管串。

20. 根据权利要求 13 所述的电路，其中该第三晶体管包含漏极连接至该导电垫片以及源极连接至该第二电源线。

21. 根据权利要求 13 所述的电路，其中该第三晶体管提供寄生二极管与寄生双极晶体管的其中之一来导引该静电放电电流的该第一部分通过该箝制装置。

22. 根据权利要求 13 所述的电路，其中该第三晶体管提供第一寄生二极管来导引该静电放电电流的该第一部分通过该箝制装置，以及第二晶体管可提供第二寄生二极管来导引该静电放电电流的该第二部分。

23. 一种可提供静电放电保护的电路，其特征在于，包含：

第一晶体管，包含第一栅极与第一源极，该第一栅极连接至导电垫片；

阻抗装置，是位于该第一源极与可提供电阻器的第一电源线之间；

第二晶体管，包含通过该阻抗装置连接至该第一电源线的第二源极，当该导电垫片利用导引该导电垫片与该第一电源线之间部分静电放电电流来相对接地时，该第二晶体管可增加该第一源极上电压电平；以及

第三晶体管，其中该第三晶体管提供寄生二极管与寄生双极晶体管来导引该静电放电电流部分；或者该第三晶体管提供第一寄生二极管来导引该静电放电电流的第一部分，该第二晶体管提供第二寄生二极管来导引该静电放电电流的第二部分。

24. 根据权利要求 23 所述的电路，还包含位于该第一电源线与第二电源线之间的箝制装置。

25. 根据权利要求 24 所述的电路，其中该箝制装置包含至少二极管串与晶体管的其中之一。

26. 根据权利要求 23 所述的电路，其中该阻抗装置包含第一掺杂类型的第一扩散区。

27. 根据权利要求 26 所述的电路，还包含在该第一扩散区与该第一电源线之间的第二掺杂类型的第二扩散区。

运用自偏压电流触发技术以及源极端升压机制的静电放电 保护电路 /ESD

技术领域

[0001] 本发明主要涉及静电放电保护电路。

背景技术

[0002] 半导体集成电路 (IC) 一般容易受到静电放电事件的影响,这可能会损坏或摧毁 IC。静电放电事件就是指由于静电所造成的电位差导致大量电流 (正或负) 于短期间内流过 IC 造成放电的现象。IC 对于静电放电的耐受性可通过测试以下三种模型来决定:人体模型 (HBM)、机器模型 (MM) 以及元件充电模型 (CDM)。

[0003] 为了开发用于电气以及电子零组件、组或设备 (除电子引爆装置 (electrically initiated explosive device) 外) 的静电放电保护的静电放电控制方案 (Electrostatic Discharge Control Program) 所制定的静电放电协会标准, ANSI/ESD-S20.20-1999 (1999 年 8 月 4 日), 提供了应用于该三种模型的静电放电感度测试。该人体模型代表从站立者的指尖放电至装置的导线。在该人体模型静电放电测试电路内, 利用 100 皮法 (pF) 电容器代表人体的有效静电容量, 通过切换组件以及代表人体有效阻抗的 1,500 欧姆串联电阻放电进入被测装置, 此放电为上升时间 2-10 纳秒 (nS) 以及大约 150nS 脉冲周期的双指数 (double exponential) 波形。

[0004] 该机器模型代表从诸如充电板组、充电缆线或自动测试器的导电臂这类项目的快速放电。机器的有效静电容量大约是 200pF 通过 500 纳亨 (nH) 电感器直接放电至装置, 因为机器的有效阻抗大约是零。该放电为具有峰值电流大约 3.8 安培 (A) 而振荡频率大约 16 兆赫兹 (MHz) 的正弦衰减波形 (Sinusoidal Decaying Waveform)。

[0005] 该元件充电模型为当装置通过摩擦或静电处理获得电荷, 然后突然接触接地物体或表面的现象。图 1 为说明元件充电模型现象的示意图。请参阅图 1, 大部分电荷都累积在基板 (Substrate) 内, 包含该装置的基座 (Base)、衬底 (Bulk) 或井 (Well), 并且平均散布在该基板内。不像该人体模型和该机器模型, 该元件充电模型包含装置本身变成已充电并放电至接地端的情况。其上升时间一般低于 200 皮秒 (pS), 并且整个静电放电事件的发生时间少于 2nS。放电期间电流强度可到达数十安培, 这可能明显地大于该人体模型和该机器模型的电流。

[0006] 因为该电荷主要储存在该基板内, 输入级金属氧化物半导体 (MOS) 晶体管的栅极氧化物 (Gate Oxide) 可能容易受到充电装置静电放电损坏。图 2 为输入级反向器的传统静电放电保护电路图解电路图。请参阅图 2, 该静电放电保护电路包含静电放电箝制电路以及 n 型金属氧化物半导体 (NMOS) 晶体管 Mn1, 并且该输入级反向器包含 p 型金属氧化物半导体 (PMOS) 晶体管 Mp5 以及 NMOS 晶体管 Mn5。设计了该静电放电保护电路以用于该人体模型和该机器模型的静电放电保护, 不过可能无法提供有效的该元件充电模型的静电放电保护给该输入级反向器。当由于输入导电垫片 (Input Pad) 接地导致该元件充电模型的静电放电发生时, 由于负电荷所产生的该元件充电模型的静电放电电流 I_{ESD} 会让 NMOS 晶体

管 Mn5 的栅极氧化物受损。类似地,由于储存于该基板内的正电荷所产生的该元件充电模型的静电放电电流也会让 NMOS 晶体管 Mn5 的该栅极氧化物受损。

[0007] 目前已经有许多研究来保护 IC 免于该静电放电事件。在由 Mergens 等人在 Proc. of IEEE CICC, 2004, pp. 251-254 上发表标题为“Active-source-pump (ASP) technique for ESD design window expansion and ultra-thin gate oxide protection in sub-90nm Technologies”的论文当中,发现栅极至源极击穿电压 (Gate-to-Source Breakdown Voltage) 低于栅极至衬底击穿电压 (Gate-to-Bulk Breakdown Voltage)。因此,已经提出在纳米级互补金属氧化物半导体 (CMOS) 技术内降低栅极至源极电压以避免栅极氧化物受到该元件充电模型的静电放电损坏的源极端升压法,来增强静电放电耐受程度。

发明内容

[0008] 本发明涉及具备静电放电保护的电路。本发明的一个实施例可提供一种可提供静电放电保护的电路,该电路可包含第一晶体管,可包含第一栅极与第一源极,该第一栅极连接至导电垫片;阻抗装置,可位于该第一源极与可提供电阻器的第一电源线之间;第二晶体管,可包含第二栅极与第二源极,该第二源极可通过该阻抗装置连接至该第一电源线;以及箝制装置,可位于该第一电源线与第二电源线之间,其中当该导电垫片相对接地时,该箝制装置可导引静电放电电流的第一部分,且该第二晶体管可导引该静电放电电流的第二部分。

[0009] 本发明的某些实施例可提供一种可提供静电放电保护的电路,该电路可包含第一晶体管,可包含第一栅极与第一源极,该第一栅极可连接至导电垫片;阻抗装置,可位于该第一源极与可提供电阻器的第一电源线之间;第二晶体管,可包含第二源极,该第二源极可通过该阻抗装置连接至该第一电源线;箝制装置,可位于该第一电源线与第二电源线之间,以及第三晶体管,当该导电垫片相对接地时,可通过导引静电放电电流的第一部分通过该箝制装置,其中当该静电放电电流的该第一部分通过该箝制装置时,该第二晶体管可导引该导电垫片与该第一电源线之间该静电放电电流的第二部分。

[0010] 本发明的其它实施例也可提供一种可提供静电放电保护的电路,该电路可包含第一晶体管,可包含第一栅极与第一源极,该第一栅极连接至导电垫片;阻抗装置,可位于该第一源极与可提供电阻器的第一电源线之间;以及第二晶体管,可包含通过该阻抗装置连接至该第一电源线的第二源极,当该导电垫片利用导引该导电垫片与该第一电源线之间部分静电放电电流来相对接地时,该第二晶体管可增加该第一源极上电压电平。

[0011] 在下列说明中将公布部分本发明的其特点与优点,并且有些部分从说明中就可理解,或者熟知本发明就可知道。通过待审中的权利要求中具体指明的元件与组合,如此就可实现并维持本发明的特点与优点。

[0012] 可了解到,上列一般说明以及下列详细说明都仅是示范,并不因此限制本发明。

附图说明

[0013] 参考附图,可对于上述总结以及下列本发明详细说明有更多了解。为了说明本发明,附图内显示的是较佳具体实施例。不过,应该了解,本发明并不受限于所示的精确配置与机构,其中:

- [0014] 图 1 为说明元件充电模型的示意图；
- [0015] 图 2 为输入级反向器的传统静电放电保护电路图解电路图；
- [0016] 图 3A 为依据本发明的实施例的静电放电保护电路的电路图；
- [0017] 图 3B 为依据本发明的实施例的图 3A 中所说明的静电放电保护电路的升压晶体管的配置图；
- [0018] 图 3C 为依据本发明的实施例的图 3A 中所说明的静电放电保护电路的升压晶体管的配置图；
- [0019] 图 3D 为图 3B 中的升压晶体管的剖面图；
- [0020] 图 4A 为依据本发明的实施例的图 3A 中所说明的静电放电保护电路的操作示意图；
- [0021] 图 4B 为依据本发明的实施例的图 3A 中所说明静电放电保护电路的操作示意图；
- [0022] 图 5A 为依据本发明的其它实施例的静电放电保护电路的电路图；
- [0023] 图 5B 为依据本发明的实施例的图 5A 中所说明的静电放电保护电路的升压晶体管的配置图；
- [0024] 图 5C 为依据本发明的实施例的图 5A 中的静电放电保护电路的升压晶体管的配置图；
- [0025] 图 5D 为图 5B 中的升压晶体管的剖面图；
- [0026] 图 6A 为依据本发明的实施例的图 5A 中所说明的静电放电保护电路的操作示意图；
- [0027] 图 6B 为依据本发明的实施例的图 5A 中所说明静电放电保护电路的操作示意图；
- [0028] 图 7 为依据本发明的其它实施例的静电放电保护电路的电路图；
- [0029] 图 8 为依据本发明的其它实施例的静电放电保护电路的电路图；
- [0030] 图 9 仍旧为依据本发明的其它实施例的静电放电保护电路的电路图；以及
- [0031] 图 10 为依据本发明的另一实施例的静电放电保护电路的电路图。
- [0032] 主要元件符号说明
- | | | |
|--------|-------|-------------|
| [0033] | 10 | 静电放电保护电路 |
| [0034] | 11c | 寄生电容器 |
| [0035] | 11n | NMOS 晶体管 |
| [0036] | 11npn | 寄生双极晶体管 |
| [0037] | 11p | PMOS 晶体管 |
| [0038] | 12 | 升压 NMOS 晶体管 |
| [0039] | 12-1 | 升压晶体管 |
| [0040] | 12p | PMOS 晶体管 |
| [0041] | 13 | 导电垫片 |
| [0042] | 14 | 自偏压电流触发电路 |
| [0043] | 14d | 二极管组 |
| [0044] | 14d-1 | 第一二极管串 |
| [0045] | 14d-2 | 第二二极管串 |
| [0046] | 14n | NMOS 晶体管 |

[0047]	15	N+ 扩散区
[0048]	15-1	N+ 电阻区
[0049]	16	N+ 扩散区
[0050]	16-1	N+ 电位接点
[0051]	17	图案金属层
[0052]	18	图案金属层
[0053]	50	静电放电保护电路
[0054]	51c	寄生电容器
[0055]	51d	寄生二极管
[0056]	51n	NMOS 晶体管
[0057]	51p	PMOS 晶体管
[0058]	51pnp	寄生双极晶体管
[0059]	52	升压 NMOS 晶体管
[0060]	52-1	升压晶体管
[0061]	52n	NMOS 晶体管
[0062]	52p	PMOS 晶体管
[0063]	53	导电垫片
[0064]	54	自偏压电流触发电路
[0065]	54d	二极管组
[0066]	54d-1	第一二极管串
[0067]	54d-2	第二二极管串
[0068]	54n	NMOS 晶体管
[0069]	54p	PMOS 晶体管
[0070]	54pd	寄生二极管
[0071]	55	P+ 扩散区
[0072]	55-1	P+ 电阻区
[0073]	56	N+ 扩散区
[0074]	56-1	N+ 电位接点
[0075]	57	金属层
[0076]	58	金属层
[0077]	70	静电放电保护电路
[0078]	71	静电放电箝制电路
[0079]	71n	NMOS 晶体管
[0080]	71d	寄生二极管
[0081]	80	静电放电保护电路
[0082]	81	静电放电箝制电路
[0083]	82	静电放电箝制电路
[0084]	82d	寄生二极管
[0085]	82p	PMOS 晶体管

[0086]	90	静电放电保护电路
[0087]	92n	NMOS 晶体管
[0088]	94	自偏压电流触发电路
[0089]	94n	NMOS 晶体管
[0090]	96n	NMOS 晶体管
[0091]	100	静电放电保护电路
[0092]	101	第一自偏压电流触发电路
[0093]	101-1	静电放电箝制电路
[0094]	102	第二自偏压电流触发电路
[0095]	102-1	静电放电箝制电路
[0096]	103	第一升压电路
[0097]	103-1	NMOS 晶体管
[0098]	104	第二升压电路
[0099]	104-1	PMOS 晶体管
[0100]	120	栅极
[0101]	120-1	栅极
[0102]	121	N+ 源极
[0103]	121-1	源极
[0104]	122	N+ 漏极
[0105]	122-1	漏极
[0106]	520	栅极
[0107]	520-1	栅极
[0108]	521	P+ 源极
[0109]	521-1	源极
[0110]	522	P+ 漏极
[0111]	522-1	漏极

具体实施方式

[0112] 在此将详细参考附图内说明的本发明实施例,并且尽可能地在所有图式中将使用相同的标号号码来代表相同或相似的部分。

[0113] 图 3A 为依据本发明的示例性实施例的静电放电保护电路 10 的电路图。请参阅图 3A,静电放电保护电路 10 可包含静电放电箝制电路,该静电放电箝制电路还可包含 PMOS 晶体管 11p、NMOS 晶体管 11n、自偏压电流触发 (SBCT) 电路 14 以及升压 (Pumping) NMOS 晶体管 12。位于导电垫片 13 附近的该静电放电箝制电路可提供人体模型静电放电保护和机器模型静电放电保护给 CMOS 反向器,该 CMOS 反向器可包含 PMOS 晶体管 12p 以及升压 NMOS 晶体管 12。该静电放电箝制电路的 PMOS 晶体管 11p 包含栅极、源极与衬底 (未编号),且都连接至 VDD1 线。更进一步地,PMOS 晶体管 11p 可包含连接至导电垫片 13 的漏极 (未编号)。该静电放电箝制电路的 NMOS 晶体管 11n 包含栅极、源极与衬底 (未编号),且都连接至 VSS1 线。更进一步地,NMOS 晶体管 11n 可包含连接至导电垫片 13 的漏极 (未编号)。

[0114] 该 CMOS 反向器的 PMOS 晶体管 12p 包含连接至 VDD2 线的源极与衬底（未编号）、连接至导电垫片 13 的栅极（未编号）以及连接至内部电路的漏极（未编号）。该 CMOS 反向器的升压 NMOS 晶体管 12 包含连接至 VSS2 线的源极与衬底、连接至导电垫片 13 的栅极以及连接至该内部电路的漏极。更进一步地，升压 NMOS 晶体管 12 的该源极通过浓密掺杂的 n 型 (N+) 扩散区 15（当成电阻器）以及通过浓密掺杂的 p 型 (P+) 扩散区 16（当成电位接点）连接至 VSS2 线。

[0115] 自偏压电流触发电路 14 可包含 NMOS 晶体管 14n 以及二极管组 14d。NMOS 晶体管 14n 包含通过 N+ 区 15 和 P+ 区 16 连接至 VSS2 线的源极与衬底（未编号）、通过电阻器连接至 VSS1 线的栅极（未编号）以及连接至导电垫片 13 的漏极。二极管组 14d 可包含彼此并联于 VSS1 与 VSS2 线之间的第一二极管串 14d-1 与第二二极管串 14d-2。

[0116] 图 3B 为依据本发明的实施例的图 3A 中所说明的静电放电保护电路 10 的升压 NMOS 晶体管 12 的配置图。请参阅图 3B，升压 NMOS 晶体管 12 可包含栅极 120、N+ 源极 121 以及 N+ 漏极 122。源极 121 通过 N+ 区 15 连接至 P+ 区 16。N+ 区 15 的阻抗可由 N+ 区 15 的宽度与长度来决定。源极 121、漏极 122 和 P+ 区 16 上形成图案金属层 17 当成接点，其电连接至图案金属层 17 上形成的其它图案金属层 18。

[0117] 图 3C 为依据本发明的实施例的图 3A 中所说明的静电放电保护电路 10 的升压晶体管 12-1 的配置图。请参阅图 3C，升压晶体管 12-1 可包含多指结构 (Multi-Finger)，还可包含多个栅极 120-1、源极 121-1 以及漏极 122-1。每一源极 121-1 可通过 N+ 电阻区 15-1 连接至 P+ 电位接点区 16-1。

[0118] 图 3D 为图 3B 中的升压 NMOS 晶体管 12 沿着 AA 线的剖面图。请参阅图 3D，升压 NMOS 晶体管 12 可包含形成于 p 型井内的 N+ 区 121 和 122，其中该 p 型井形成于 p 型基板 (P 基板) 内。N+ 区 121 和 122 可分别当成升压 NMOS 晶体管 12 的该源极与该漏极。该 P 型井内形成的其它 N+ 区 15 可当成电阻器。源极 121 通过 N+ 区 15 连接至 P+（电位接点）区 16。

[0119] 图 4A 为依据本发明的实施例的图 3A 中所说明的静电放电保护电路 10 的操作示意图。请参阅图 4A，若该基板充负电并且导电垫片 13 相对接地，则会发生负的元件充电模型静电放电电压。部分该元件充电模型静电放电电压由 NMOS 晶体管 11n 的该栅极与该漏极形成的寄生电容器 11c（用虚线表示）迅速耦合。耦合的该电压可触发由 NMOS 晶体管 11n 的该漏极、该衬底以及该源极所形成的寄生双极晶体管 11npn（用虚线表示）。该元件充电模型静电放电电压电流的第一部分电流 I_1 可通过开启的寄生双极晶体管 11npn 以及正向偏压的第二二极管串 14d-2 来放电。请注意，因为该基板具有负电荷，所以第一部分电流 I_1 从导电垫片 13 流向该基板。

[0120] NMOS 晶体管 14n 的栅极利用流过第二二极管串 14d-2 的第一部分电流 I_1 来偏压。然后 NMOS 晶体管 14n 开启以导引该元件充电模型静电放电电流的第二部分电流 I_2 ，第二部分电流 I_2 一般小于第一部分电流 I_1 。第二部分电流 I_2 从导电垫片 13 通过 N+ 区 15 和 P+ 区 16 流向该基板，第一部分电流 I_1 与第二部分电流 I_2 升压 NMOS 晶体管 12 的该源极、增加该源极的电压电平并降低升压 NMOS 晶体管 12 的栅极至源极电压。如先前所讨论，该栅极至源极电压的降低有助于降低栅极氧化物受损的风险，因此增强升压 NMOS 晶体管 12 的静电放电耐受度。

[0121] 图 4B 为依据本发明的实施例的图 3A 中所说明静电放电保护电路 10 的操作示意图。请参阅图 4B, 若该基板充正电并且导电垫片 13 相对接地, 则会发生正的元件充电模型静电放电电压。元件充电模型静电放电电流的第三部分电流 I_3 可通过由 NMOS 晶体管 11n 的该衬底和该漏极形成的第一二极管串 14d-1 和寄生二极管 11d 来放电。请注意, 因为该基板具有正电荷, 所以第三部分电流 I_3 从该基板流向导电垫片 13。该元件充电模型静电放电电流的第四部分电流 I_4 可通过由 NMOS 晶体管 14n 的该衬底和该漏极形成的寄生二极管 14d 放电至导电垫片 13。第四部分电流 I_4 升压 NMOS 晶体管 12 的该源极、增加该源极电压电平, 并且降低升压 NMOS 晶体管 12 的该栅极至源极电压。

[0122] 图 5A 为依据本发明的其它实施例的静电放电保护电路 50 的电路图。请参阅图 5A, 静电放电保护电路 50 可包含静电放电箝制电路, 该静电放电箝制电路可包含 PMOS 晶体管 51p 和 NMOS 晶体管 51n、自偏压电流触发 (SBCT) 电路 54 以及升压 PMOS 晶体管 52。位于导电垫片 53 附近的该静电放电箝制电路可提供人体模型静电放电保护和机器模型静电放电保护给 CMOS 反向器, 该反向器可包含 PMOS 晶体管 52 以及 NMOS 晶体管 52n。该静电放电箝制电路的 PMOS 晶体管 51p 可包含栅极、源极与衬底, 这所有 (未编号) 都连接至 VDD1 线。更进一步地, PMOS 晶体管 51p 可包含连接至导电垫片 53 的漏极 (未编号)。该静电放电箝制电路的 NMOS 晶体管 51n 可包含栅极、源极与衬底, 这所有 (未编号) 都连接至 VSS1 线。更进一步地, NMOS 晶体管 51n 可包含连接至导电垫片 53 的该漏极 (未编号)。

[0123] 该 CMOS 反向器的 NMOS 晶体管 52n 可包含连接至 VSS2 线的源极与衬底 (未编号)、连接至导电垫片 53 的栅极 (未编号) 以及连接至内部电路的漏极 (未编号)。该 CMOS 反向器的 PMOS 晶体管 52 可包含连接至 VDD2 线的源极与衬底、连接至导电垫片 53 的栅极以及连接至该内部电路的漏极。更进一步地, PMOS 晶体管 52 的该源极可通过浓密掺杂的 P+ (p 型) 扩散区 55 (当成电阻器) 以及通过浓密掺杂的 N+ (n 型) 扩散区 56 (当成电位接点) 连接至 VDD2。

[0124] 自偏压电流触发电路 54 可包含 PMOS 晶体管 54p 以及二极管组 54d。PMOS 晶体管 54p 可包含通过 P+ 扩散区 55 和 N+ 扩散区 56 连接至 VDD2 线的源极与衬底 (未编号)、连接至 VDD1 线的栅极 (未编号) 以及连接至导电垫片 53 的漏极。二极管组 54d 可包含彼此并联于 VDD1 与 VDD2 线之间的第一二极管串 54d-1 与第二二极管串 54d-2。

[0125] 图 5B 为依据本发明的实施例的图 5A 中所的静电放电保护电路 50 的升压晶体管 52 的配置图。请参阅图 5B, 升压晶体管 52 可包含栅极 520、P+ 源极 521 以及 P+ 漏极 522。源极 521 通过 P+ 扩散区 55 (P+ 电阻区) 连接至 N+ 扩散区 56 (N+ 电位接点)。P+ 扩散区 55 的阻抗可由 P+ 扩散区 55 的宽度与长度来决定。源极 521、漏极 522 和 N+ 扩散区 56 上形成图案金属层 57 当成接点, 可电连接至图案金属层 57 上形成的其它图案金属层 58。

[0126] 图 5C 为依据本发明的实施例的图 5A 中的静电放电保护电路 50 的升压晶体管 52-1 的配置图。请参阅图 5C, 升压晶体管 52-1 包含多指结构, 还包含多个栅极 520-1、源极 521-1 以及漏极 522-1。每一源极 521-1 都通过 P+ 扩散区 55-1 连接至 N+ 扩散区 56-1。

[0127] 图 5D 为图 5B 中的升压晶体管 52 沿着 BB 线的剖面图。请参阅图 5D, 升压晶体管 52 可包含形成于 n 型井 (N 井) 内的 P+ 源极 521 和 P+ 漏极 522, 这轮流形成于 p 型基板 (P 基板) 内。P+ 源极区 521 和 P+ 漏极 522 分别当成升压 NMOS 晶体管 52 的该源极与该漏极。该 N 井内可形成的其它 P+ 扩散区 55 当成电阻器。P+ 源极 521 通过 P+ 扩散区 55 连接至

N+ 扩散区 56。

[0128] 图 6A 为依据本发明的实施例的图 5A 中所说明的静电放电保护电路 50 的操作示意图。请参阅图 6A, 若该 N 井 (另请参阅图 5D) 充正电并且导电垫片 53 相对接地, 则会发生正的元件充电模型静电放电电压。部分该元件充电模型静电放电电压可利用由 PMOS 晶体管 51p 的该栅极与该漏极形成的寄生电容器 51c (用虚线表示) 迅速耦合。耦合的电压触发由 PMOS 晶体管 51p 的该漏极、该衬底以及该源极所形成的寄生双极晶体管 51npn (用虚线表示)。元件充电模型静电放电电流的第五部分电流 I_5 通过开启寄生双极晶体管 51npn 以及第一二极管串 54d-1 放电至导电垫片 53。

[0129] PMOS 晶体管 54p 的该栅极可利用流过第一二极管串 54d-1 的第五部分电流 I_5 来偏压。然后 PMOS 晶体管 54p 开启以导引元件充电模型静电放电电流的第六部分电流 I_6 。第六部分电流 I_6 从该基板通过 P+ 扩散区 55 和 N+ 扩散区 56 流向导电垫片 53, 以升压晶体管 52 的该源极、增加该源极的电压电平并降低升压晶体管 52 的栅极至源极电压。

[0130] 图 6B 为依据本发明的实施例的图 5A 中所说明静电放电保护电路 50 的操作示意图。请参阅图 6B, 若该 N 井充负电并且导电垫片 53 相对接地, 则会发生负的元件充电模型静电放电电压。元件充电模型静电放电电流的第七部分电流 I_7 通过由 PMOS 晶体管 51p 的该衬底和该漏极形成的第二二极管串 54d-2 和寄生二极管 51d 来放电。元件充电模型静电放电电流的第八部分电流 I_8 可通过由 PMOS 晶体管 54p 的该衬底和该漏极形成的寄生二极管 54pd 来放电。第八部分电流 I_8 流过 P+ 扩散区 55 和 N+ 扩散区 56 流向导电垫片 53, 升压晶体管 52 的该源极、增加该源极的电压电平并降低升压晶体管 52 的该栅极至源极电压。

[0131] 图 7 为依据本发明的其它实施例的静电放电保护电路 70 的电路图。请参阅图 7, 除了静电放电箝制电路 71 以外, 静电放电保护电路 70 类似于图 3A 中的说明的静电放电保护电路 10。静电放电箝制电路 71 取代二极管组, 可包含 NMOS 晶体管 71n, 其作用在于提供寄生二极管 71d 来回应元件充电模型静电放电电压。

[0132] 图 8 为依据本发明的其它实施例的静电放电保护电路 80 的电路图。请参阅图 8, 除了静电放电箝制电路 81 和 82 以外, 静电放电保护电路 80 类似于图 7 中所说明的静电放电保护电路 70 的结构。静电放电箝制电路 82 可包含图 3A 内说明的二极管组以及图 7 内说明的 NMOS 晶体管的其中之一。本领域技术人员将会了解, 静电放电箝制电路 81 可由提供寄生二极管的其它静电放电箝制电路所取代。静电放电箝制电路 82 可包含 PMOS 晶体管 82p, 其作用在于提供寄生二极管 82d 来回应元件充电模型静电放电电压。

[0133] 图 9 仍旧为依据本发明的其它实施例的静电放电保护电路 90 的电路图。请参阅图 9, 除了以 NMOS 晶体管 96n 取代 N+ 电阻区以外, 静电放电保护电路 90 类似于图 8 内所说明的静电放电保护电路 80 的结构。自偏压电流触发电路 94 的 NMOS 晶体管 94n 可包含连接至 NMOS 晶体管 96n 漏极 (未编号) 的源极 (未编号) 和衬底 (未编号)。NMOS 晶体管 92n 可包含连接至 NMOS 晶体管 96n 的该漏极的源极 (未编号)。NMOS 晶体管 96n 还可包含栅极 (未编号) 连接至 VDD2 线, 以及源极 (未编号) 和衬底 (未编号) 连接至 VSS2 线。NMOS 晶体管 96n 可用来当成电阻器。

[0134] 图 10 为依据本发明的另实施例的静电放电保护电路 100 的电路图。请参阅图 10, 静电放电保护电路 100 可包含第一自偏压电流触发电路 101、第二自偏压电流触发电路

102、第一升压电路 103 以及第二升压电路 104。每一静电放电箝制电路 101-1 和 102-1 都可由二极管组与 MOS 晶体管的其中之一来取代。NMOS 晶体管 103-1 可取代 N+ 电阻区以及 P+ 电位接点。PMOS 晶体管 104-1 可由 P+ 电阻区以及 N+ 电位接点所取代。

[0135] 本领域技术人员将了解,在不背离本文的发明的概念下,可对本申请进行说明书中具体实施例以外的许多修改。因此可了解,本发明并不受限于所公开的特定具体实施例,而是由权利要求覆盖所有未背离本发明范畴的修改。

[0136] 进一步,在说明本发明的代表性具体实施例中,说明书中可能会以特定步骤顺序来呈现本发明的方法和 / 或处理。不过,具体而言,该方法或处理并不依赖此处公布的特定步骤顺序,该方法或处理不应受限于所说明的特定步骤顺序。本领域技术人员将会了解,可能会有其它步骤顺序。因此,说明书中公布的特定步骤顺序不应构成权利要求上的限制。此外,指引本发明方法与 / 或处理的权利要求不应受限在步骤的撰写顺序效能,本领域技术人员可了解,这些顺序可以改变并且仍旧在本发明的精神与领域内。

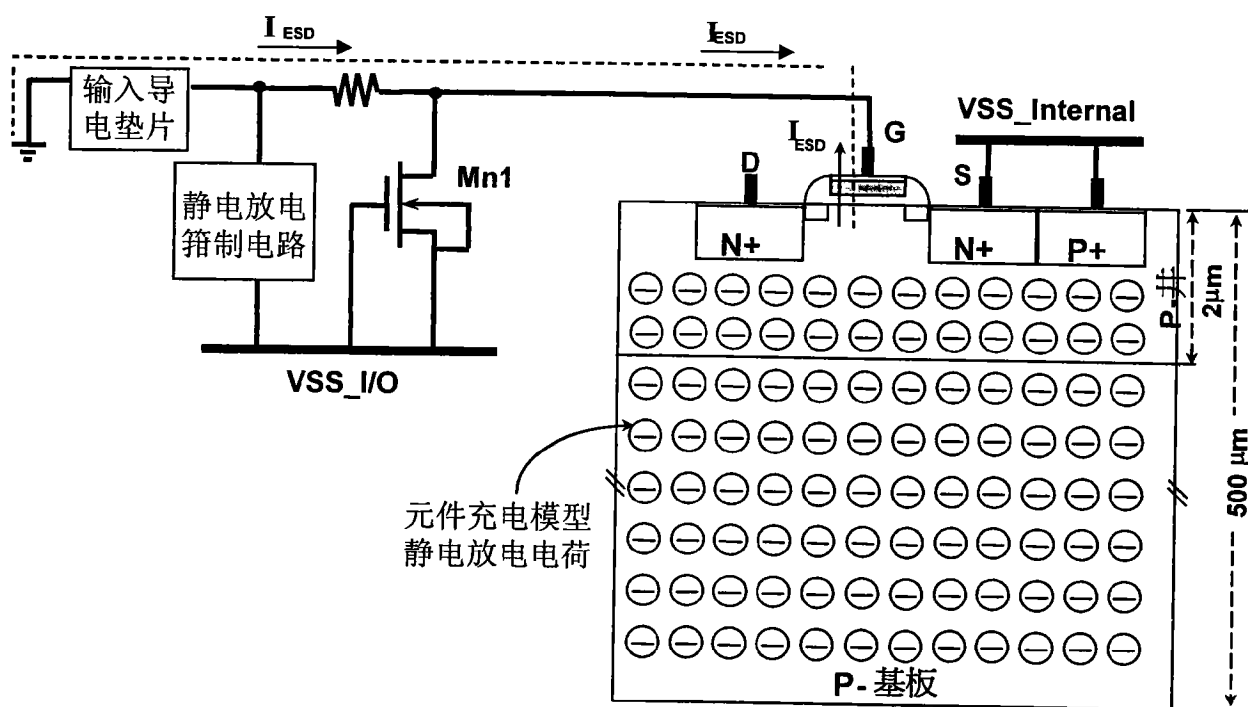


图 1 (现有技术)

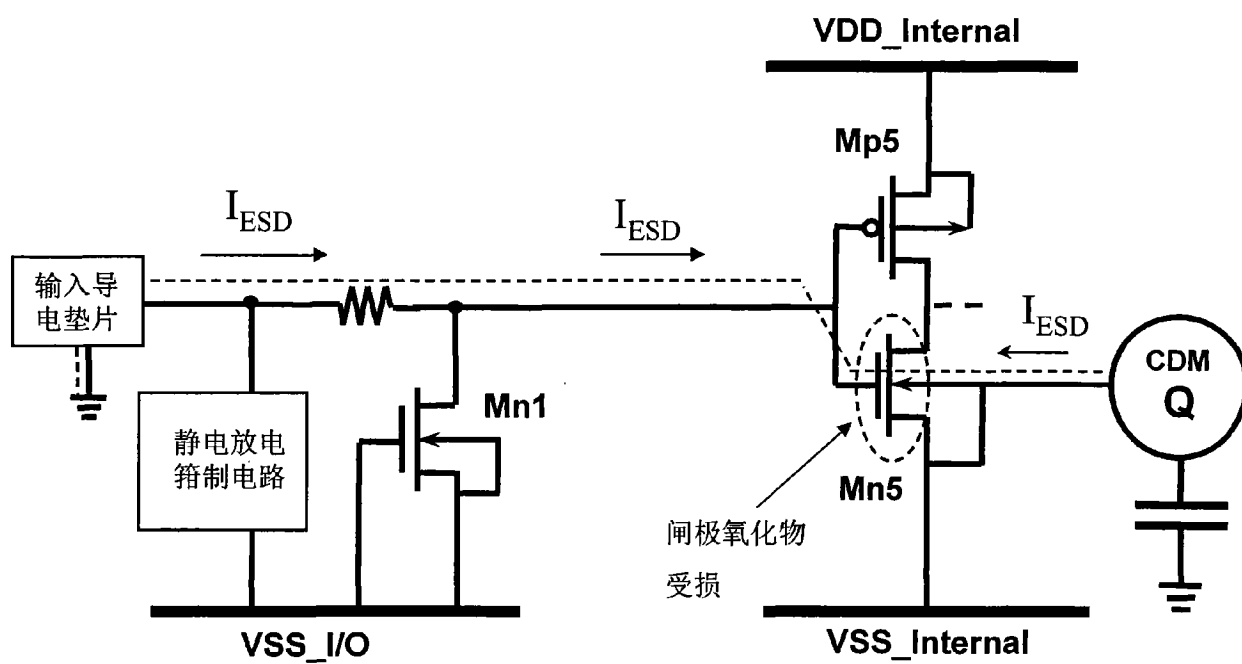


图 2 (现有技术)

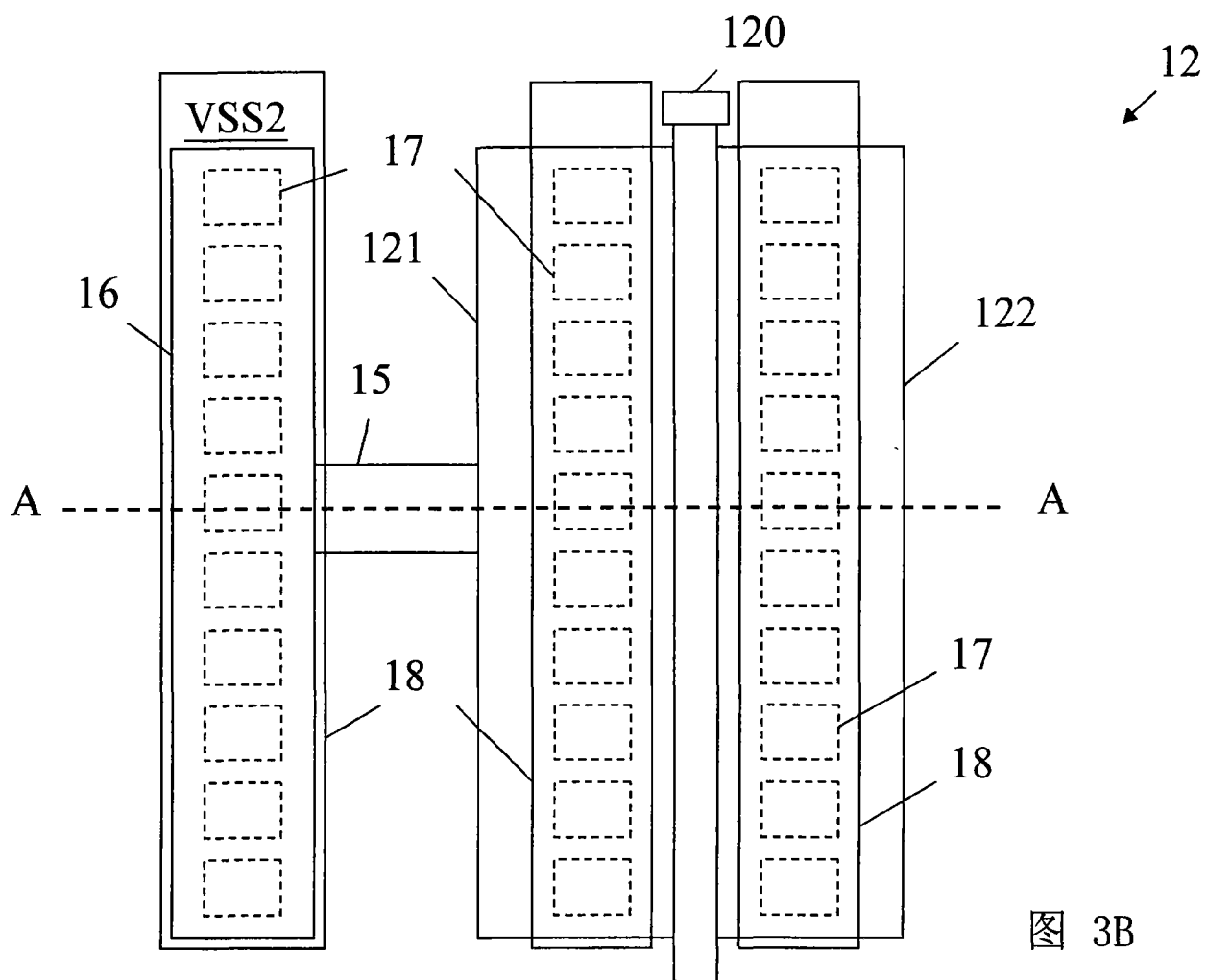


图 3B

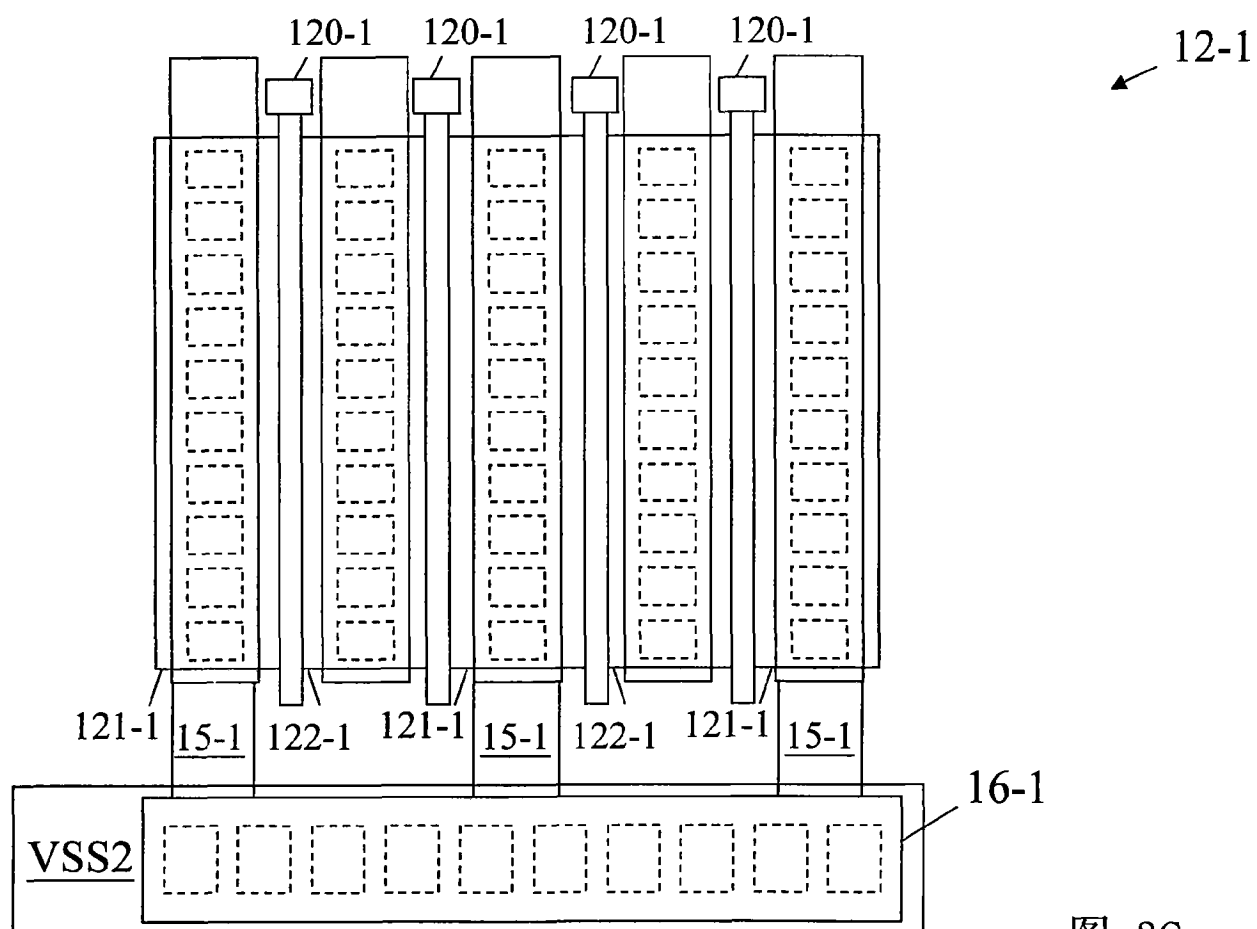


图 3C

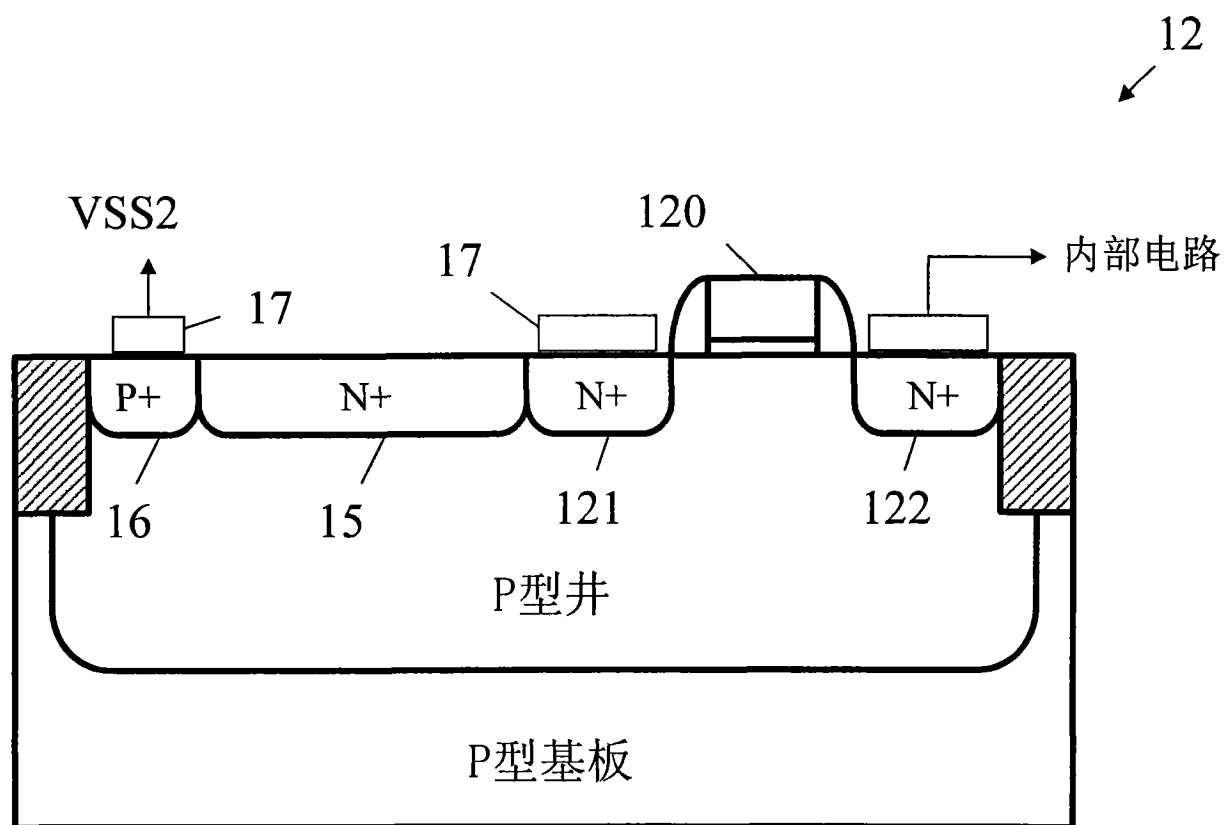


图 3D

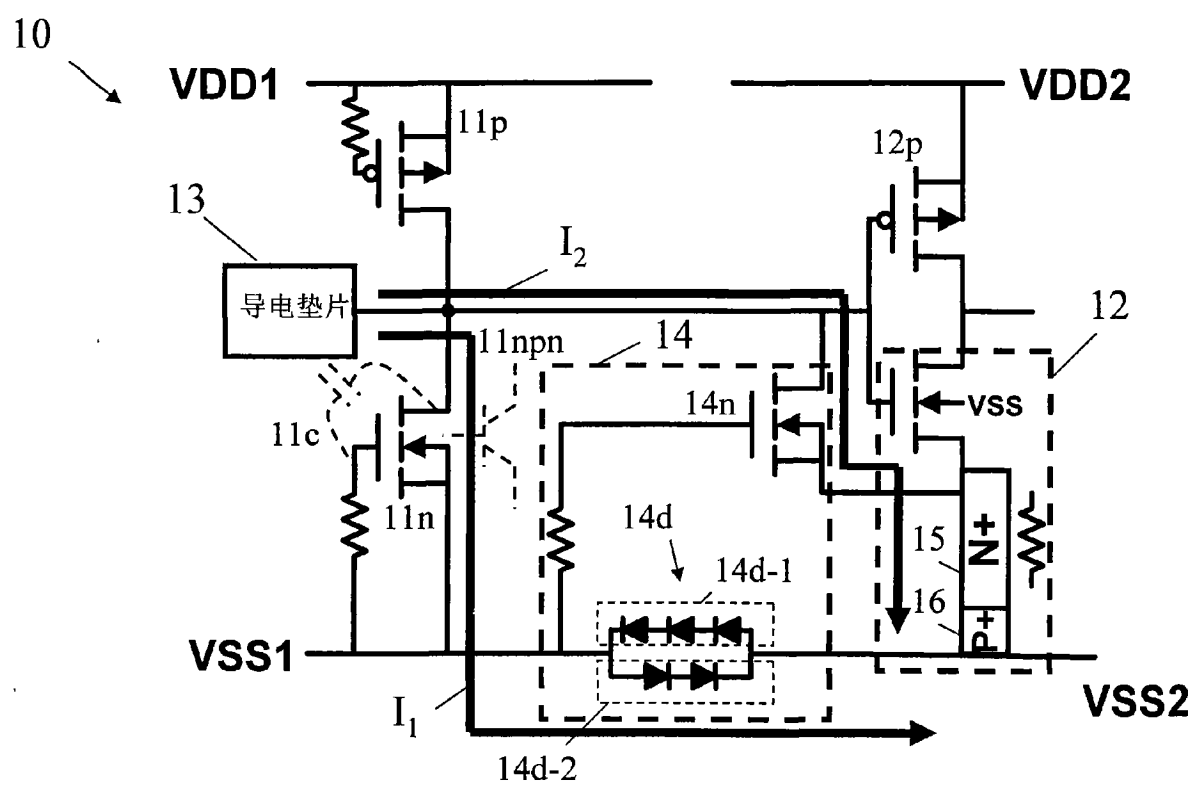


图 4A

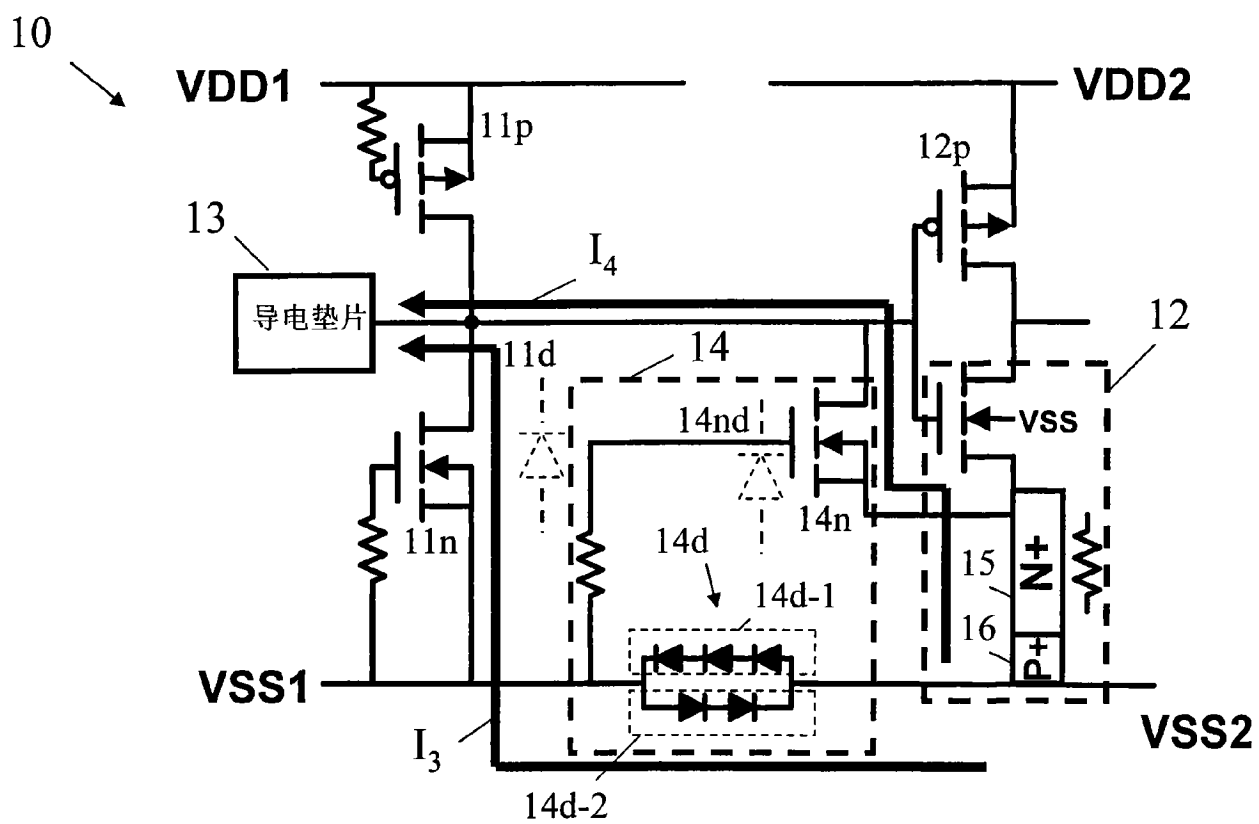


图 4B

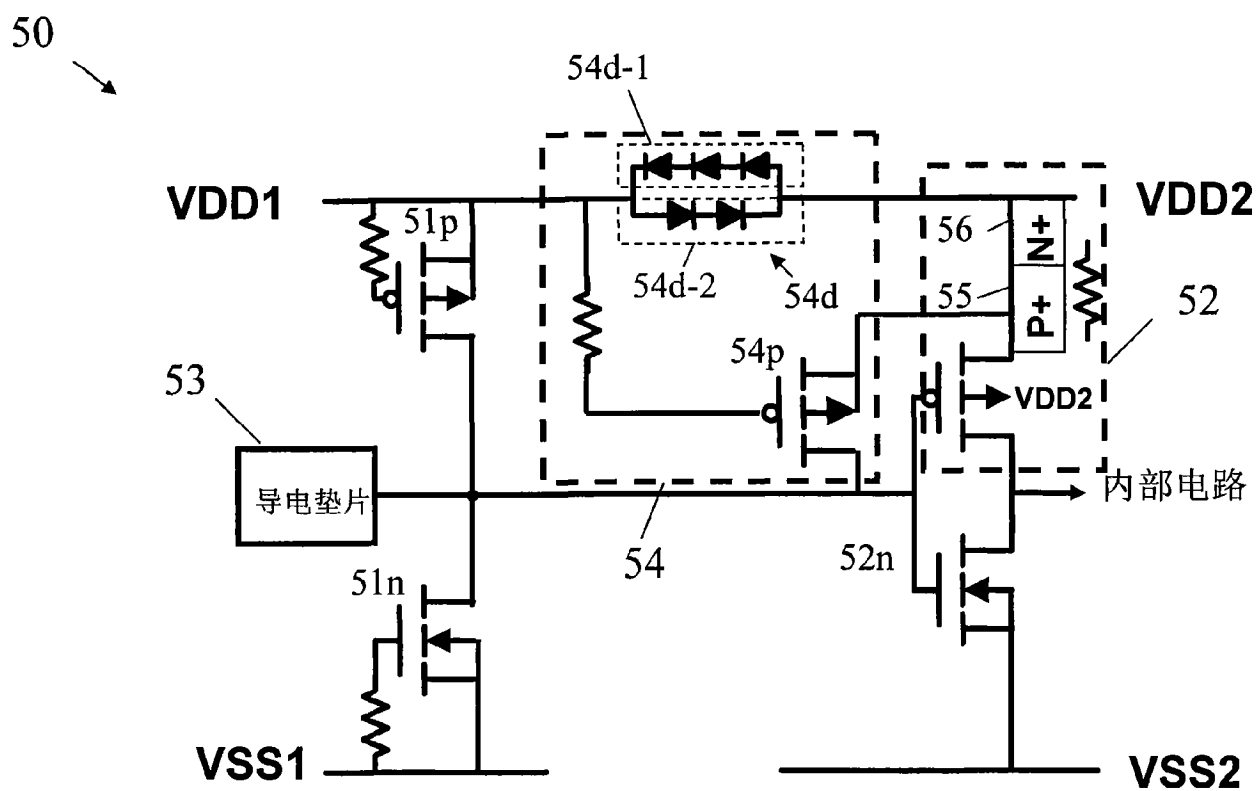
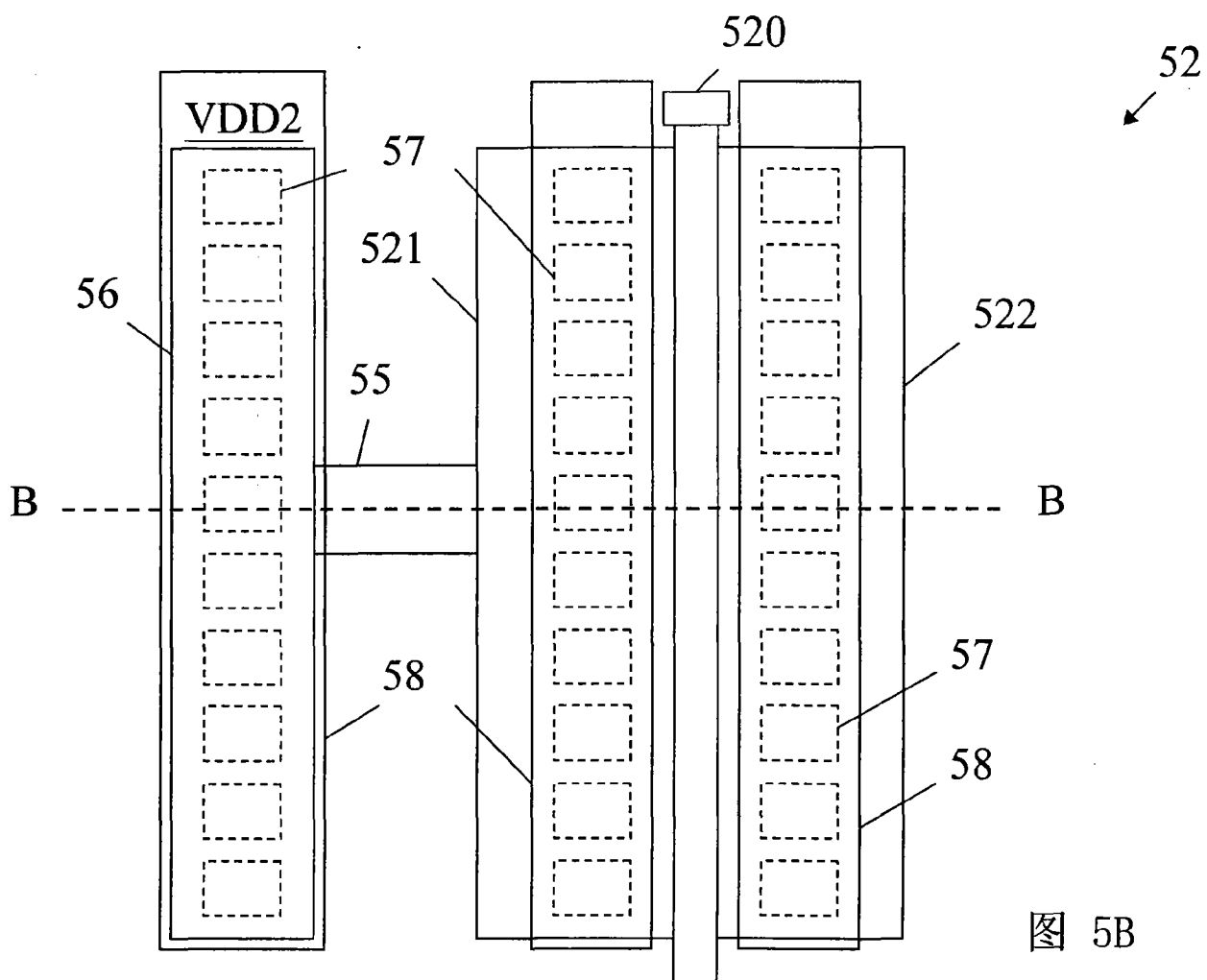


图 5A



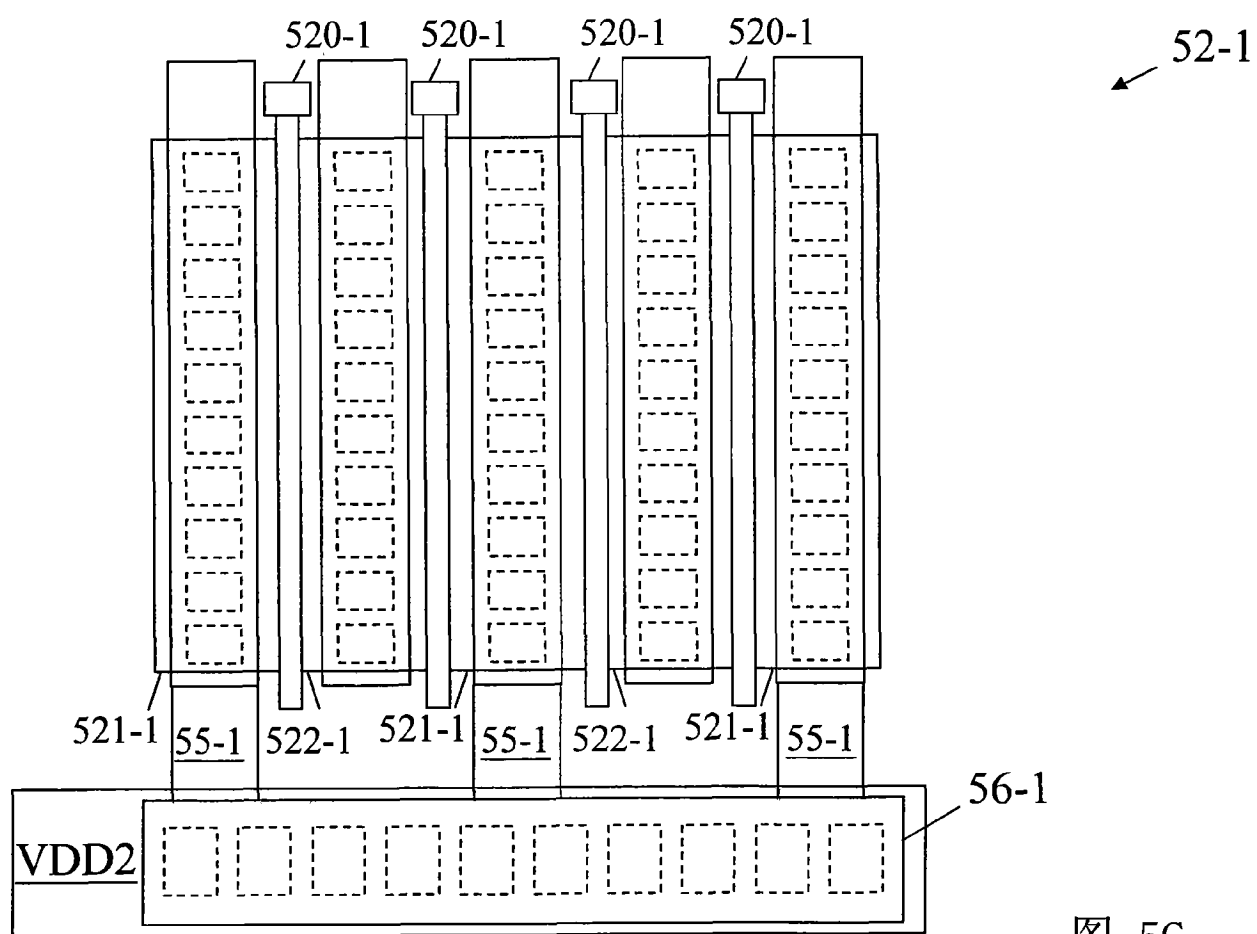


图 5C

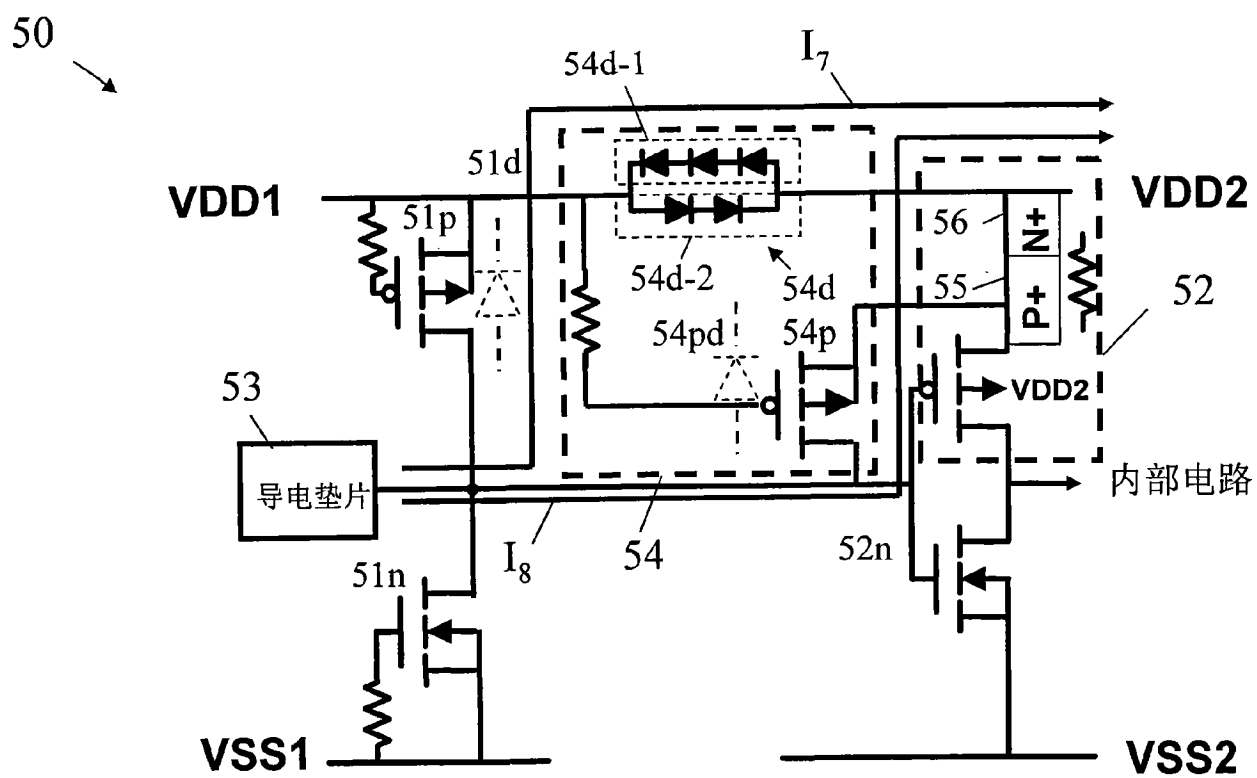


图 6B

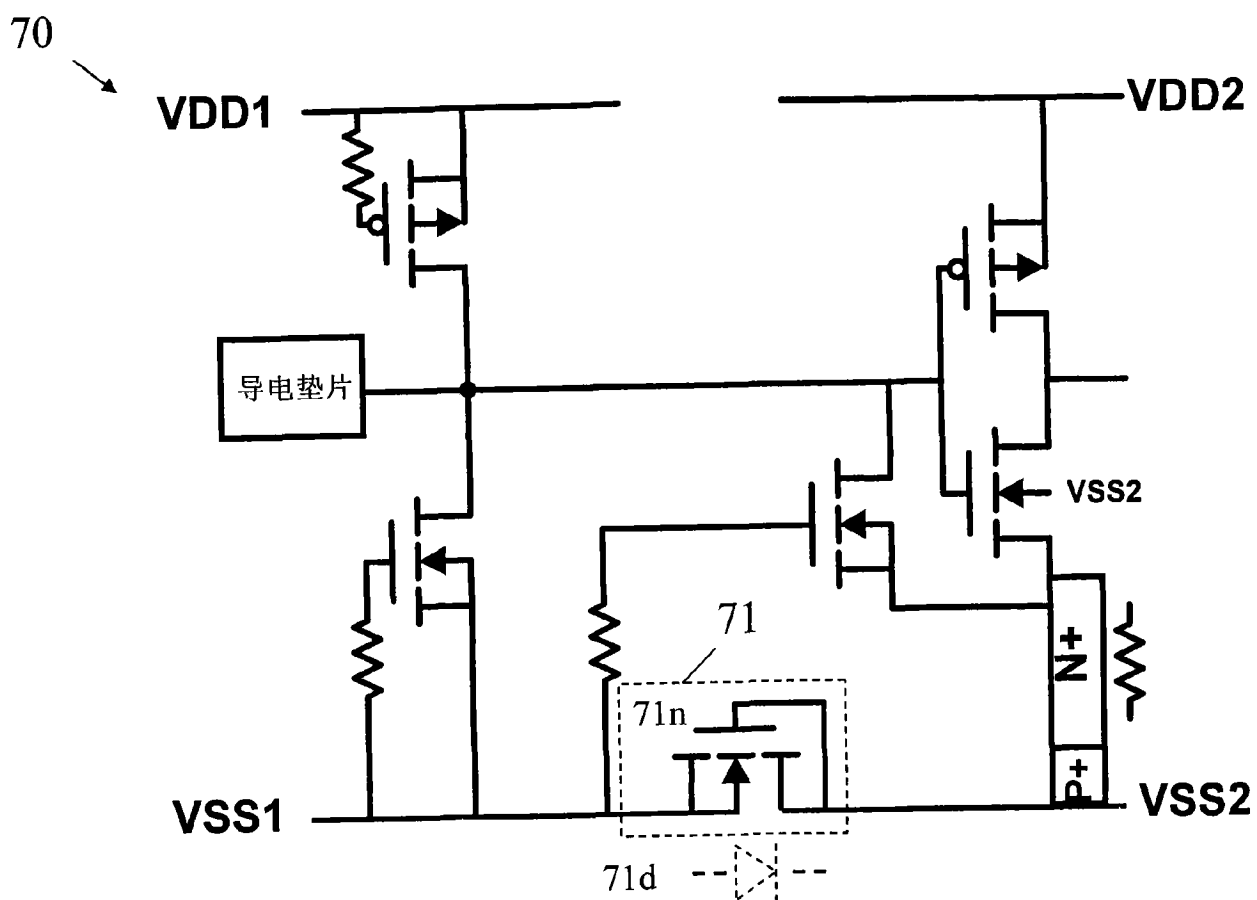


图 7

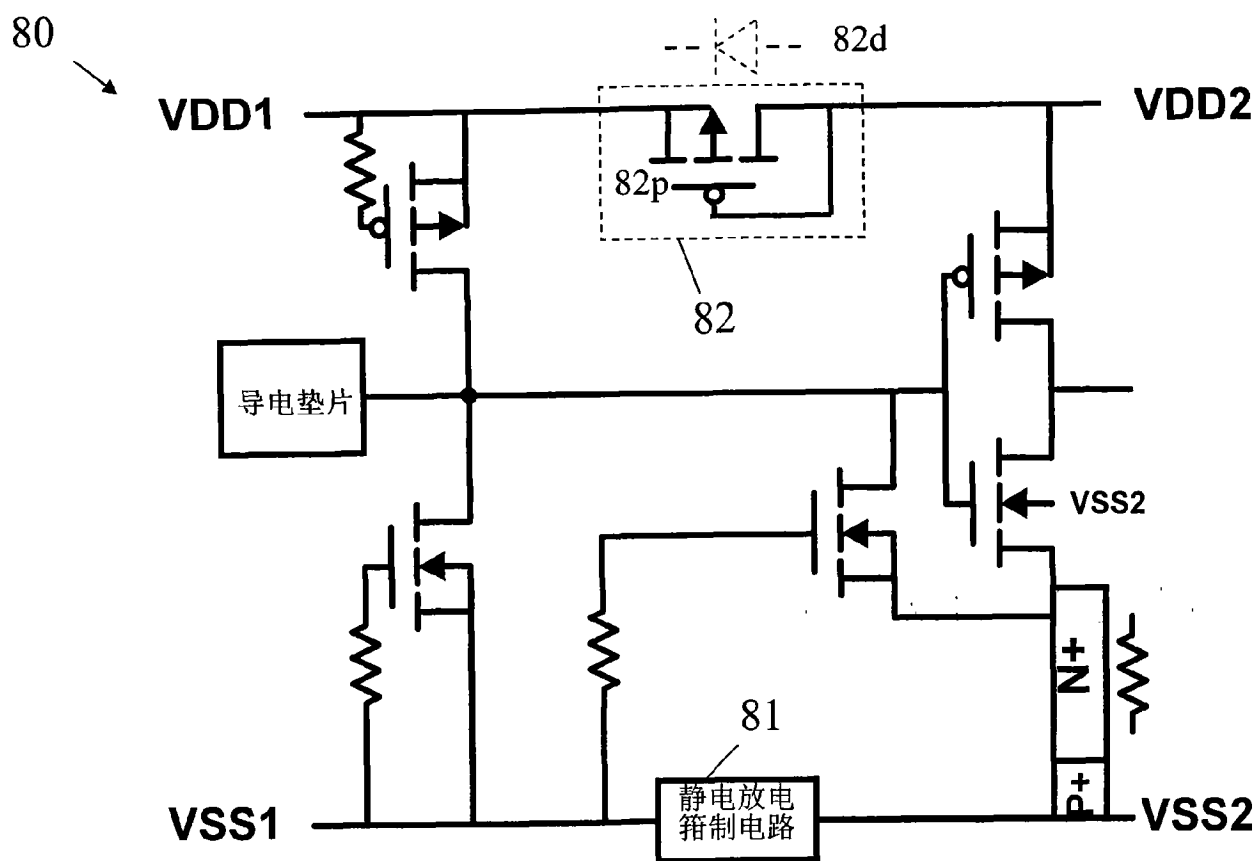


图 8

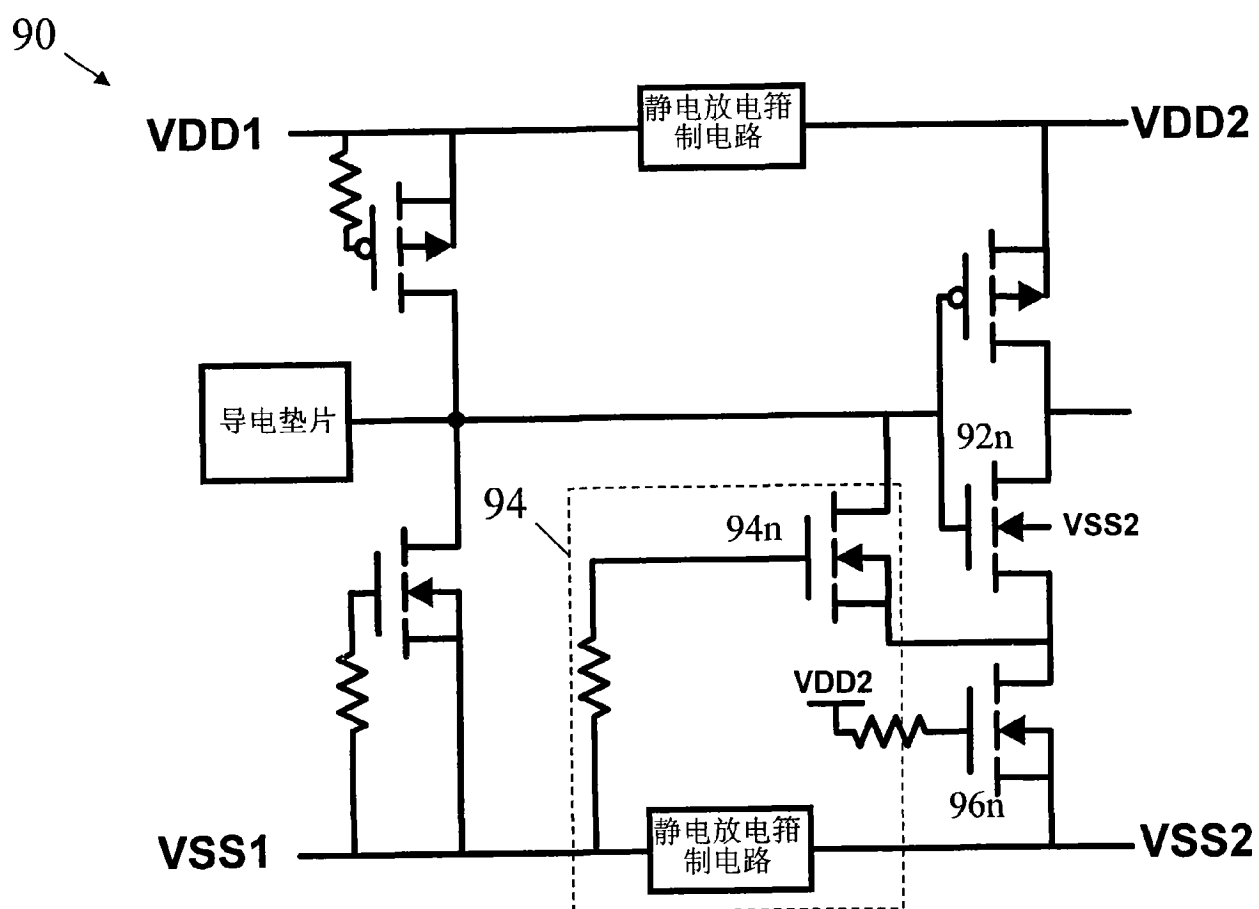


图 9

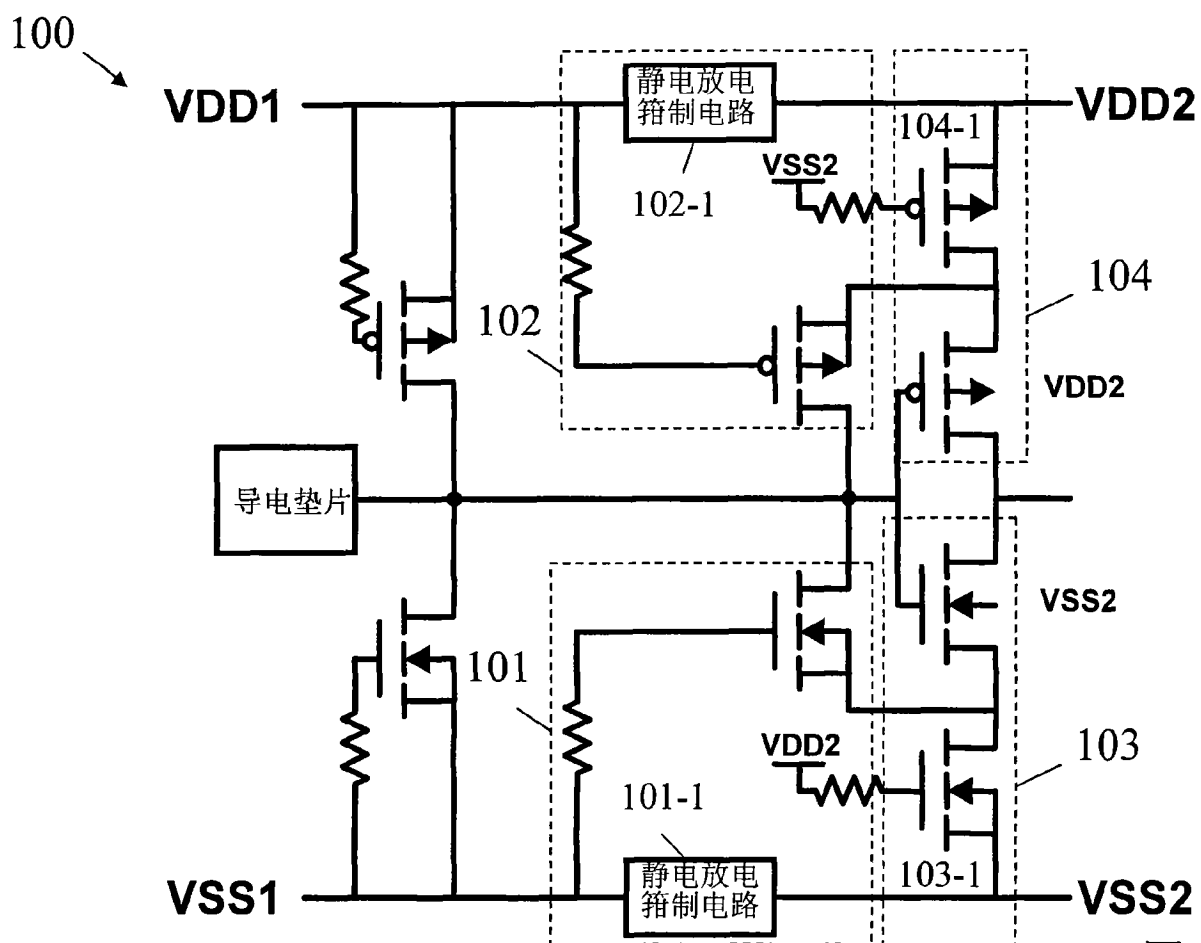


图 10