



(12) 发明专利

(10) 授权公告号 CN 101207098 B

(45) 授权公告日 2010.04.14

(21) 申请号 200610171229.7

(22) 申请日 2006.12.21

(73) 专利权人 智原科技股份有限公司

地址 中国台湾新竹市

(72) 发明人 柯明道 萧渊文 曾玉光

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 陶凤波

(51) Int. Cl.

H01L 23/482 (2006.01)

H01L 21/60 (2006.01)

(56) 对比文件

US 5742091 A, 1998.04.21, 说明书第3栏第20-31行、附图6.

审查员 许媛媛

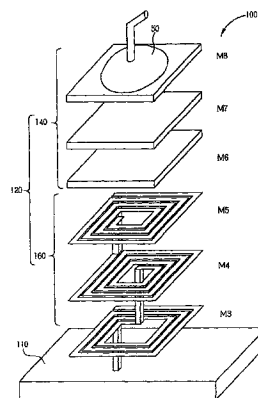
权利要求书 1 页 说明书 3 页 附图 3 页

(54) 发明名称

设置于半导体装置中的焊垫结构与相关方法

(57) 摘要

本发明揭露一种设置于半导体装置中的焊垫结构,以及用以形成该焊垫结构的方法。该半导体装置包含有基底,该焊垫结构包含有连接结构以及电感结构。该连接结构容许引线连接于其上。该电感结构耦合于该连接结构且设置于该基底与该连接结构之间,用以降低该引线与该基底间的等效电容值。



1. 一种设置于半导体装置中的焊垫结构,该半导体装置包含有基底,该焊垫结构包含有:

连接结构,用以容许引线连接于其上;以及

电感结构,耦合于该连接结构且设置于该基底与该连接结构之间,用以降低该引线与该基底间的等效电容值,并且该电感结构直接连接于基底上。

2. 如权利要求 1 所述的焊垫结构,其中该电感结构的面积等于该连接结构的面积。

3. 如权利要求 1 所述的焊垫结构,其中该电感结构包含有多个层金属层,该多个层金属层中的每一个金属层都形成线圈结构。

4. 如权利要求 3 所述的焊垫结构,其中该多个层金属层中每两个相邻的金属层通过导孔相互连接。

5. 一种于半导体装置上形成焊垫结构的方法,其包含有:

于该半导体装置的基底上方形成电感结构;以及

于该电感结构上方形成连接结构;

其中该电感结构与该连接结构构成该焊垫结构,该连接结构容许引线连接于其上,并且该电感结构直接连接于基底上。

6. 如权利要求 5 所述的方法,其中该电感结构的面积等于该连接结构的面积。

7. 如权利要求 5 所述的方法,其中该电感结构包含有多个层金属层,该多个层金属层中的每一个金属层都形成线圈结构。

8. 如权利要求 7 所述的方法,其中该多个层金属层中每两个相邻的金属层通过导孔相互连接。

9. 一种设置于半导体装置中的焊垫结构,该半导体装置包含有基底,该焊垫结构包含有:

连接结构,用以容许引线连接于其上;以及

电感结构,耦合于该连接结构且设置于该基底与该连接结构之间,用以降低该引线与该基底间的等效电容值,

其中该电感结构包含有多个层金属层,该多个层金属层中的每一个金属层都形成线圈结构。

10. 一种于半导体装置上形成焊垫结构的方法,其包含有:

于该半导体装置的基底上方形成电感结构;以及

于该电感结构上方形成连接结构;

其中该电感结构与该连接结构构成该焊垫结构,该连接结构容许引线连接于其上,并且,该电感结构包含有多个层金属层,该多个层金属层中的每一个金属层都形成线圈结构。

设置于半导体装置中的焊垫结构与相关方法

技术领域

[0001] 本发明涉及半导体装置中的焊垫,尤指一种可降低引线与基底间的等效电容值的焊垫结构。

背景技术

[0002] 晶片是现今各种电子装置中极常见的组成元件之一。一般而言,晶片上必须设置有稳固的焊垫 (Bonding pad),让外部的引线 (Bonding wire) 可以通过焊垫电连接至晶片的核心电路。经由焊垫,晶片中的核心电路可将输出信号传送至外部电路,或接收外部电路传送来的输入信号。而在公知的半导体工艺当中,为了避免剥离效应 (Peel-off effect) 的发生,并确保焊垫的可靠度 (Reliability),一般使用多个层金属层来作为焊垫的主要结构。

[0003] 然而,对于公知的焊垫结构而言,每两个相邻的金属层间都会存在寄生电容 (Parasitic capacitance),最下方的金属层与晶片的基底 (Substrate) 间也会存在寄生电容,整体来看,该些寄生电容相当于将引线连接至基底的等效电容。由于引线与基底间存在等效电容,在外部电路通过引线及焊垫将信号传送至核心电路的过程中,或是在核心电路通过焊垫及引线将信号传送至外部电路的过程中,信号都会因焊垫的等效电容而散逸 (Loss) 至基底。此外,焊垫的等效电容也会降低焊垫对于基底的噪声抗扰性 (Noise immunity),而导致噪声指数 (Noise figure) 的增加。这些负面的效应都会降低晶片的整体效能,特别是对于高速应用电路的晶片而言,晶片效能降低的情形会更加的明显。

发明内容

[0004] 因此,本发明的目的之一,在于提供一种可降低引线与基底间的等效电容值的焊垫结构,以解决公知技术所面临的问题。

[0005] 本发明的实施例揭露一种设置于半导体装置中的焊垫结构。该半导体装置包含有基底,该焊垫结构包含有连接结构以及电感结构。该连接结构容许引线连接于其上。该电感结构耦合于该连接结构且设置于该基底与该连接结构之间,用以降低该引线与该基底间的等效电容值。

附图说明

[0006] 图 1、3 和 4 为本发明的焊垫结构的实施例示意图。

[0007] 图 2 为图 1 的焊垫结构的等效电路图。

[0008] 附图标记说明

[0009] 100、300、400 半导体装置

[0010] 110、310、410 基底

[0011] 120、320、420 焊垫结构

[0012] 140、340、341、440、441、442、443 连接结构

- [0013] 160、360、460 电感结构
 [0014] C_{pad} 、 C_{para} 等效电容
 [0015] L 等效电感
 [0016] M3、M4、M5、M6、M7、M8 金属层

具体实施方式

[0017] 图 1 为本发明实施例的焊垫结构的示意图。本实施例的焊垫结构 120 设置于半导体装置 100 中,用来将引线 50 电连接至半导体装置 100 中的核心电路(未绘示)。其中,半导体装置 100 包含有基底 110,焊垫结构 120 则包含有连接结构 140 以及电感结构 160。

[0018] 连接结构 140 用来连接引线 50 与该核心电路,以容许电信号经由连接结构 140 传送给引线 50 与该核心电路之间。在本实施例中,连接结构 140 共包含有三层金属层 M6 ~ M8,其中,金属层 M6 与 M7 通过一个或多个导孔(Via)相互连接、金属层 M7 与 M8 通过一个或多个导孔相互连接、金属层 M8 则可容许引线 50 连接于其上表面。

[0019] 电感结构 160 耦合于连接结构 140,用来降低引线 50 与基底 110 间的等效电容值(Effective capacitance) C_{eff} 。在本实施例中,电感结构 160 共包含有三层金属层 M3 ~ M5,其中,每一金属层都形成线圈结构(Coil structure),而金属层 M3 所形成的线圈结构通过导孔连接至基底 110,以及通过另一导孔连接至金属层 M4 所形成的线圈结构,金属层 M4 所形成的线圈结构则通过导孔连接至金属层 M5 所形成的线圈结构。

[0020] 此外,焊垫结构 120 中各金属层间的空隙,以及电感结构 160 中各层线圈结构内的空隙,则可由介电材质(Dielectric material)来加以填补。

[0021] 图 2 为焊垫结构 120 的等效电路图,其中, C_{pad} 为引线 50 与金属层 M5 间的等效电容,L 为金属层 M5 与基底 110 间的等效电感, C_{para} 则为金属层 M5 与基底 110 间的寄生电容,基底 110 在图 2 中以接地符号表示。整体来看,引线 50 与基底 110 之间的等效电容值 C_{eff} 如以下方程式所示:

$$[0022] \quad C_{\text{eff}} = \frac{1}{\frac{1}{C_{\text{pad}}} + \frac{1}{C_{\text{para}} - \frac{1}{\omega^2 L}}}$$

[0023] 由以上式子可以得知,在特定的频率范围内, C_{eff} 将会小于 C_{pad} ,特别是在 $\omega = 1/\sqrt{LC_{\text{para}}}$ 的情形下, C_{eff} 将会等于零。换句话说,藉由在连接结构 140 与基底 110 之间增设电感结构 160,在特定的频率范围内确实可有效地降低引线 50 与基底 110 之间的等效电容值 C_{eff} 。因此,当信号通过焊垫结构 120 传输于引线 50 与该核心电路之间时,信号散逸至基底 110 的比率会变得较低。此外,由于在本实施例中,引线 50 与基底 110 之间具有较低的等效电容值 C_{eff} ,故引线 50 对于基底 110 的噪声抗扰性(Noise immunity)会变得较好,因此,焊垫结构 120 的噪声指数(Noise figure)也会降得较低。以上所述皆为本实施例的焊垫结构 120 优于公知的焊垫结构之处。

[0024] 由于在图 1 所示的实施例中,电感结构 160 设置于连接结构 140 的正下方(亦即电感结构 160 位于连接结构 140 与基底 110 之间,且电感结构 160 与连接结构 140 具有实质上相等的面积),故增设电感结构 160 并不会导致焊垫结构 120 在半导体装置 100

中占据更多的面积。此外,本实施例的焊垫结构 120 完全相容于一般的互补金氧半导体 (Complementary Metal Oxide Semiconductor, CMOS) 工艺,并不会因增设电感结构 160 的关而使用到额外的掩模及工艺,故本实施例的焊垫结构 120 并不会造成半导体装置 100 在制造成本上的增加。

[0025] 请注意,虽然在图 1 所示的实施例中,连接结构 140 与电感结构 160 都包含有三层金属层,电感结构 160 中各金属层都形成方形的线圈结构,然而,本发明并不以此为限,换句话说,在其他实施例的焊垫结构中,连接结构可包含有一层或多层金属层,电感结构可包含有一层或多层金属层,至于电感结构中的各金属层则可形成方形或其他形状(例如圆形、八角形……)的线圈结构。另外,在其他实施例的焊垫结构中,电感结构并不一定要通过导孔连接至基底,若电感结构与基底间并未通过导孔相互连接,引线 51 与基底 310 间将会具有较低的等效电容值。

[0026] 此外,虽然在图 1 所示的实施例中由单一连接结构 140 搭配单一电感结构 160 来形成单一焊垫结构 120,然而,在其他实施例中,亦可以由多个个连接结构共同搭配单一的电感结构以形成单一焊垫结构(此焊垫结构可供多个个引线连接于其上),或者是由多个相互邻近的电感结构共同搭配单一的连接结构以形成单一焊垫结构,这些都是可行的作法,且形成的焊垫结构都可让引线 51 与基底 310 间具有较低的等效电容值。

[0027] 举例来说,在图 3 所示的实施例中,由两个连结结构 340 与 341 搭配单一电感结构 360 以形成单一焊垫结构 320,其中,连结结构 340 与 341 分别用来将引线 51 与 52 电连接至半导体装置 300 中的核心电路(未绘示),而在连结结构 340 与 341 中不同的金属层间可通过一个或多个导孔(未绘示)相互连接。由于包含有电感结构 360,引线 51 与基底 310 间将会具有较低的等效电容值 C_{eff1} ,且引线 52 与基底 310 间亦会具有较低的等效电容值 C_{eff2} 。至于在图 4 所示的实施例中,则由四个连结结构 440、441、442、与 443 搭配单一电感结构 460 以形成单一焊垫结构 420,其中,连结结构 440、441、442、与 443 分别用来将引线 53、54、55、与 56 电连接至半导体装置 400 中的核心电路(未绘示),而在连结结构 440、441、442、与 443 中,不同的金属层间可通过一个或多个导孔(未绘示)相互连接,此外,电感结构 460 中每一金属层都形成八角形的线圈结构。由于包含有电感结构 460,引线 53、54、55、及 56 与基底 310 间分别会具有较低的等效电容值 C_{eff3} 、 C_{eff4} 、 C_{eff5} 、及 C_{eff6} 。

[0028] 以上所述仅为本发明的优选实施例,凡依本发明权利要求所做的均等变化与修饰,皆应属本发明的涵盖范围。

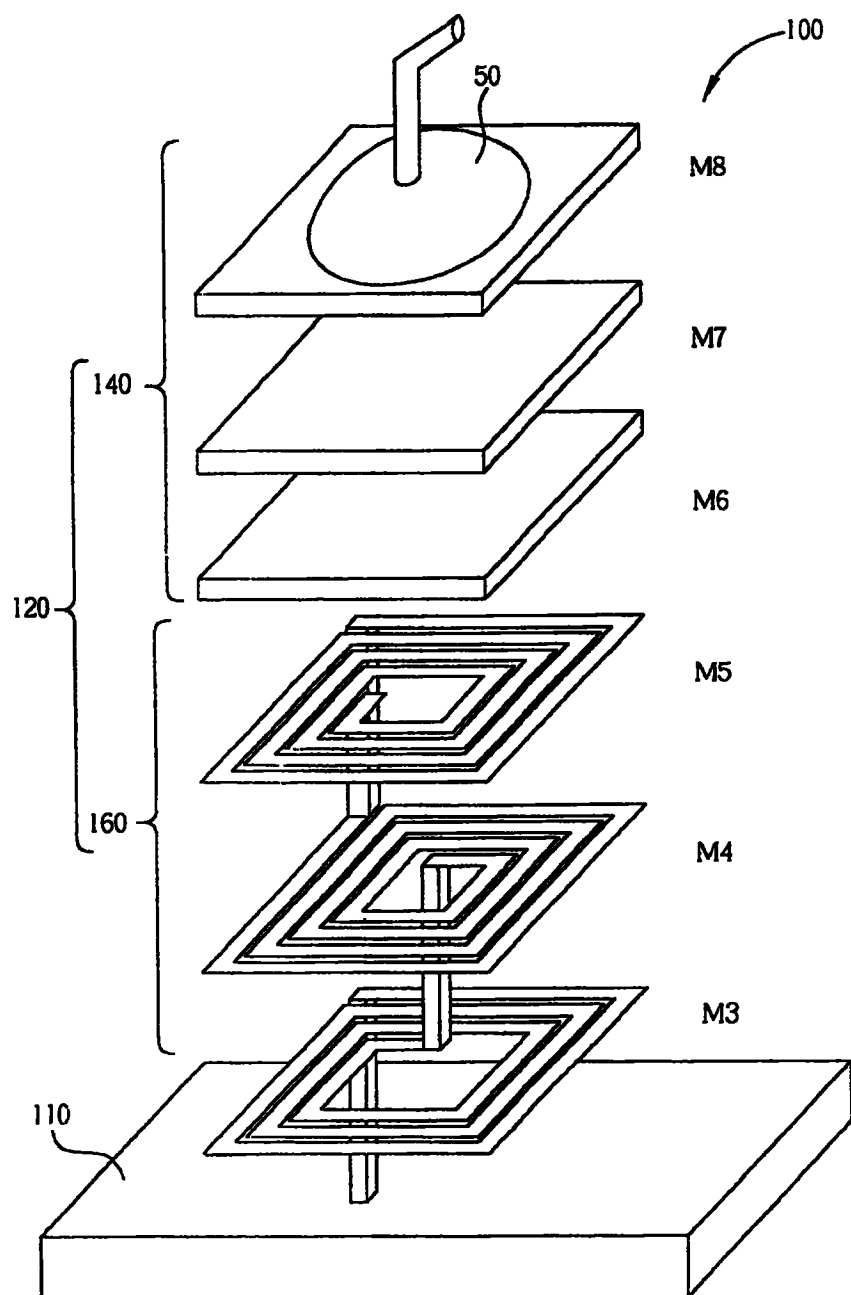


图 1

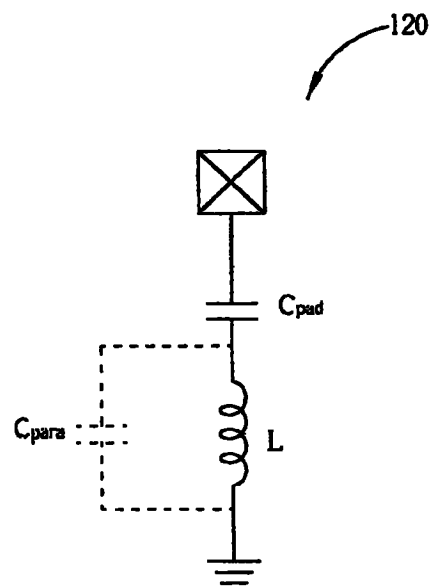


图 2

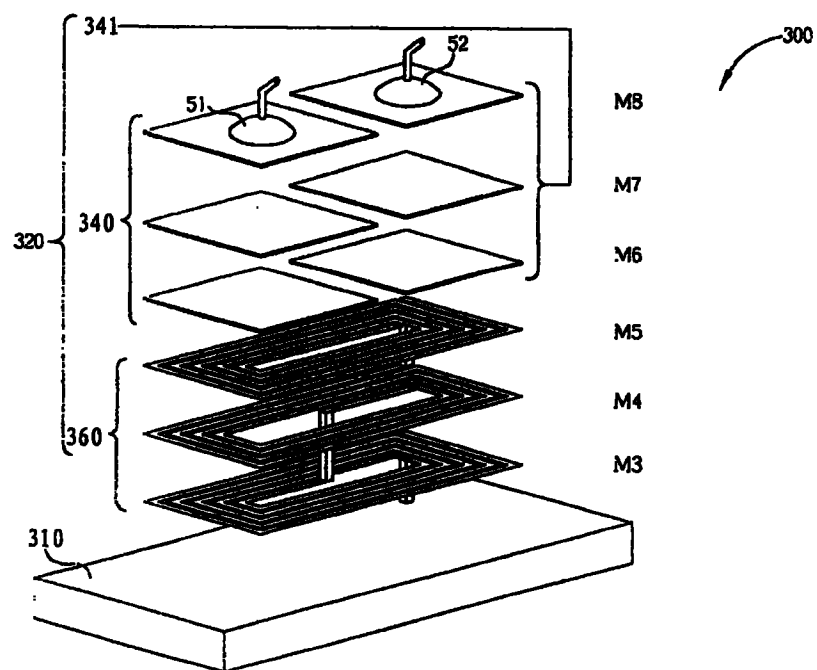


图 3

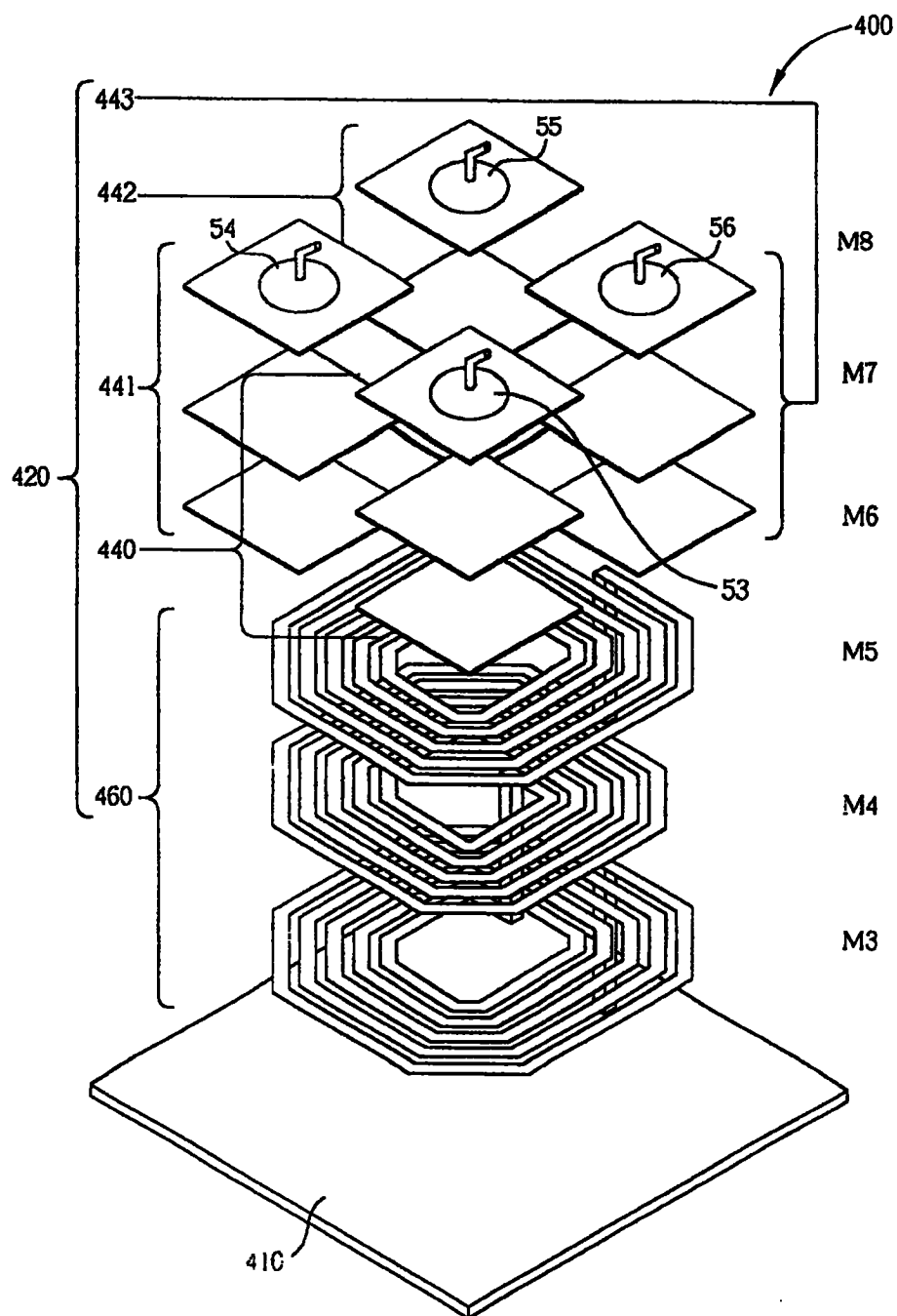


图 4