



(12) 发明专利

(10) 授权公告号 CN 101271891 B

(45) 授权公告日 2010.12.29

(21) 申请号 200710091831.4

(22) 申请日 2007.03.23

(73) 专利权人 联华电子股份有限公司

地址 中国台湾新竹科学工业园区

(72) 发明人 赖泰翔 张玮仁 柯明道 唐天浩

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 蒲迈文 黄小临

(51) Int. Cl.

H01L 27/02 (2006.01)

H01L 27/04 (2006.01)

H01L 23/60 (2006.01)

H01L 21/82 (2006.01)

H01L 21/822 (2006.01)

审查员 刘红

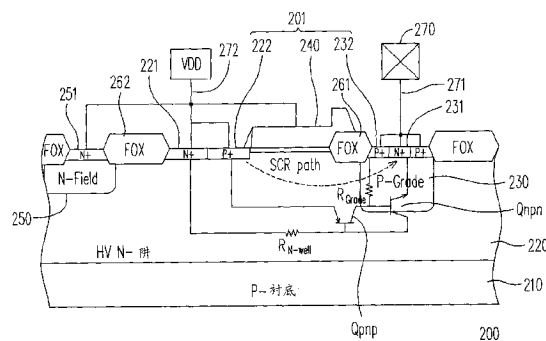
权利要求书 3 页 说明书 7 页 附图 4 页

(54) 发明名称

静电放电保护装置及其制造方法

(57) 摘要

一种静电放电保护装置及其制造方法。此静电放电保护装置包括衬底、N 型阱、P 型掺杂区、第一与第二 N⁺ 型掺杂区、第一与第二 P⁺ 型掺杂区、栅极、第一与第二电极。N 型阱配置于衬底中。P 型掺杂区配置于 N 型阱中。第一 N⁺ 型掺杂区与第一 P⁺ 型掺杂区均配置于 P 型掺杂区中。第二 N⁺ 型掺杂区与第二 P⁺ 型掺杂区均配置于 N 型阱中以及 P 型掺杂区外, 且与 P 型掺杂区不相接触。栅极配置于 N 型阱上以及于第二 P⁺ 型掺杂区与 P 型掺杂区之间。第一电极电连接第一 N⁺ 型掺杂区与第一 P⁺ 型掺杂区。第二电极电连接第二 N⁺ 型掺杂区、第二 P⁺ 型掺杂区与栅极。



1. 一种静电放电保护装置,包括:
 - 一衬底;
 - 一N型阱,配置于该衬底中;
 - 一P型掺杂区,配置于该N型阱中;
 - 一第一N+型掺杂区,配置于该P型掺杂区中;
 - 一第一P+型掺杂区,配置于该P型掺杂区中;
 - 一第二P+型掺杂区,配置于该N型阱中以及该P型掺杂区外,其中该第二P+型掺杂区与该P型掺杂区不相接触;
 - 一栅极,其配置于该N型阱上以及于该第二P+型掺杂区与该P型掺杂区之间;
 - 一第一电极,其经由一第一电性导体连接该第一N+型掺杂区与该第一P+型掺杂区,且该第一电极电连接至一焊垫;以及
 - 一第二电极,其经由一第二电性导体连接该第二P+型掺杂区与该栅极,且该第二电极电连接至一系统电压轨线。
2. 如权利要求1所述的静电放电保护装置,其中该P型掺杂区为P型渐进区。
3. 如权利要求1所述的静电放电保护装置,还包括一第一场氧化层,其配置于该N型阱中以及该栅极与该第一P+型掺杂区之间。
4. 如权利要求1所述的静电放电保护装置,还包括:
 - 一第二N+型掺杂区,配置于该N型阱中以及该P型掺杂区外,其中该第二N+型掺杂区与该P型掺杂区不相接触。
5. 如权利要求4所述的该静电放电保护装置,其中该第二P+型掺杂区与该第二N+型掺杂区二者相邻接。
6. 如权利要求1所述的静电放电保护装置,还包括:
 - 一N型场区,配置于该N型阱中;以及
 - 一第三N+型掺杂区,配置于该N型场区中,其中该第二电极经由该第二电性导体连接该第三N+型掺杂区。
7. 如权利要求6所述的静电放电保护装置,还包括一第二场氧化层,其配置于该N型阱中以及该第二P+型掺杂区与该第三N+型掺杂区之间。
8. 如权利要求1所述的该静电放电保护装置,其中该第一电性导体与该第二电性导体为金属。
9. 如权利要求1所述的该静电放电保护装置,其中该第一P+型掺杂区与该第一N+型掺杂区二者相邻接。
10. 一种静电放电保护装置,包括:
 - 一N型衬底;
 - 一P型掺杂区,配置于该N型衬底中;
 - 一第一N+型掺杂区,配置于该P型掺杂区中;
 - 一第一P+型掺杂区,配置于该P型掺杂区中;
 - 一第二P+型掺杂区,配置于该N型衬底中以及该P型掺杂区外,其中该第二P+型掺杂区与该P型掺杂区不相接触;
 - 一栅极,其配置于该N型衬底上以及于该第二P+型掺杂区与该P型掺杂区之间;

一第一电极,其经由一第一电性导体连接该第一 N+ 型掺杂区与该第一 P+ 型掺杂区,且该第一电极电连接至一焊垫;以及

一第二电极,其经由一第二电性导体连接该第二 P+ 型掺杂区与该栅极,且该第二电极电连接至一系统电压轨线。

11. 如权利要求 10 所述的静电放电保护装置,其中该 P 型掺杂区为 P 型渐进区。

12. 如权利要求 10 所述的静电放电保护装置,还包括一第一场氧化层,其配置于该 N 型衬底中以及该栅极与该第一 P+ 型掺杂区之间。

13. 如权利要求 10 所述的静电放电保护装置,还包括:

一第二 N+ 型掺杂区,配置于该 N 型衬底中以及该 P 型掺杂区外,其中该第二 N+ 型掺杂区与该 P 型掺杂区不相接触。

14. 如权利要求 13 所述的该静电放电保护装置,其中该第二 P+ 型掺杂区与该第二 N+ 型掺杂区二者相邻接。

15. 如权利要求 10 所述的静电放电保护装置,还包括:

一 N 型场区,配置于该 N 型衬底中;以及

一第三 N+ 型掺杂区,配置于该 N 型场区中,其中该第二电极经由该第二电性导体连接该第三 N+ 型掺杂区。

16. 如权利要求 15 所述的静电放电保护装置,还包括一第二场氧化层,其配置于该 N 型衬底中以及该第二 P+ 型掺杂区与该第三 N+ 型掺杂区之间。

17. 如权利要求 10 所述的该静电放电保护装置,其中该第一电性导体与该第二电性导体为金属。

18. 如权利要求 10 所述的该静电放电保护装置,其中该第一 P+ 型掺杂区与该第一 N+ 型掺杂区二者相邻接。

19. 一种静电放电保护装置的制造方法,包括:

提供一衬底;

于该衬底中形成一 N 型阱;

于该 N 型阱中形成一 P 型掺杂区;

于该 P 型掺杂区中形成一第一 N+ 型掺杂区;

于该 P 型掺杂区中形成一第一 P+ 型掺杂区;

于该 N 型阱中以及该 P 型掺杂区外形成一第二 P+ 型掺杂区,其中该第二 P+ 型掺杂区与该 P 型掺杂区不相接触;

于该 N 型阱上以及于该第二 P+ 型掺杂区与该 P 型掺杂区之间形成一栅极;

形成一第一电极,其中该第一电极经由一第一电性导体连接该第一 N+ 型掺杂区与该第一 P+ 型掺杂区,且该第一电极电连接至一焊垫;以及

形成一第二电极,其中该第二电极经由一第二电性导体连接该第二 P+ 型掺杂区与该栅极,且该第二电极电连接至一系统电压轨线。

20. 如权利要求 19 所述静电放电保护装置的制造方法,其中该 P 型掺杂区为 P 型渐进区。

21. 如权利要求 19 所述静电放电保护装置的制造方法,还包括:

于该 N 型阱中以及该栅极与该第一 P+ 型掺杂区之间形成一第一场氧化层。

22. 如权利要求 19 所述静电放电保护装置的制造方法,还包括:

于该 N 型阱中以及该 P 型掺杂区外形成一第二 N⁺ 型掺杂区,其中该第二 N⁺ 型掺杂区与该 P 型掺杂区不相接触。

23. 如权利要求 22 所述该静电放电保护装置的制造方法,其中该第二 P⁺ 型掺杂区与该第二 N⁺ 型掺杂区二者相邻接。

24. 如权利要求 19 所述静电放电保护装置的制造方法,还包括:

于该 N 型阱中形成一 N 型场区;以及

于该 N 型场区中形成一第三 N⁺ 型掺杂区,其中该第二电极经由该第二电性导体连接该第三 N⁺ 型掺杂区。

25. 如权利要求 24 所述静电放电保护装置的制造方法,还包括:

于该 N 型阱中以及该第二 P⁺ 型掺杂区与该第三 N⁺ 型掺杂区之间形成一第二场氧化层。

26. 如权利要求 19 所述该静电放电保护装置的制造方法,其中该第一电性导体与该第二电性导体为金属。

27. 如权利要求 19 所述该静电放电保护装置的制造方法,其中该第一 P⁺ 型掺杂区与该第一 N⁺ 型掺杂区二者相邻接。

静电放电保护装置及其制造方法

技术领域

[0001] 本发明涉及一种静电放电保护装置,特别是涉及一种静电放电保护装置及其制造方法。

背景技术

[0002] 电子组件(例如集成电路)于实际环境中往往会遭受静电放电(electrostatic discharge,ESD)的冲击。最常见的作法是在核心电路(CoreCircuit)与焊垫(PAD)间,设计一静电放电防护装置,以保护其内部电路。

[0003] 依静电放电产生的电压程度不同,静电放电大致上可分为人体放电模式(Human-Body Model,HBM)、机械放电模式(Machine Model,MM)以及充电组件模式(Charge-Device Model,CDM)等。静电放电的电压比正常状况下所提供的系统电压大出许多。当静电放电发生时,此静电放电电流很可能会将电子组件烧毁。因此必须针对电子组件安排若干静电放电防护措施,以期有效隔离静电放电电流而避免组件损毁。静电放电防护装置的测试有几种模式,分别为PD、PS、ND、以及NS模式。PD模式为于焊垫输入正脉冲,而使系统电压轨线VDD接地。ND模式为于焊垫输入负脉冲,而使系统电压轨线VDD接地。PS模式为于焊垫输入正脉冲,而使接地电压轨线VSS接地。NS模式为于焊垫输入负脉冲,而使接地电压轨线VSS接地。

[0004] 图1示出了美国专利公告第6,459,127号专利的静电放电防护装置的布局剖面图。请参照图1,高压工艺的N型金属氧化物半导体(n-channel metal-oxide-semiconductor,NMOS)晶体管T1与T2藉由其寄生硅控整流器(silicon-controlled rectifier,SCR)来防护静电放电。此NMOS晶体管T1与T2以及其寄生SCR被设计成完全对称的配置方式,以使流经寄生SCR的电流能够达到完全均匀。虽然此已知技术足以防护人体放电模式的高电压电平,但是却只能防护PS以及NS模式的静电放电事件。亦即,此已知技术无法防护PD以及ND模式的静电放电事件。

[0005] 对于PD模式以及ND模式的静电放电,此已知技术是先将静电放电电流/电压从焊垫110经由寄生SCR组件导引至集成电路中的接地电压轨线VSS,然后再经由集成电路中耦接于系统电压轨线VDD与接地电压轨线VSS之间的另一个静电放电防护装置(未示出)将静电放电电流/电压从接地电压轨线VSS导引至系统电压轨线VDD。最后,此静电放电电流/电压经由系统电压轨线VDD而从电源接脚被引出集成电路外。由于不是直接将静电放电电流/电压从焊垫110导引至系统电压轨线VDD,导致前述静电放电电流/电压的导引路径具有较大的寄生电阻与寄生电容,使得此静电放电电流/电压仍然会损毁欲保护的核心电路。

发明内容

[0006] 本发明提供一种静电放电保护装置,以防护PD模式以及ND模式的静电放电。

[0007] 本发明提供一种静电放电保护装置的制造方法,以制造高压静电放电保护装置。

[0008] 为解决上述问题,本发明提出一种静电放电保护装置,其包括衬底、N 型阱、P 型掺杂区、第一与第二 N+ 型掺杂区、第一与第二 P+ 型掺杂区、栅极、第一与第二电极。N 型阱配置于衬底中。P 型掺杂区配置于 N 型阱中。第一 N+ 型掺杂区与第一 P+ 型掺杂区均配置于 P 型掺杂区中。第二 N+ 型掺杂区与第二 P+ 型掺杂区均配置于 N 型阱中以及 P 型掺杂区外,且与 P 型掺杂区不相接触。栅极配置于 N 型阱上以及于第二 P+ 型掺杂区与 P 型掺杂区之间。第一电极电连接第一 N+ 型掺杂区与第一 P+ 型掺杂区,且该第一电极电连接至一焊垫。第二电极电连接第二 N+ 型掺杂区、第二 P+ 型掺杂区与栅极,且该第二电极电连接至一系统电压轨线。

[0009] 本发明还提出一种静电放电保护装置,包括 N 型衬底、P 型掺杂区、第一与第二 N+ 型掺杂区、第一与第二 P+ 型掺杂区、栅极、第一与第二电极。P 型掺杂区配置于 N 型衬底中。第一 N+ 型掺杂区与第一 P+ 型掺杂区均配置于 P 型掺杂区中。第二 N+ 型掺杂区与第二 P+ 型掺杂区均配置于 N 型衬底中以及 P 型掺杂区外,且与 P 型掺杂区不相接触。栅极配置于 N 型衬底上以及于第二 P+ 型掺杂区与 P 型掺杂区之间。第一电极经由第一电性导体连接第一 N+ 型掺杂区与第一 P+ 型掺杂区,且该第一电极电连接至一焊垫。第二电极经由第二电性导体连接第二 N+ 型掺杂区、第二 P+ 型掺杂区与栅极,且该第二电极电连接至一系统电压轨线。

[0010] 本发明提出一种静电放电保护装置的制造方法,包括提供一衬底;于衬底中形成 N 型阱;于 N 型阱中形成 P 型掺杂区;于 P 型掺杂区中形成第一 N+ 型掺杂区与第一 P+ 型掺杂区;于 N 型阱中以及 P 型掺杂区外形成第二 N+ 型掺杂区与第二 P+ 型掺杂区,而与 P 型掺杂区不相接触;于 N 型阱上以及于第二 P+ 型掺杂区与 P 型掺杂区之间形成一栅极;形成第一电极与第二电极。其中,第一电极经由第一电性导体连接第一 N+ 型掺杂区与第一 P+ 型掺杂区,且该第一电极电连接至一焊垫;而第二电极经由第二电性导体连接第二 N+ 型掺杂区、第二 P+ 型掺杂区与栅极,且该第二电极电连接至一系统电压轨线。

[0011] 本发明提供具有内嵌高压 P 型 SCR(embedded high-voltage p-type SCR, EHVPSCR) 结构的静电放电保护装置,因此可以直接将静电放电电流 / 电压从焊垫导引至系统电压轨线 VDD。

[0012] 为使本发明的上述特征和优点能更明显易懂,下文特举较佳实施例,并结合附图详细说明如下。

附图说明

[0013] 图 1 示出了美国专利公告第 6,459,127 号专利的静电放电防护装置的布局剖面图。

[0014] 图 2 是依照本发明实施例说明一种静电放电保护装置的布局剖面图。

[0015] 图 3 是依照本发明说明图 2 静电放电保护装置的应用范例。

[0016] 图 4 为依据本发明说明图 2 静电放电保护装置的另一种应用范例。

[0017] 图 5 为依据本发明说明图 2 静电放电保护装置的又一种应用范例。

[0018] 图 6 是依照本发明说明静电放电保护装置的另一实施范例的布局剖面图。

[0019] 附图符号说明

[0020] 110、270 :焊垫

- [0021] 200、320、600 :静电放电保护装置
- [0022] 201、601 :高压 PMOS 晶体管
- [0023] 210 :P 型衬底
- [0024] 220 :N 型阱
- [0025] 221、231、251、621、631、651 :N⁺ 型掺杂区
- [0026] 222、232、622、632 :P⁺ 型掺杂区
- [0027] 230、630 :P 型渐进区
- [0028] 240、640 :栅极
- [0029] 250、650 :N 型场区
- [0030] 261、262、661、662 :场氧化层
- [0031] 271、272、671、672 :电极
- [0032] 310 :核心电路
- [0033] 330、R_{ESD} :电阻
- [0034] 420、520、530 :静电放电检测电路
- [0035] 610 :N 型衬底
- [0036] C_{ESD} :电容
- [0037] Qnpn、Qpnp :内嵌晶体管
- [0038] R_{N-well}、R_{Grade}、R_N :内电阻
- [0039] T1、T2 :NMOS 晶体管
- [0040] VDD、VSS :电压轨线

具体实施方式

[0041] 图 2 是依照本发明实施例说明一种静电放电保护装置的布局剖面图。图 3 是依照本发明说明图 2 静电放电保护装置 200 的应用范例。请同时参照图 2 与图 3, 静电放电保护装置 200 包含高压 P 型金属氧化物半导体 (p-channel metal-oxide-semiconductor, PMOS) 晶体管 201。此高压 PMOS 晶体管 201 配置在 N 型阱 (例如高压 N 型阱 220) 中, 而高压 N 型阱 220 则形成于 P 型衬底 210 内。在高压 N 型阱 220 中形成 P 型掺杂区做为高压 PMOS 晶体管 201 的漏极。前述 P 型掺杂区譬如以 P 型渐进区 (P-Grade) 230 实施的。第一 N⁺ 型掺杂区 231 与第一 P⁺ 型掺杂区 232 配置在 P 型渐进区 230。于本实施例中, 第一 P⁺ 型掺杂区 232 与第一 N⁺ 型掺杂区 231 二者可以相邻接。

[0042] 第一电极 271 经由第一电性导体 (例如金属导体) 连接至第一 N⁺ 型掺杂区 231 与第一 P⁺ 型掺杂区 232。于本实施例中, 此第一电极 271 电连接至焊垫 (pad) 270。于集成电路中, 核心电路 310 可以经由电阻 330 与焊垫 270 对外部输入 / 输出数据。

[0043] 第二 N⁺ 型掺杂区 221 配置于高压 N 型阱 220 中以及 P 型渐进区 230 外, 而第二 P⁺ 型掺杂区 222 配置于高压 N 型阱 220 中以及第二 N⁺ 型掺杂区 221 与 P 型渐进区 230 之间。其中, 掺杂区 221、222 与 P 型渐进区 230 不相接触。其中, 第二 P⁺ 型掺杂区 222 与第二 N⁺ 型掺杂区 221 二者可以相邻接。第二 P⁺ 型掺杂区 222 做为高压 PMOS 晶体管 201 的源极。第二电极 272 经由第二电性导体 (例如金属导体) 连接第二 N⁺ 型掺杂区 221 与第二 P⁺ 型掺杂区 222。于本实施例中, 此第二电极 272 电连接至系统电压轨线 VDD。

[0044] 高压 PMOS 晶体管 201 的栅极 240 配置于高压 N 型阱 220 上方。在此以栅氧化层隔离栅极 240 与高压 N 型阱 220。栅极 240 配置于第二 P+ 型掺杂区 222 与 P 型渐进区 230 之间。于本实施例中,第二电极 272 经由电性导体连接栅极 240。于集成电路中,核心电路 310 可以经由系统电压轨线 VDD 与接地电压轨线 VSS 获得外部所提供的操作电源。

[0045] 于本实施例中,更于高压 N 型阱 220 中形成 N 型场区 (N-Field) 250。第三 N+ 型掺杂区 251 配置于 N 型场区 250 中。此第三 N+ 型掺杂区 251 与 N 型场区 250 做为高压 PMOS 晶体管 201 的基体 (bulk) 电极。高压 PMOS 晶体管 201 的基体电极亦经由电性导体连接至系统电压轨线 VDD。场氧化层 262 配置于高压 N 型阱 220 中,以及配置于第二 N+ 型掺杂区 221 与第三 N+ 型掺杂区 251 之间。

[0046] 由第二 P+ 型掺杂区 222、高压 N 型阱 220 与 P 型渐进区 230 构成一个内嵌晶体管 Qnpn,而高压 N 型阱 220、P 型渐进区 230 与第一 N+ 型掺杂区 231 则构成另一个内嵌晶体管 Qnnp。此内嵌晶体管 Qnpn 与 Qnnp 组成一个 SCR 结构,亦即第二 P+ 型掺杂区 222、高压 N 型阱 220、P 型渐进区 230 与第一 N+ 型掺杂区 231 形成一个 SCR 路径。此 SCR 结构的阳极栅极通过第二 N+ 型掺杂区 221 与高压 N 型阱 220 的内电阻 R_{N_well} 连接至系统电压轨线 VDD,而 SCR 结构的阴极栅极则通过 P 型渐进区 230 与第一 P+ 型掺杂区 232 的内电阻 R_{Grade} 连接至焊垫 270。

[0047] 若系统电压轨线 VDD 接地且焊垫 270 发生静电放电的正脉冲,此静电放电电流将会经过第一 P+ 型掺杂区 232、P 型渐进区 230、高压 N 型阱 220、第二 N+ 型掺杂区 221 而到达系统电压轨线 VDD。因此,使得静电放电电流从焊垫 270 经过此静电放电保护装置 200 的寄生二极管与系统电压轨线 VDD 而被导引至集成电路外部。所以静电放电保护装置 200 可以防止 PD 模式的静电放电电流 / 电压毁损核心电路 310。

[0048] 若系统电压轨线 VDD 接地且焊垫 270 发生静电放电的负脉冲,此静电放电电压将会耦合至内嵌 SCR 结构的阳极栅极。藉由内电阻 R_{N_well} 使得内嵌 SCR 结构的阳极栅极电压远小于内嵌 SCR 结构的阳极电压 (即系统电压轨线 VDD 电压)。因此,内嵌 SCR 结构便被触发,使得静电放电电流从系统电压轨线 VDD 经过此 SCR 路径与焊垫 270 而被导引至集成电路外部。所以静电放电保护装置 200 可以防止 ND 模式的静电放电电流 / 电压毁损核心电路 310。

[0049] 本领域的技术人员可以在焊垫 270 与接地电压轨线 VSS 之间配置另一个静电放电保护装置 320。此静电放电保护装置 320 可以任何手段实施,例如以图 1 所示的装置实施静电放电保护装置 320。若电压轨线 VSS 接地且焊垫 270 发生静电放电的正脉冲,此静电放电电压将会触发静电放电保护装置 320,使得静电放电电流从焊垫 270 经过静电放电保护装置 320 与电压轨线 VSS 而被导引至集成电路外部。若电压轨线 VSS 接地且焊垫 270 发生静电放电的负脉冲,此静电放电电压将会触发静电放电保护装置 320,使得静电放电电流从电压轨线 VSS 经过静电放电保护装置 320 与焊垫 270 而被导引至集成电路外部。

[0050] 在正常操作状态,为了避免误触发静电放电保护装置 200,因此需要适当地调高静电放电保护装置 200 的触发电平。本实施例中更于高压 N 型阱 220 中以与栅极 240 与第一 P+ 型掺杂区 232 之间配置场氧化层 261。藉由决定场氧化层 261 的宽度与深度,而对应地调整静电放电保护装置 200 的触发电平。

[0051] 上述静电放电保护装置 200 可以参照下述制造方法实施。首先提供一衬底 210,此

衬底 210 例如是 P 型掺杂的衬底。然后在衬底 210 中形成高压 N 型阱 220。接下来在高压 N 型阱 220 中形成 P 型掺杂区（本实施例中为 P 型渐进区 230），以及形成 N 型场区 250。

[0052] 于高压 N 型阱 220 上侧形成 N+ 型掺杂区 221、231 以及 251，然后于高压 N 型阱 220 上侧另形成 P+ 型掺杂区 222 以及 232。其中，N+ 型掺杂区 221 与 P+ 型掺杂区 222 是配置于 P 型渐进区 230 与 N 型场区 250 的外，N+ 型掺杂区 231 与 P+ 型掺杂区 232 是配置于 P 型渐进区 230 之内，而 N+ 型掺杂区 251 则是配置于 N 型场区 250 之内。于本实施例中，N+ 型掺杂区 221 与 P+ 型掺杂区 222 二者相邻接，但二者与 P 型渐进区 230/N 型场区 250 不相接触。另外，N+ 型掺杂区 231 与 P+ 型掺杂区 232 二者相邻接。

[0053] 于高压 N 型阱 220 中形成场氧化层 261 以及 262，其中场氧化层 261 是配置在栅极 240 与 P+ 型掺杂区 232 之间，而场氧化层 262 是配置在 N+ 型掺杂区 221 与 N+ 型掺杂区 251 之间。然后于高压 N 型阱 220 上方以及于 P+ 型掺杂区 222 与 P 型渐进区 230 之间形成栅极 240，其中栅极 240 与高压 N 型阱 220 之间以栅氧化层相隔离。

[0054] 接下来于衬底 210 上方形成电极 271 以及 272。电极 271 经由电性导体连接 N+ 型掺杂区 231 与 P+ 型掺杂区 232。电极 272 经由电性导体连接 N+ 型掺杂区 221、P+ 型掺杂区 222、栅极 240 以及 N+ 型掺杂区 251。于本实施例中，电极 271 电连接至焊垫 270，而电极 272 电连接至系统电压轨线 VDD。

[0055] 上述实施例是以图 3 说明静电放电保护装置 200 的其中一个实施例。本领域的技术人员可依其需求，而将图 2 的静电放电保护装置 200 应用于其它电路中。例如，可以将静电放电保护装置 200 耦接于电压轨线 VDD 与 VSS 之间。图 4 即为依据本发明说明图 2 静电放电保护装置 200 的另一种应用范例。

[0056] 请参照图 4，为求附图简明，在此仅以方块 PSCR 表示静电放电保护装置 200 的内嵌 SCR 结构。于本实施例中以多个静电放电保护装置 200 串接于电压轨线 VDD 与 VSS 之间，设计者可以依据需求而决定静电放电保护装置 200 的串接个数。因此，当静电放电事件发生在电压轨线 VDD（或是电压轨线 VSS），静电放电保护装置 200 的内嵌 SCR 结构便会被触发而实时将静电放电电流导引至电压轨线 VSS（或是电压轨线 VDD）。

[0057] 值得注意的是，本实施例的静电放电保护装置 200 与图 2 的静电放电保护装置 200 有些许不同，其不同之处在于本实施例将静电放电保护装置 200 的栅极 240 耦接至静电放电检测电路 420，而不与电压轨线 VDD 相连接。在此是以电阻 R_{ESD} 与电容 C_{ESD} 相串联而构成静电放电检测电路 420。本领域的技术人员可依其需求，而以其它手段实现静电放电检测电路 420。静电放电检测电路 420 串接于电压轨线 VDD 与 VSS 之间，以便检测电压轨线 VDD 与 VSS 有无发生静电放电事件。

[0058] 在正常操作下，由于电容 C_{ESD} 完成充电而使得各静电放电保护装置 200 的栅极 240 保持在高电压电平（近似于电压轨线 VDD 的电压电平）。因此，各静电放电保护装置 200 保持截止状态。当静电放电事件发生在电压轨线 VDD（或是电压轨线 VSS），静电放电检测电路 420 会输出低电压电平（介于电压轨线 VDD 与 VSS 电压电平之间）给各静电放电保护装置 200 的栅极 240。因此，静电放电保护装置 200 的 PMOS 晶体管便会被开启（turn on）而实时将静电放电电流导引至电压轨线 VSS（或是电压轨线 VDD）。

[0059] 图 5 为依据本发明说明图 2 静电放电保护装置 200 的又一种应用范例。为求附图简明，在此仅以方块 PSCR 表示静电放电保护装置 200 的内嵌 SCR 结构。图 5 与图 3 相似，

故不再赘述其相同部分。值得注意的是,本实施例的静电放电保护装置 200 与图 2 的静电放电保护装置 200 有些许不同,其不同之处在于本实施例将静电放电保护装置 200 的栅极 240 耦接至静电放电检测电路 520,而不与电压轨线 VDD 相连接。本领域的技术人员可依其需求,而以任何手段实现静电放电检测电路 520。请参照图 5,静电放电检测电路 520 串接于电压轨线 VDD 与焊垫 270 之间,以便检测电压轨线 VDD 与焊垫 270 有无发生静电放电事件。静电放电检测电路 530 串接于焊垫 270 与电压轨线 VSS 之间,以便检测焊垫 270 与电压轨线 VSS 有无发生静电放电事件。

[0060] 在正常操作下,静电放电检测电路 520 输出高电压电平(近似于电压轨线 VDD 的电压电平)给静电放电保护装置 200 的栅极 240,而静电放电检测电路 530 会输出低电压电平(近似于电压轨线 VSS 的电压电平)给静电放电保护装置 320 的栅极。因此,静电放电保护装置 200 与 320 保持截止状态。

[0061] 当发生静电放电事件时,若系统电压轨线 VDD 接地且焊垫 270 发生静电放电脉冲,静电放电检测电路 520 会输出低电压电平(介于焊垫 270 与电压轨线 VDD 电压电平之间)给静电放电保护装置 200 的栅极 240。因此,静电放电保护装置 200 的 PMOS 晶体管便会被开启(turn on),而实时地将静电放电电流从焊垫 270 导引至电压轨线 VDD,或是将静电放电电流从电压轨线 VDD 导引至焊垫 270。

[0062] 若系统电压轨线 VSS 接地且焊垫 270 发生静电放电脉冲,静电放电检测电路 530 会输出高电压电平(介于焊垫 270 与电压轨线 VSS 电压电平之间)给静电放电保护装置 320 的栅极。因此,静电放电保护装置 320 的 NMOS 晶体管便会被开启(turn on),而实时地将静电放电电流从焊垫 270 导引至电压轨线 VSS,或是将静电放电电流从电压轨线 VSS 导引至焊垫 270。

[0063] 以下将依照本发明另举一实施例。图 6 是依照本发明说明一种静电放电保护装置的另一实施范例的布局剖面图。请参照图 6,静电放电保护装置 600 包含高压 PMOS 晶体管 601。此高压 PMOS 晶体管 601 配置在 N 型衬底 610 中。在 N 型衬底 610 中形成 P 型掺杂区做为高压 PMOS 晶体管 601 的漏极。前述 P 型掺杂区譬如以 P 型渐进区 630 实施。第一 N+ 型掺杂区 631 与第一 P+ 型掺杂区 632 配置在 P 型渐进区 630。于本实施例中,第一 P+ 型掺杂区 632 与第一 N+ 型掺杂区 631 二者可以相邻接。第一电极 671 经由电性导体(例如金属导体)连接至第一 N+ 型掺杂区 631 与第一 P+ 型掺杂区 632。此第一电极 671 可以电连接至焊垫 270。

[0064] 第二 N+ 型掺杂区 621 配置于 N 型衬底 610 中以及 P 型渐进区 630 外,而第二 P+ 型掺杂区 622 配置于 N 型衬底 610 中以及第二 N+ 型掺杂区 621 与 P 型渐进区 630 之间。其中,掺杂区 621、622 与 P 型渐进区 630 不相接触,而型掺杂区 622 与 621 二者可以相邻接。第二 P+ 型掺杂区 622 做为高压 PMOS 晶体管 601 的源极。第二电极 672 经由电性导体(例如金属导体)连接第二 N+ 型掺杂区 621 与第二 P+ 型掺杂区 622。于本实施例中,此第二电极 672 电连接至系统电压轨线 VDD。

[0065] 高压 PMOS 晶体管 601 的栅极 640 配置于 N 型衬底 610 上方。在此以栅氧化层隔离栅极 640 与 N 型衬底 610。栅极 640 配置于第二 P+ 型掺杂区 622 与 P 型渐进区 630 之间。于本实施例中,第二电极 672 经由电性导体连接栅极 640。

[0066] 于本实施例中,更于 N 型衬底 610 中形成 N 型场区(N-Field)650。第三 N+ 型掺杂

区 651 配置于 N 型场区 650 中。此第三 N+ 型掺杂区 651 与 N 型场区 650 做为高压 PMOS 晶体管 601 的基体电极。高压 PMOS 晶体管 601 的基体电极亦经由电性导体连接至系统电压轨线 VDD。于 N 型衬底 610 中,以及于第二 N+ 型掺杂区 621 与第三 N+ 型掺杂区 651 之间配置场氧化层 662。

[0067] 由第二 P+ 型掺杂区 622、N 型衬底 610 与 P 型渐进区 630 构成一个内嵌晶体管 Qpnp,而 N 型衬底 610、P 型渐进区 630 与第一 N+ 型掺杂区 631 则构成另一个内嵌晶体管 Qnnpn。此内嵌晶体管 Qpnp 与 Qnnpn 组成一个内嵌 SCR 结构,亦即第二 P+ 型掺杂区 622、N 型衬底 610、P 型渐进区 630 与第一 N+ 型掺杂区 631 形成一个 SCR 路径。此内嵌 SCR 结构的阳极栅极通过第二 N+ 型掺杂区 621 与 N 型衬底 610 的内电阻 R_N 连接至系统电压轨线 VDD,而内嵌 SCR 结构的阴极栅极则通过 P 型渐进区 630 与第一 P+ 型掺杂区 632 的内电阻 R_{Grade} 连接至焊垫 270。

[0068] 若系统电压轨线 VDD 接地且焊垫 270 发生静电放电的正脉冲,此静电放电电流将会经过第一 P+ 型掺杂区 632、P 型渐进区 630、N 型衬底 610、第二 N+ 型掺杂区 621 而到达系统电压轨线 VDD。因此,使得静电放电电流从焊垫 270 经过此静电放电保护装置 600 的寄生二极管与系统电压轨线 VDD 而被导引至集成电路外部。若系统电压轨线 VDD 接地且焊垫 270 发生静电放电的负脉冲,此静电放电电压将会耦合至内嵌 SCR 结构的阳极栅极。藉由内电阻 R_N 使得内嵌 SCR 结构的阳极栅极电压远小于内嵌 SCR 结构的阳极电压(即系统电压轨线 VDD 电压)。因此,内嵌 SCR 结构便被触发,使得静电放电电流从系统电压轨线 VDD 经过此 SCR 路径与焊垫 270 而被导引至集成电路外部。

[0069] 在正常操作状态,为了避免误触发静电放电保护装置 600,因此需要适当地调高静电放电保护装置 600 的触发电平。本实施例中还于 N 型衬底 610 中以与栅极 640 与第一 P+ 型掺杂区 632 之间配置场氧化层 661。藉由决定场氧化层 661 的宽度与深度,而对应地调整静电放电保护装置 600 的触发电平。

[0070] 综上所述,上述诸实施例提供具有内嵌高压 P 型 SCR(embedded high-voltage p-type SCR, EHVPSCR) 结构的静电放电保护装置,因此可以直接将静电放电电流 / 电压从焊垫导引至系统电压轨线 VDD。

[0071] 虽然本发明已以较佳实施例揭露如上,然其并非用以限定本发明,本领域的技术人员在不脱离本发明的精神和范围的前提下可作若干的更动与润饰,因此本发明的保护范围以本发明的权利要求为准。

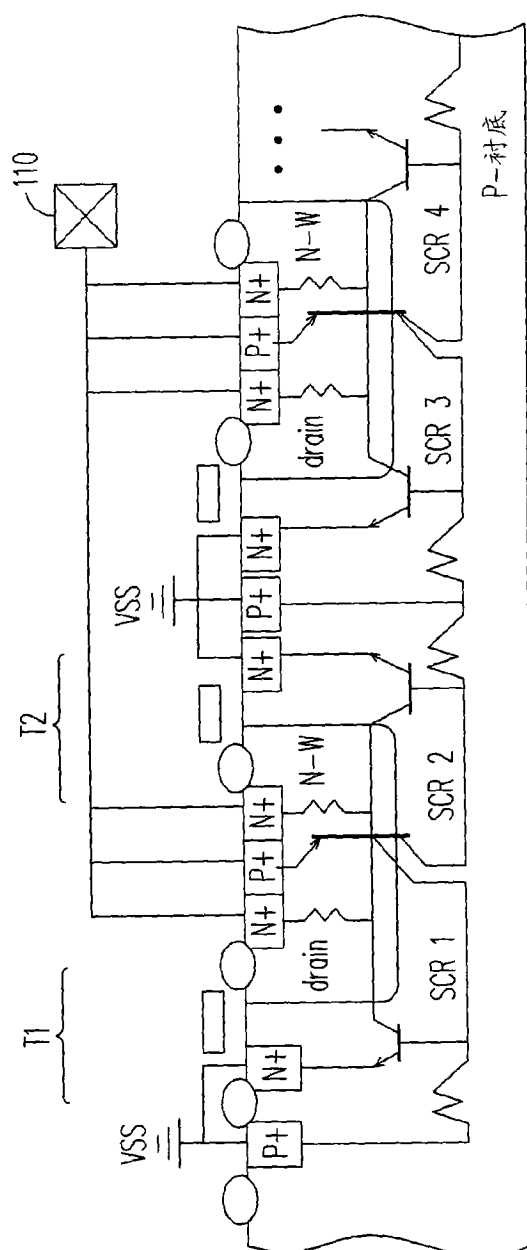


图 1

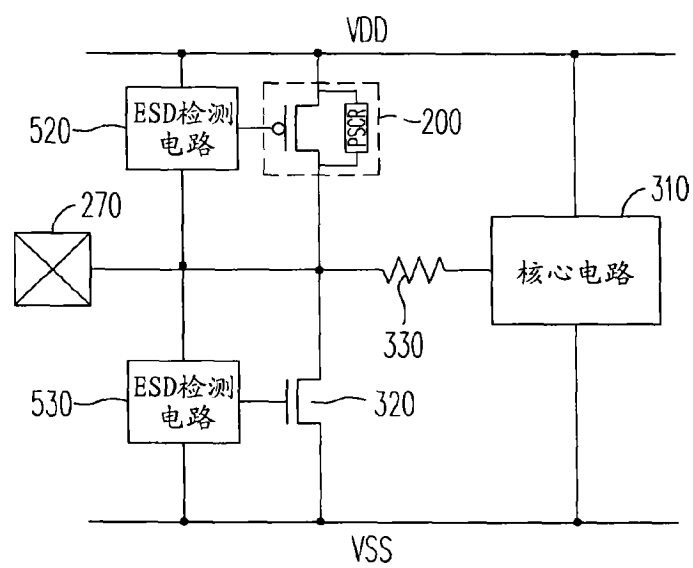


图 5

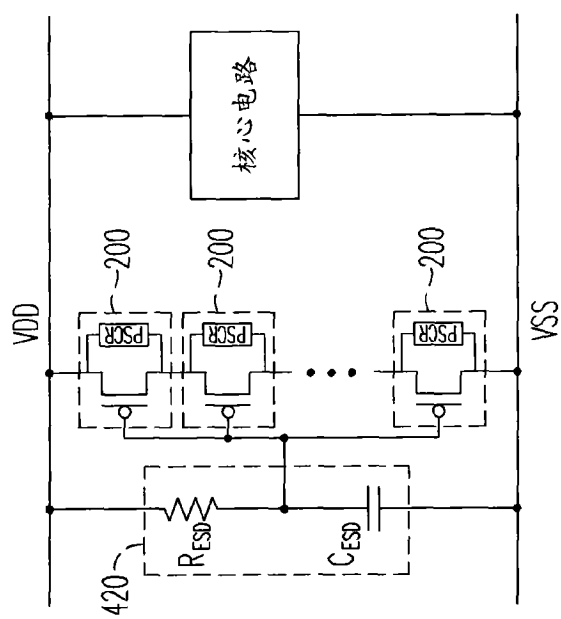


图 4

