



(12) 发明专利

(10) 授权公告号 CN 101493489 B

(45) 授权公告日 2011.08.31

(21) 申请号 200810135498.7

说明书 [0020]–[0021]、附图 2A.

(22) 申请日 2008.08.12

US 7280328 B2, 2007.10.09, 图 3.

(30) 优先权数据

US 6233130 B1, 2001.05.15, 摘要、说明书第

12/018, 229 2008.01.23 US

4 列第 5 行至第 20 行、图 6A–6C.

(73) 专利权人 奇景光电股份有限公司

审查员 齐爽

地址 中国台湾台南县

(72) 发明人 柯明道 颜承正 廖期圣 陈东旻

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 陈红

(51) Int. Cl.

G01R 31/00 (2006.01)

(56) 对比文件

US 6369994 B1, 2002.04.09, 图 4.

US 20070097568 A1, 2007.05.03, 摘要、说明书 [0020]–[0021]、附图 2A.

US 2007/0097568 A1, 2007.05.03, 摘要、说

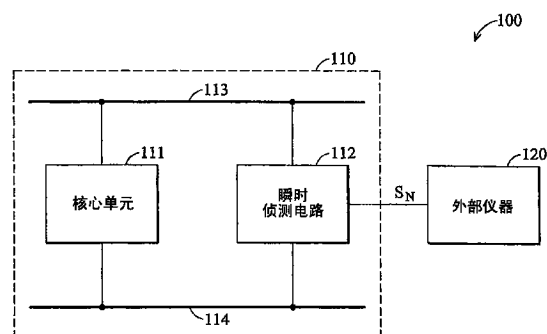
权利要求书 2 页 说明书 4 页 附图 5 页

(54) 发明名称

瞬时侦测电路以及集成电路

(57) 摘要

本发明提供一种瞬时侦测电路以及集成电路, 当一静电放电事件发生时, 提供一告知信号给一外部仪器。瞬时侦测电路包括, 一侦测单元、一设定单元、一记忆单元、一缓冲单元以及一重置单元。侦测单元耦接于一第一及第二电源线之间, 用以侦测该静电放电事件。设定单元根据侦测结果, 设定一第一节点的位准。记忆单元根据该第一节点的位准, 控制该告知信号。当该静电放电事件发生时, 该告知信号为一第一位准。缓冲单元耦接于该记忆单元与该外部仪器之间, 用以增加该告知信号的驱动能力。重置单元耦接于该缓冲单元与该第二电源线之间, 用以使该告知信号为一第二位准, 该第二位准相对于该第一位准。



1. 一种瞬时侦测电路,其特征在于,用于当一静电放电事件发生时,提供一告知信号给一外部仪器,该瞬时侦测电路包括:

一侦测单元,耦接于一第一及第二电源线之间,用以侦测该静电放电事件;

一设定单元,根据侦测结果,设定一第一节点的位准;

一记忆单元,根据该第一节点的位准,控制该告知信号,当该静电放电事件发生时,该告知信号为一第一位准;

一缓冲单元,耦接于该记忆单元与该外部仪器之间,用以增加该告知信号的驱动能力;
以及

一重置单元,耦接于该缓冲单元与该第二电源线之间,用以使该告知信号为一第二位准,该第二位准相对于该第一位准。

2. 根据权利要求1所述的瞬时侦测电路,其特征在于,该侦测单元包括:

一电阻,耦接于该第一电源线与一第二节点之间;以及

一电容,耦接于该第二节点与该第二电源线之间。

3. 根据权利要求2所述的瞬时侦测电路,其特征在于,该设定单元包括:

一反相器,其输入端耦接该第二节点;以及

一N型晶体管,其栅极耦接该反相器的输出端,其源极耦接该第二电源线,其漏极耦接该第一节点。

4. 根据权利要求2所述的瞬时侦测电路,其特征在于,该设定单元为一P型晶体管,其栅极耦接该第二节点,其源极耦接该第一电源线,其漏极耦接该第一节点。

5. 根据权利要求1所述的瞬时侦测电路,其特征在于,该侦测单元包括:

一电容,耦接于该第一电源线与一第二节点之间;以及

一电阻,耦接于该第二节点与该第二电源线之间。

6. 根据权利要求5所述的瞬时侦测电路,其特征在于,该设定单元包括:

一反相器,其输入端耦接该第二节点;以及

一P型晶体管,其栅极耦接该反相器的输出端,其源极耦接该第一电源线,其漏极耦接该第一节点。

7. 根据权利要求5所述的瞬时侦测电路,其特征在于,该设定单元为一N型晶体管,其栅极耦接该第二节点,其源极耦接该第二电源线,其漏极耦接该第一节点。

8. 根据权利要求1所述的瞬时侦测电路,其特征在于,该记忆单元包括:

一第一逻辑模块,其输入端耦接该第一节点,其输出端输出该告知信号给该外部仪器;
以及

一第二逻辑模块,其输入端耦接该第一逻辑模块的输出端,其输出端耦接该第一节点。

9. 根据权利要求8所述的瞬时侦测电路,其特征在于,该第一逻辑模块为反相器,与非门或是或非门。

10. 一种集成电路,其特征在于,用于当一静电放电事件发生时,提供一告知信号给一外部仪器,包括:

一核心单元,耦接于一第一及第二电源线之间,用以执行相关功能;以及

一瞬时侦测电路,包括:

一侦测单元,耦接于该第一及第二电源线之间,用以侦测该静电放电事件;

- 一设定单元,根据侦测结果,设定一第一节点的位准;
 - 一记忆单元,根据第一节点的位准,控制该告知信号,当该静电放电事件发生时,该告知信号为一第一位准;
 - 一缓冲单元,耦接于该记忆单元与该外部仪器之间,用以增加该告知信号的驱动能力;
 - 以及
 - 一重置单元,耦接于该缓冲单元与该第二电源线之间,用以使该告知信号为一第二位准,该第二位准相对于该第一位准。
11. 根据权利要求 10 所述的集成电路,其特征在于,该侦测单元包括:
- 一电阻,耦接于该第一电源线与一第二节点之间;以及
 - 一电容,耦接于该第二节点与该第二电源线之间。
12. 根据权利要求 11 所述的集成电路,其特征在于,该设定单元包括:
- 一反相器,其输入端耦接该第二节点;以及
 - 一 N 型晶体管,其栅极耦接该反相器的输出端,其源极耦接该第二电源线,其漏极耦接该第一节点。
13. 根据权利要求 11 所述的集成电路,其特征在于,该设定单元为一 P 型晶体管,其栅极耦接该第二节点,其源极耦接该第一电源线,其漏极耦接该第一节点。
14. 根据权利要求 10 所述的集成电路,其特征在于,该侦测单元包括:
- 一电容,耦接于该第一电源线与一第二节点之间;以及
 - 一电阻,耦接于该第二节点与该第二电源线之间。
15. 根据权利要求 14 所述的集成电路,其特征在于,该设定单元包括:
- 一反相器,其输入端耦接该第二节点;以及
 - 一 P 型晶体管,其栅极耦接该反相器的输出端,其源极耦接该第一电源线,其漏极耦接该第一节点。
16. 根据权利要求 14 所述的集成电路,其特征在于,该设定单元为一 N 型晶体管,其栅极耦接该第二节点,其源极耦接该第二电源线,其漏极耦接该第一节点。
17. 根据权利要求 10 所述的集成电路,其特征在于,该记忆单元包括:
- 一第一逻辑模块,其输入端耦接该第一节点,其输出端输出该告知信号给该外部仪器;
 - 以及
 - 一第二逻辑模块,其输入端耦接该第一逻辑模块的输出端,其输出端耦接该第一节点。
18. 根据权利要求 17 所述的集成电路,其特征在于,该第一逻辑模块为反相器,与非门或是或非门。

瞬时侦测电路以及集成电路

技术领域

[0001] 本发明有关于一种具有静电放电 (electrostatic discharge ;ESD) 保护的瞬时 (transient) 侦测电路以及集成电路,特别是有关于一种当 ESD 事件发生时,可提供一告知信号给一外部仪器的瞬时侦测电路以及集成电路。

背景技术

[0002] 对于集成电路而言,静电放电 (Electrostatic discharge ;ESD) 事件是可靠度上相当重要的课题之一。为了符合组件层次 (component-level) 的 ESD 规范,可将 ESD 保护电路加在 CMOS IC 的输入 / 输出单元 (I/O cell) 以及电源线 (VDD 及 VSS) 之中。除此之外,针对 COMS IC 产品,在组件层次 ESD 应力中,系统层次 (system level) 的 ESD 可靠度逐渐受到重视。根据电磁兼容 (electromagnetic compatibility ;EMC) 规范,对于系统层次的 ESD 可靠度测试需更将严格。

发明内容

[0003] 本发明所要解决的技术问题在于提供一种瞬时侦测电路以及集成电路,当 ESD 事件发生时,可提供一告知信号给一外部仪器。

[0004] 本发明提供一种瞬时侦测电路。当一静电放电事件发生时,瞬时侦测电路提供一告知信号给一外部仪器。瞬时侦测电路包括,一侦测单元、一设定单元、一记忆单元、一缓冲单元以及一重置单元。侦测单元耦接于一第一及第二电源线之间,用以侦测该静电放电事件。设定单元根据侦测结果,设定一第一节点之位准。记忆单元根据该第一节点之位准,控制该告知信号。当该静电放电事件发生时,该告知信号为一第一位准。缓冲单元耦接于该记忆单元与该外部仪器之间,用以增加该告知信号的驱动能力。重置单元耦接于该缓冲单元与该第二电源线之间,用以使该告知信号为一第二位准,该第二位准相对于该第一位准。

[0005] 本发明另提供一种集成电路。当一静电放电事件发生时,集成电路提供一告知信号给一外部仪器。集成电路包括,一核心单元以及一瞬时侦测电路。核心单元耦接于一第一及第二电源线之间,用以执行相关功能。瞬时侦测电路包括,一侦测单元、一设定单元、一记忆单元、一缓冲单元以及一重置单元。侦测单元耦接于一第一及第二电源线之间,用以侦测该静电放电事件。设定单元根据侦测结果,设定一第一节点之位准。记忆单元根据该第一节点之位准,控制该告知信号。当该静电放电事件发生时,该告知信号为一第一位准。缓冲单元耦接于该记忆单元与该外部仪器之间,用以增加该告知信号的驱动能力。重置单元耦接于该缓冲单元与该第二电源线之间,用以使该告知信号为一第二位准,该第二位准相对于该第一位准。

[0006] 本发明的瞬时侦测电路以及集成电路可以在 ESD 事件发生时,提供一告知信号给一外部仪器,可承受系统层级 (system level) 的 ESD 测试。

附图说明

[0007] 为了让本发明的上述和其它目的、特征、和优点能更明显易懂，下文特举出较佳实施例，并配合所附附图，作详细说明如下：

[0008] 图 1 为本发明的测量系统的示意图；

[0009] 图 2 为本发明的瞬时侦测电路的一可能实施例；

[0010] 图 3A ~ 3B 为本发明的侦测单元与设定单元的一可能实施例；

[0011] 图 4A ~ 4B 为本发明的侦测单元与设定单元的另一可能实施例；

[0012] 图 5A ~ 5C 为本发明的记忆单元的一可能实施例。

[0013] 【主要组件符号说明】

[0014] 100 :测量系统；

[0015] 110 :集成电路；

[0016] 120 :外部仪器；

[0017] 113、114 :电源线；

[0018] 111 :核心单元；

[0019] 112 :瞬时侦测电路；

[0020] 210 :侦测单元；

[0021] 220 :设定单元；

[0022] 230 :记忆单元；

[0023] 240 :缓冲单元；

[0024] 250 :重置单元；

[0025] 311、412 :电阻；

[0026] 312、411 :电容；

[0027] 510、520 :逻辑模块；

[0028] 322、423 :N 型晶体管；

[0029] 323、422 :P 型晶体管；

[0030] 321、421、511、521 :反相器。

具体实施方式

[0031] 图 1 为本发明的测量系统的示意图。测量系统 100 包括，集成电路 (integrated circuit ;IC) 110 以及外部仪器 120。当一 ESD 事件进入集成电路 110 时，集成电路 110 可实时告知外部仪器 120。如图所示，集成电路 110 具有核心单元 111 以及瞬时侦测电路 112。在本实施例中，集成电路 110 可承受系统层级 (system level) 的 ESD 测试。

[0032] 核心单元 111 耦接于电源线 113 与 114 之间，并根据集成电路 110 的类型，而执行相关功能。举例而言，若集成电路 110 为一模拟数字转换器 (ADC) 时，则核心单元 111 用以执行相关转换功能。瞬时侦测电路 112 亦耦接在电源线 113 与 114 之间。在一系统层级的 ESD 测试中，若 ESD 事件发生在电源线 113，并且电源 114 为相对接地时，瞬时侦测电路 112 可立即得知，并提供一告知信号 S_N 给外部仪器 120。

[0033] 图 2 为本发明的瞬时侦测电路的一可能实施例。如图所示，瞬时侦测电路 112 包括，侦测单元 210、设定单元 220、记忆单元 230、缓冲单元 240 以及重置单元 250。侦测单元

210 耦接在电源线 113 和 114 之间,用以侦测 ESD 事件。设定单元 220 根据侦测单元 210 的侦测结果,设定节点 261 的位准。设定单元 220 可被耦接在侦测单元 210 和电源线 113 之间,或是耦接在侦测单元 210 和电源线 114 之间。记忆单元 230 根据节点 261 的位准,控制告知信号 S_N 。当电源线 113 发生 ESD 事件时,告知信号 S_N 为第一位准。第一位准可为高位准或低位准。

[0034] 缓冲单元 240 耦接于记忆单元 230 与外部仪器 120 之间,用以增加告知信号 S_N 的驱动能力。在本实施例中,重置单元 250 耦接于缓冲单元 240 与电源线 114 之间,用以重置(reset)告知信号 S_N 。在其它实施例中,重置单元 250 耦接于缓冲单元 240 与电源线 113 之间。当重置单元 250 接收到重置信号 S_R 时,便可将告知信号 S_N 重置成一第二位准。在其它可能实施例中,为了降低组件成本,可选择性地省略缓冲单元 240 及 / 或重置单元 250。当缓冲单元 240 被省略时,记忆单元 230 直接地将告知信号 S_N 提供给外部仪器 120。

[0035] 另外,上述的第一位准相对于第二位准,当第一位准为高位准时,则第二位准为低位准。同样地,当第一位准为低位准时,则第二位准为高位准。

[0036] 图 3A 为本发明的侦测单元与设定单元的一可能实施例。如图所示,侦测单元 210 包括电阻 311 以及电容 312。电阻 311 耦接于电源线 113 与节点 262 之间。电容 312 耦接于节点 262 与电源线 114 之间。电阻 311 的阻抗及电容 312 的容值可定义一延迟系数。该延迟常数大于 ESD 脉冲时间并且小于电源线 113 上电源信号的初始上升时间。

[0037] 当一 ESD 事件发生在电源线 113,而电源线 114 为相对接地端时,由于 RC 电路具有较 ESD 脉冲上升时间长的延迟时间常数,因而使得节点 262 为低位准。当 ESD 事件未发生,并且电源线 113 的位准为高位准(如 3.3V)而电源线 114 的位准为低位准(如 0V)时,节点 262 为高位准。

[0038] 在本实施例中,设定单元 220 包括反相器 321 以及 N 型晶体管 322。反相器 321 的输入端耦接节点 262。N 型晶体管 322 的栅极耦接反相器 321 的输出端,其源极耦接电源线 114,其漏极耦接节点 261。当 ESD 事件发生在电源线 113,而电源线 114 为相对接地端时,由于节点 262 为低位准,因而导通 N 型晶体管 322,使得节点 261 为低位准。

[0039] 图 3B 为本发明的侦测单元与设定单元的另一可能实施例。图 3B 相似于图 3A,不同之处在于,图 3B 的设定单元 220 为一 P 型晶体管 323。P 型晶体管 323 的栅极耦接节点 262,其源极耦接电源线 113,其漏极耦接节点 261。当 ESD 事件发生在电源线 113,而电源线 114 为相对接地端时,由于节点 262 为低位准,因而导通 P 型晶体管 323,使得节点 261 为高位准。

[0040] 图 4A 为本发明的侦测单元与设定单元的另一可能实施例。如图所示,侦测单元 210 包括电容 411 以及电阻 412。电容 411 耦接于电源线 113 与节点 262 之间。电阻 412 耦接于节点 262 与电源线 114 之间。根据电容 411 的特性,当 ESD 事件发生在电源线 113 时,根据电容 411 的特性,节点 262 将为高位准。

[0041] 在本实施例中,设定单元 220 包括,反相器 421 以及 P 型晶体管 422。反相器 421 的输入端耦接节点 262。P 型晶体管 422 的栅极耦接反相器 421 的输出端,其源极耦接电源线 113,其漏极耦接节点 261。当 ESD 事件发生在电源线 113 时,由于节点 262 为高位准,因而导通 P 型晶体管 422,使得节点 261 为高位准。

[0042] 图 4B 为本发明的侦测单元与设定单元的另一可能实施例。图 4B 相似于图 4A,不同之处在于,图 4B 的设定单元 220 为一 N 型晶体管 423。N 型晶体管 423 的栅极耦接节点

262,其源极耦接电源线 114,其漏极耦接节点 261。当 ESD 事件发生在电源线 113 时,由于节点 262 为高位准,因而导通 N 型晶体管 423,使得节点 261 为低位准。

[0043] 图 5A ~ 5C 为本发明的记忆单元的一可能实施例。如图所示,记忆单元 230 具有逻辑模块 510 及 520。逻辑模块 510 的输入端耦接节点 261,其输出端输出告知信号 SN 给外部仪器 120。逻辑模块 520 的输入端耦接逻辑模块 510 的输出端,其输出端耦接节点 261。外部仪器 120 根据告知信号 SN 的位准,便可得知电源线 113 是否发生 ESD 事件。在本实施例中,逻辑模块 510 及 520 均为反相器 511 及 521。在其它实施例中,逻辑模块 510 及 520 可为 NAND 门(与非门)或 NOR 门(或非门)。NAND 门及 NOR 门的示意图如图 5B 及 5C 所示。

[0044] 以下将说明侦测单元 210、设定单元 220 以及记忆单元 230 的动作原理。请参考图 3A 所示的侦测单元 210、设定单元 220 以及图 5A 所示的记忆单元 230。假设,重置单元 250 接收到重置信号 SR 时,告知信号 SN 为低位准。通过图 5A 所示的反相器 521,当告知信号 SN 为低位准时,节点 261 为高位准。

[0045] 当 ESD 事件发生在电源线 113,而电源线 114 为相对接地端时,由于节点 262 为低位准,故可导通 N 型晶体管 322,使得节点 261 由高位准变化至低位准。在本实施例中,当告知信号 SN 为高位准时,外部仪器 120 便可得知电源线 113 发生 ESD 事件。

[0046] 虽然本发明已以较佳实施例揭露如上,然其并非用以限定本发明,任何所属技术领域中具有通常知识者,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,因此本发明的保护范围当视后附的权利要求所界定的范围为准。

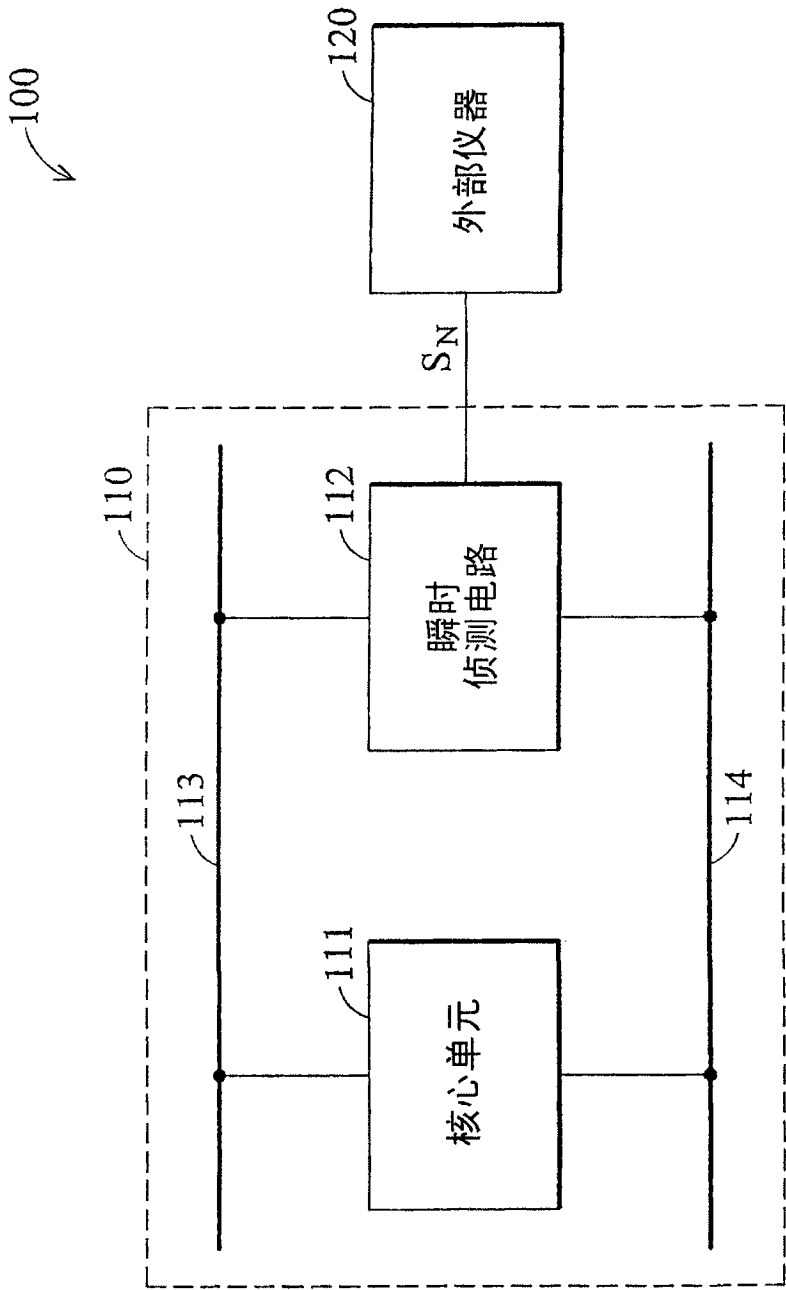


图1

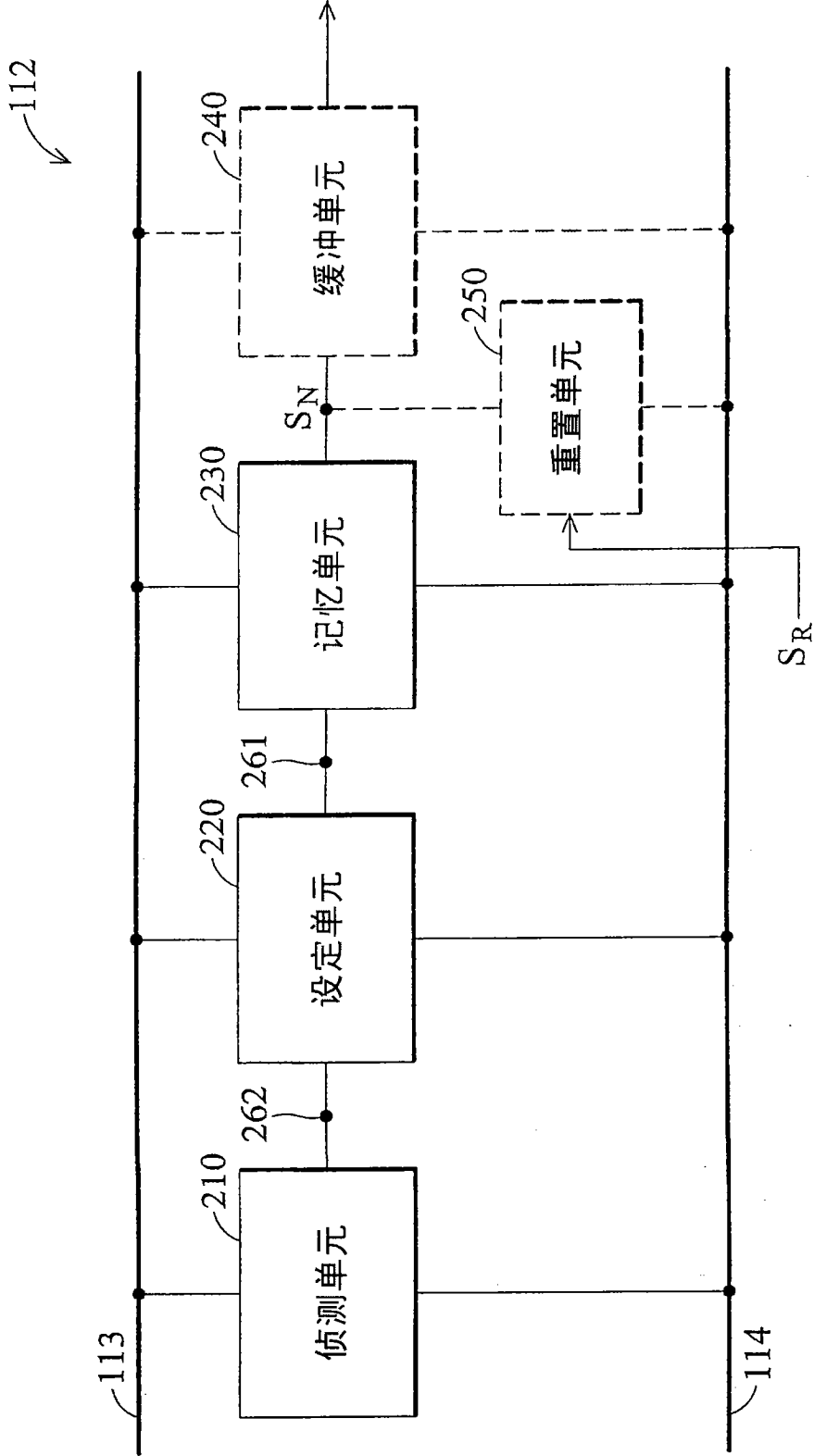


图2

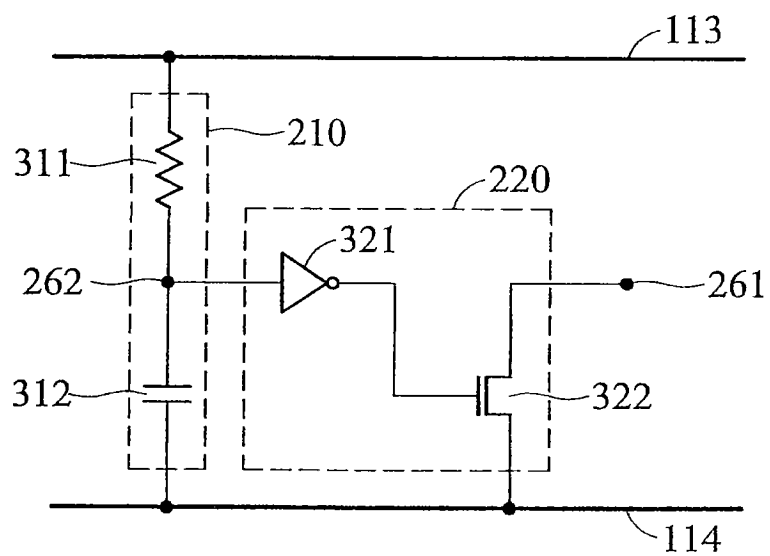


图 3A

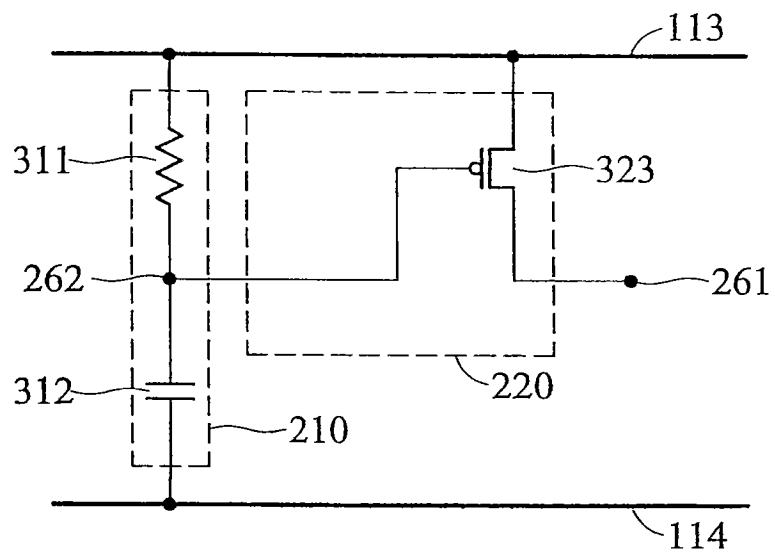


图 3B

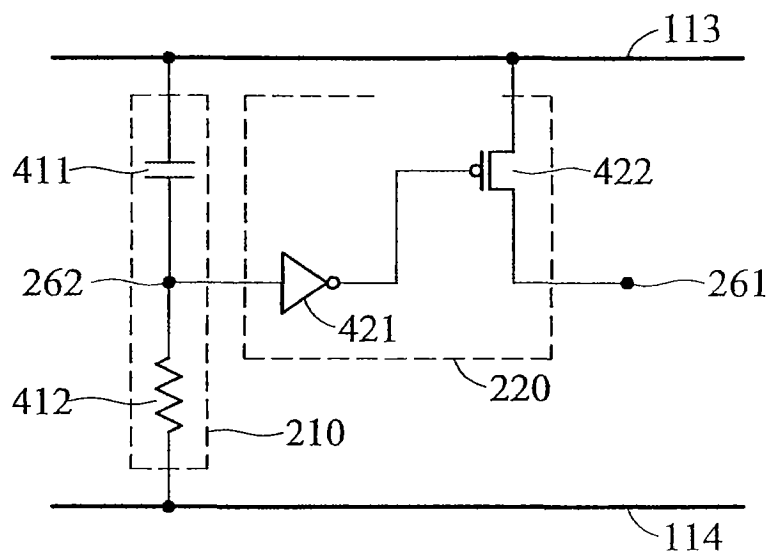


图 4A

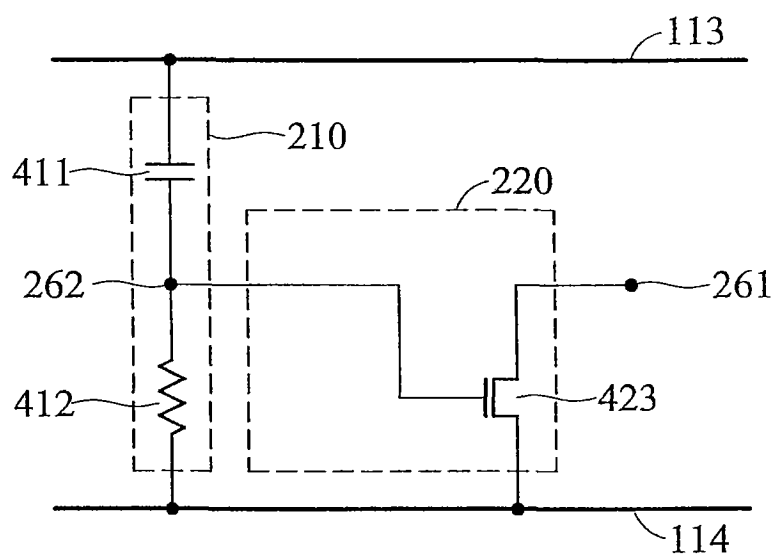


图 4B

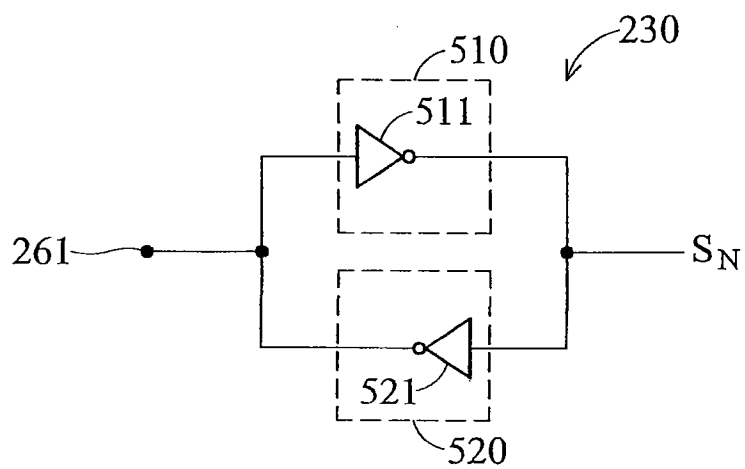


图 5A

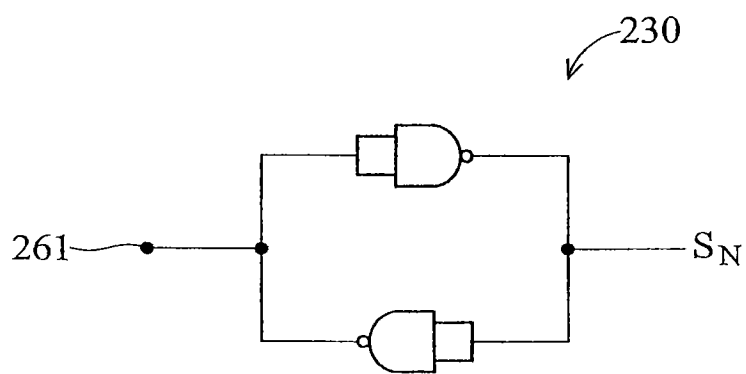


图 5B

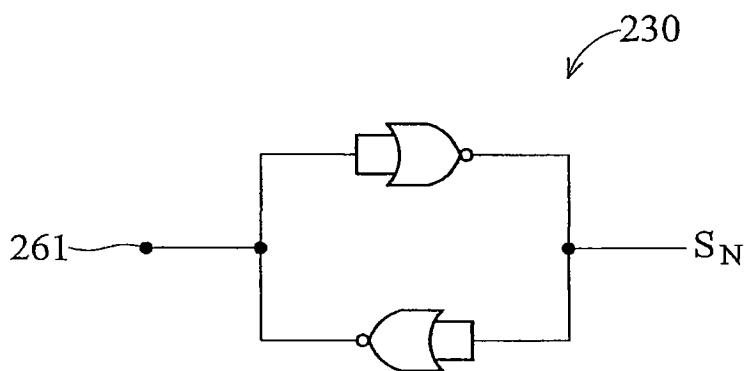


图 5C