



(12) 发明专利

(10) 授权公告号 CN 101533830 B

(45) 授权公告日 2012.05.09

(21) 申请号 200810082887.8

(22) 申请日 2008.03.11

(73) 专利权人 义隆电子股份有限公司

地址 中国台湾新竹市

(72) 发明人 谢武聪 周明俊 柯明道

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 任默闻

(51) Int. Cl.

H01L 23/60 (2006.01)

H02H 9/00 (2006.01)

(56) 对比文件

CN 1256516 A, 2000.06.14,

US 6952333 B1, 2005.10.04,

US 2007/0127173 A1, 2007.06.07,

US 2005/0098795 A1, 2005.05.12,

审查员 朱丽娜

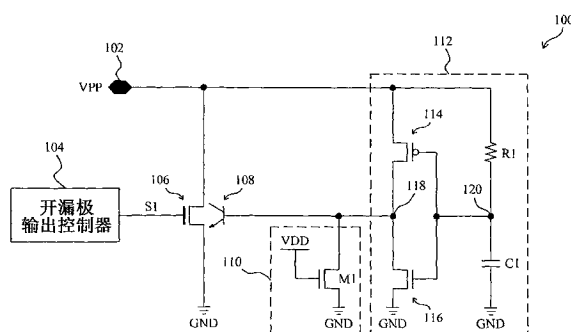
权利要求书 2 页 说明书 4 页 附图 6 页

(54) 发明名称

高压垫的静电放电保护装置

(57) 摘要

本发明提供一种高压垫的静电放电保护装置,其包括高压 NMOS 晶体管连接在所述高压垫及低压端之间,所述高压 NMOS 晶体管具有一 NPN 的 BJT 晶体管在所述高压 NMOS 晶体管的源漏极之间,触发器在所述高压垫上的电压达到一临界值时,导通所述 NPN 的 BJT 晶体管以使所述高压垫上静电放电的能量释放至所述低压端。



1. 一种高压垫的静电放电保护装置,其特征在于,所述装置包括:

高压 NMOS 晶体管,连接在所述高压垫及低压端之间,在所述高压 NMOS 晶体管的源漏极之间具有一寄生元件,所述寄生元件包括一 NPN 的 BJT 晶体管;以及

触发器,在输入所述高压垫上的电压高于一临界值时,导通所述寄生元件 NPN 的 BJT 晶体管以将所述高压垫上静电放电的能量释放至所述低压端。

2. 如权利要求 1 所述的静电放电保护装置,其特征在于,所述装置还包括一控制器切换所述高压 NMOS 晶体管以使所述高压垫具有开漏极输出能力。

3. 如权利要求 1 所述的静电放电保护装置,其特征在于,所述触发器为一反相触发器。

4. 如权利要求 3 所述的静电放电保护装置,其特征在于,所述触发器包括:

第一晶体管,在所述高压垫及一节点之间,所述节点连接所述寄生元件;以及

第二晶体管,在所述节点及所述低压端之间,所述第一及第二晶体管受控于第一电压以将所述高压垫上的第二电压或所述低压端上的第三电压提供给所述寄生元件。

5. 如权利要求 3 所述的静电放电保护装置,其特征在于,所述触发器包括:

第一二极管,具有一正端连接在第一电压以及一负端连接第一节点;

第二二极管,具有一正端连接所述高压垫以及一负端连接所述第一节点;

第一晶体管,在所述第一节点及第二节点之间,所述第二节点连接所述寄生元件;以及

第二晶体管,在所述第二节点及所述低压端之间,所述第一及第二晶体管受控于第二电压以将所述高压垫上的第三电压或所述低压端上的第四电压提供给所述寄生元件。

6. 如权利要求 1 所述的静电放电保护装置,其特征在于,所述装置还包括防止误启动电路用以防止所述触发器在正常工作时导通所述寄生元件。

7. 如权利要求 6 所述的静电放电保护装置,其特征在于,所述防止误启动电路包括:

开关,连接在所述触发器的输出及低压端之间;以及

电压源,控制所述开关的切换。

8. 如权利要求 1 所述的静电放电保护装置,其特征在于,所述装置还包括第二高压 NMOS 晶体管,连接在所述高压垫及第二低压端之间,所述第二高压 NMOS 晶体管具有第二寄生元件在所述第二高压 NMOS 晶体管的源漏极之间,在所述高压垫上的电压高于所述临界值时,所述触发器导通所述第二寄生元件以将所述高压垫上静电放电的能量释放至所述第二低压端。

9. 一种高压垫的静电放电保护装置,其特征在于,所述装置包括:

第一导电型的第一区域;

第一导电型的第二区域,形成在所述第一区域内;

第二导电型的第三区域,形成在所述第一区域内,连接低压端;

第二导电型的第四区域,形成在所述第一区域内,连接所述高压垫;以及

触发器,提供正比与所述高压垫上第一电压的第二电压给所述第二区域;

其中,在所述第二电压大于一临界值时,由所述第一、第三及第四区域形成的 NPN 的 BJT 寄生元件将被导通,以使所述高压垫上静电放电的能量经由所述 NPN 的 BJT 寄生元件释放至所述低压端。

10. 如权利要求 9 所述的静电放电保护装置,其特征在于,所述装置还包括:

氧化层,在所述第一区域上,覆盖在所述第三及第四区域之间;以及

金属层,在所述氧化层上,与所述第一、第二及第三区域以及所述氧化层形成一高压 NMOS 晶体管。

11. 如权利要求 10 所述的静电放电保护装置,其特征在于,所述装置还包括一控制器连接所述金属层,用以切换所述高压 NMOS 晶体管以使所述高压垫具有开漏极输出能力。

12. 如权利要求 9 所述的静电放电保护装置,其特征在于,所述触发器为一反相触发器。

高压垫的静电放电保护装置

技术领域

[0001] 本发明是有关于一种高压垫的静电放电 (ElectroStatic Discharge ;ESD) 保护装置,特别是关于一种具有良好 ESD 保护能力且可以让高压垫具有开漏极 (open-drain) 输出能力的 ESD 保护装置。

背景技术

[0002] 静电放电是造成大多数的电子元件或电子系统受到过度电性应力 (Electrical Overstress,EOS) 破坏的主要因素。这种破坏会影响集成电路的电路功能,而使得集成电路工作不正常。为了避免 ESD 对集成电路的影响,因此在集成电路的输入 / 输出垫 (I/O pad) 上将设置 ESD 保护装置以防止 ESD 破坏集成电路。然而,由于高压 I/O 垫须具备承受高于电源电压的能力,故在设计上对电源电压不能有 PMOS 元件,因而高压 I/O 垫的 ESD 保护能力难以提升。

[0003] 因此,一种有别于传统 I/O 垫的 ESD 保护装置,乃为所冀。

发明内容

[0004] 本发明的目的之一,在于提出一种高压垫的 ESD 保护装置,其利用 NMOS 寄生元件达到 ESD 保护。

[0005] 本发明的目的之一,在于提出一种高压垫的 ESD 保护装置,其可以使所述高压垫具有开漏极 (open-drain) 输出能力。

[0006] 本发明的目的之一,在于提出一种高压垫的 ESD 保护装置,其能防止在正常工作时被误启动。

[0007] 根据本发明,一种高压垫的 ESD 保护装置包括高压 NMOS 晶体管连接在所述高压垫及一低压端之间,所述高压 NMOS 晶体管具有一寄生元件在所述高压 NMOS 晶体管的源漏极之间,反相触发器在输入所述高压垫上的电压高于一临界值时,导通所述寄生元件以将所述高压垫上 ESD 的能量释放至所述低压端,进而达到 ESD 保护,一开漏极输出控制器切换所述高压 NMOS 晶体管以使所述高压垫具有开漏极输出能力,以及一防止误启动电路用以防止所述反相触发器在正常工作时误启动所述 ESD 保护机制。

附图说明

[0008] 图 1 是本发明的第一实施例 ;

[0009] 图 2 是本发明的第二实施例 ;

[0010] 图 3 是本发明的第三实施例 ;

[0011] 图 4 显示高压 NMOS 晶体管 106 的结构 ;

[0012] 图 5 显示实际量测到 ESD 保护装置 100 中高压垫 102 对地端 GND 的电流 / 电压曲线 ;以及

[0013] 图 6 显示没有 ESD 保护装置 100 时高压垫 102 对地端 GND 的电流 / 电压曲线。

[0014]	附图标号：	
[0015]	100	ESD 保护装置
[0016]	102	高压垫
[0017]	104	开漏极输出控制器
[0018]	106	高压 NMOS 晶体管
[0019]	108	BJT 元件
[0020]	110	防止误启动电路
[0021]	112	反相触发器
[0022]	114	PMOS 晶体管
[0023]	116	NMOS 晶体管
[0024]	118	节点
[0025]	120	节点
[0026]	200	ESD 保护装置
[0027]	202	节点
[0028]	204	PMOS 晶体管
[0029]	206	NMOS 晶体管
[0030]	208	节点
[0031]	210	节点
[0032]	300	ESD 保护装置
[0033]	302	高压 NMOS 晶体管
[0034]	304	BJT 元件
[0035]	400	衬底
[0036]	402	P 型阱
[0037]	404	N 型阱
[0038]	406	N 型阱
[0039]	408	氧化层
[0040]	410	金属层

具体实施方式

[0041] 图 1 是本发明的第一实施例,在 ESD 保护装置 100 中,高压 NMOS 晶体管 106 连接在高压垫 102 及地端 GND 之间,高压 NMOS 晶体管 106 具有一寄生的 NPN 的 BJT 元件 108,反相触发器 112 的输出连接 BJT 元件 108 的基极,反相触发器 112 在高压垫 102 上的电压 VPP 高于一临界值时导通 BJT 元件 108 以使高压垫上 ESD 的能量释放至地端 GND,进而达到 ESD 保护。反相触发器 112 包括 PMOS 晶体管 114 连接在高压垫 102 及节点 118 之间, NMOS 晶体管 116 连接在节点 118 及地端 GND 之间,节点 118 连接 BJT 元件 108 的基极,电阻 R1 连接在高压垫 102 及节点 120 之间,电容 C1 连接在节点 120 及地端 GND 之间。在 ESD 期间,节点 120 上的电压一开始为 0,故 PMOS 晶体管 114 导通 (turn on) 而 NMOS 晶体管 116 截止 (turn off),当电压 VPP 加至高压垫 102 上时,由于电阻 R1 及电容 C1 的关系,节点 120 上的电压不会立即被拉高至高准位,因此晶体管 114 维持导通状态以将高压垫 102 上的电压

VPP 连接至 BJT 元件 108 的基极,当电压 VPP 高于一临界值时,BJT 元件 108 将被导通以使高压垫上 ESD 的能量释放至地端 GND。

[0042] 在 ESD 保护装置 100 中,还包括一开漏极输出控制器 104 将切换高压 NMOS 晶体管 106,当高压 NMOS 晶体管 106 导通时,高压垫 102 连接至地端 GND,故高压垫 102 的电压变为低准位,当 NMOS 晶体管 106 截止时,高压垫 102 将被外部的电压(图中未示)拉回高准位,因此当开漏极输出控制器 104 切换高压 NMOS 晶体管 106 时,高压垫 102 上的电压将跟着改变,故高压垫 102 除了可以当作耐高压的输入垫外,还可以当作开漏极的输出垫。此外,防止误启动电路 110 用以防止在正常工作时误启动所述 ESD 保护机制,所述防止误启动电路 110 包括 NMOS 晶体管 M1 连接在反相触发器 112 的输出及地端 GND 之间,受控于电源电压 VDD,在 ESD 期间,电源电压 VDD 为 0,故 NMOS 晶体管 M1 截止,因此不影响 ESD 保护功能,在正常工作时,电源电压 VDD 将使 NMOS 晶体管 M1 导通,进而让反相触发器 112 的输出接地以避免寄生的 BJT 元件 108 被导通而误启动 ESD 保护机制。

[0043] 图 2 是本发明的第二实施例,ESD 保护装置 200 包括反相触发器 202 在 ESD 期间若高压垫 102 上的电压 VPP 大于一临界值时,导通高压 NMOS 晶体管 106 的寄生 BJT 元件 108 以使高压垫上 ESD 的能量释放至地端 GND,开漏极输出控制器 104 用以切换高压 NMOS 晶体管 106,进而使高压垫 102 具有开漏极输出能力,防止误启动电路 110 用以在正常工作时防止所述 ESD 保护机制被误启动。在反相触发器 202 中,二极管 D1 连接在电压 V1 及节点 202 之间,二极管 D2 连接在节点 202 及高压垫 102 之间,PMOS 晶体管 204 连接在高压垫 102 及节点 208 之间,NMOS 晶体管 206 连接在节点 208 及地端 GND 之间,节点 208 连接 BJT 元件 108 的基极,电阻 R1 连接在高压垫 102 及节点 210 之间,电容 C1 连接在节点 210 及地端 GND 之间。在 ESD 期间,节点 210 上的电压一开始为 $(V1-VF)$,故与图 1 的反相触发器 112 相比,反相触发器 202 需要较高的电压 VPP 才能导通 BJT 元件 108。

[0044] 图 3 是本发明的第三实施例,ESD 保护装置 300 包括高压 NMOS 晶体管 106 连接在高压垫 102 及地端 GND 之间,高压 NMOS 晶体管 302 连接在电源电压 VDD 及高压垫之间,其栅极接地,反相触发器 112 的输出连接高压 NMOS 晶体管的寄生 BJT 元件 108 及 304 的基极,在 ESD 期间,若高压垫 102 上的电压 VPP 大于临界值时,反相触发器 112 将导通 BJT 元件 108 及 304 以使高压垫上 ESD 的能量释放至地端 GND 及电源电压 VDD,进而达到 ESD 保护,开漏极输出控制器 104 用以切换高压 NMOS 晶体管 106,进而使高压垫 102 具有开漏极输出能力,防止误启动电路 110 用以在正常工作时防止所述 ESD 保护机制被误启动。

[0045] 图 4 显示高压 NMOS 晶体管 106 的结构,其包括 P 型衬底 400,P 型阱 402 在衬底 400 中,连接反相触发器的输出,N 型阱 404 及 406 在衬底 400 中,分别连接地端 GND 及高压垫 102,氧化层 408 在衬底 400 上覆盖在 N 型阱 404 及 406 之间,金属层 410 在所述氧化层 408 上,连接开漏极输出控制器 104 的输出 S1,其中衬底 400、N 型阱 404 及 406、氧化层 408 及金属层 410 形成高压 NMOS 晶体管 106,而衬底 400 以及 N 型阱 404 及 406 之间同时也形成寄生的 NPN 的 BJT 元件 108。当高压垫 102 上的电压高于临界值时,反相触发器的输出将导通 BJT 元件 108,也就是说 N 型阱 404 及 406 之间将出现一通道,使得高压垫上的能量 I_{ESD} 由 N 型阱 406 流向 N 型阱 404,最后再释放至地端 GND。

[0046] 图 5 显示实际量测到 ESD 保护装置 100 中高压垫 102 对地端 GND 的电流/电压曲线。图 6 是没有 ESD 保护装置时高压垫对地端 GND 的电流/电压曲线。由图 5 及图 6 的电

流 / 电压曲线可看出, ESD 保护装置 100 消除了突然跳回 (snapback) 现象, 故具有良好的 ESD 保护功能。

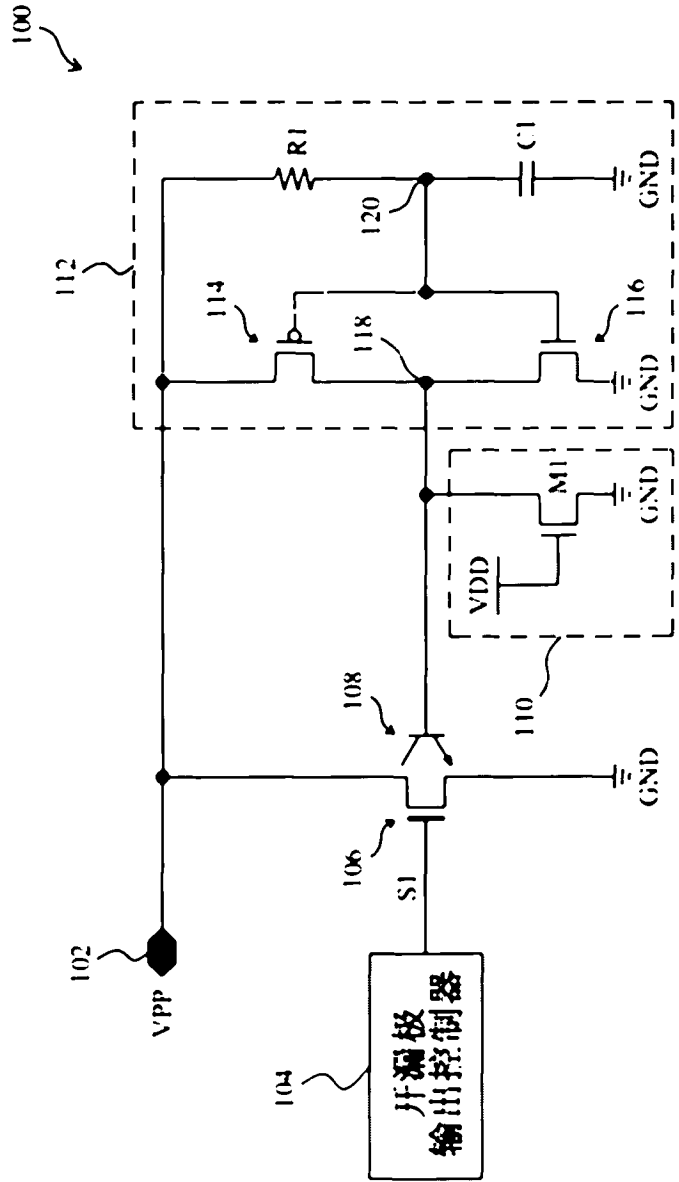


图 1

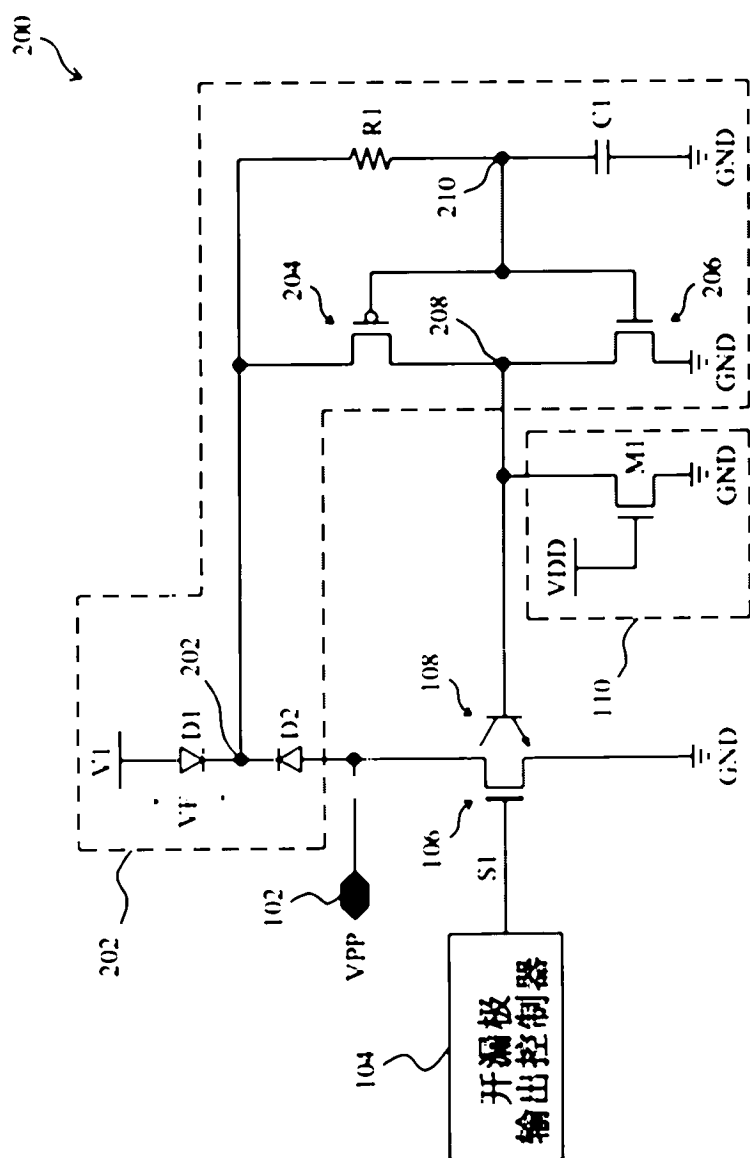


图 2

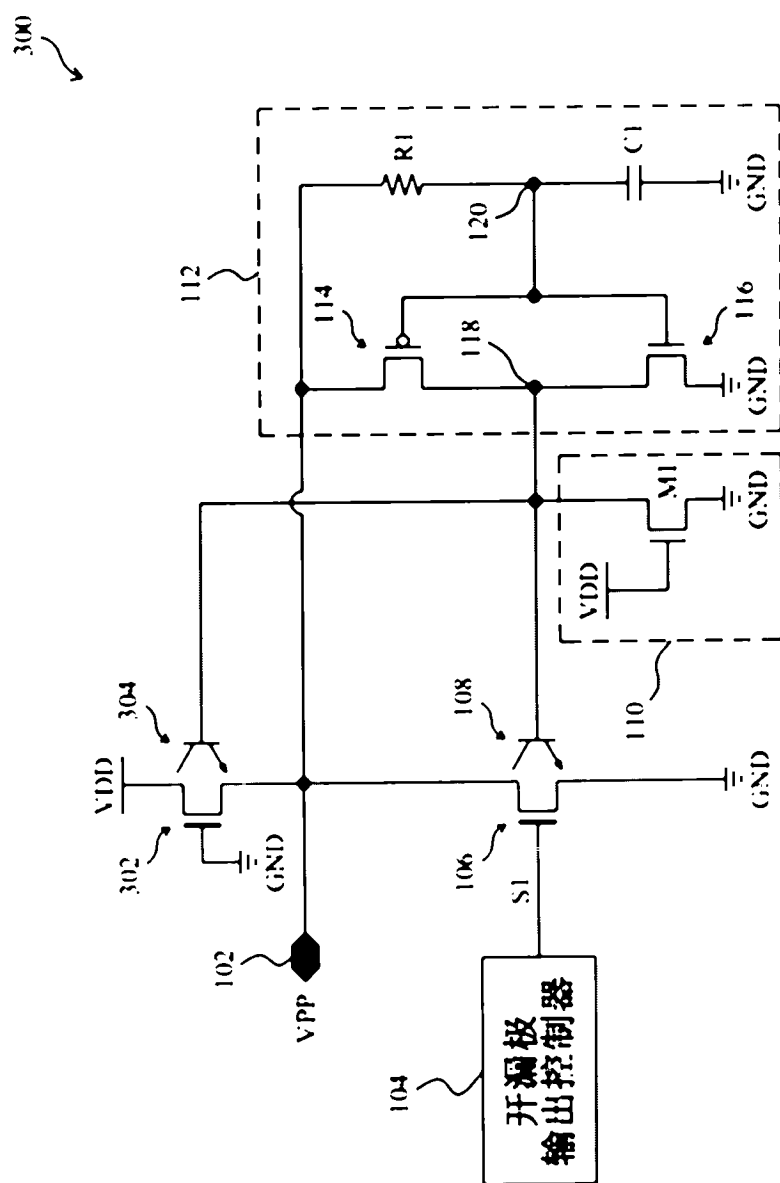


图 3

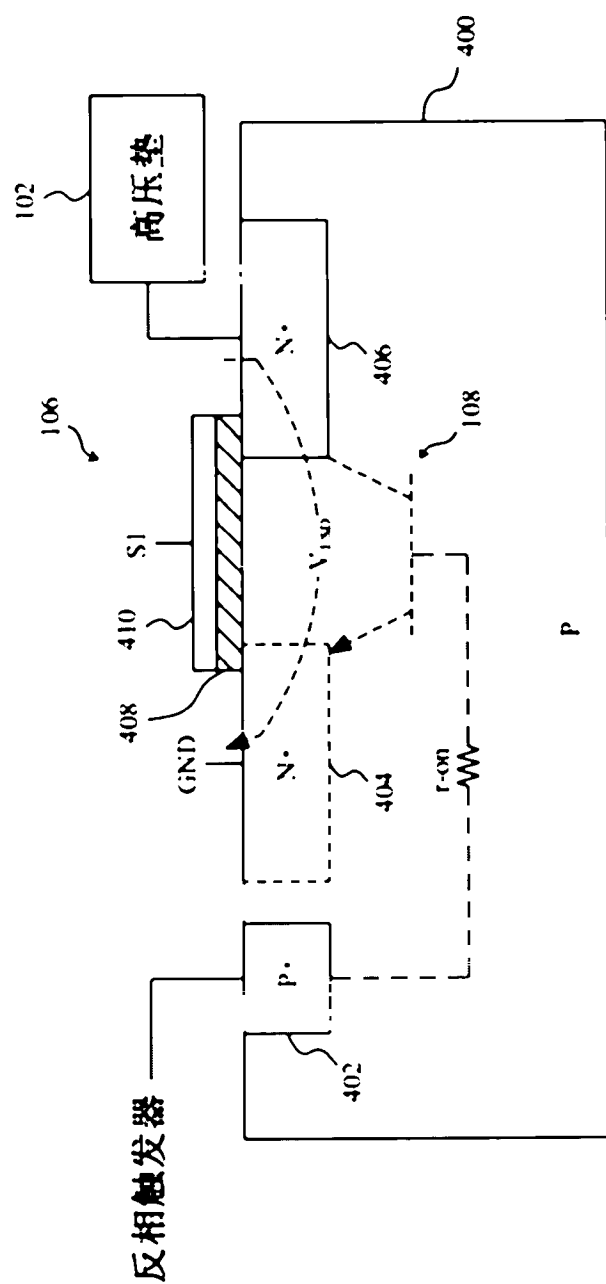


图 4

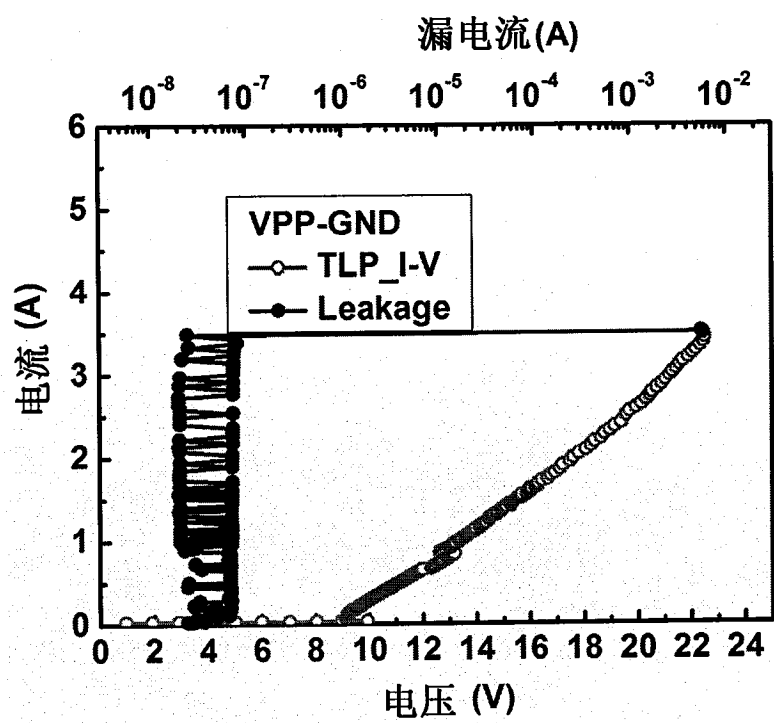


图 5

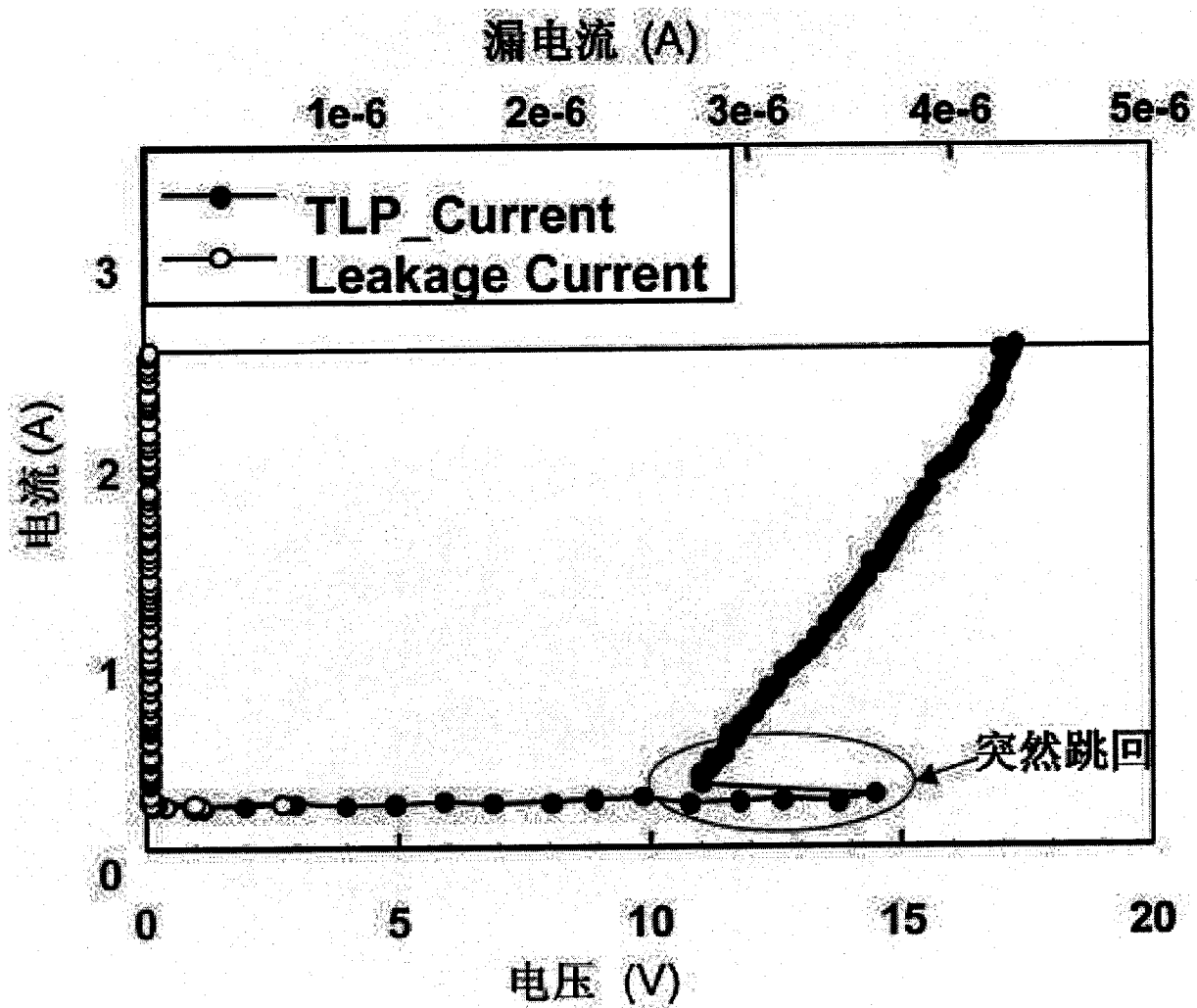


图 6