

(12) 发明专利

(10) 授权公告号 CN 101566658 B

(45) 授权公告日 2012.03.14

(21) 申请号 200810185128.4

(22) 申请日 2008.12.09

(30) 优先权数据

12/107,902 2008.04.23 US

(73) 专利权人 奇景光电股份有限公司

地址 中国台湾台南县

(72) 发明人 柯明道 颜承正 廖期圣 陈东旻

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 陈红

(51) Int. Cl.

G01R 31/00 (2006.01)

审查员 肖靖

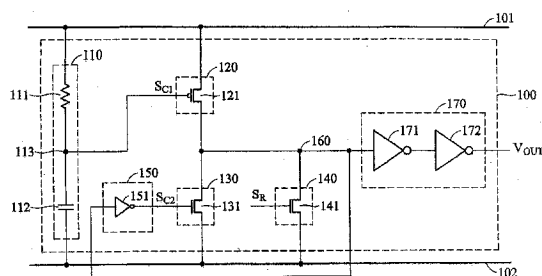
权利要求书 2 页 说明书 4 页 附图 6 页

(54) 发明名称

瞬态侦测电路

(57) 摘要

本发明涉及一种瞬态侦测电路，耦接于一第一电源线以及一第二电源线之间。该瞬态侦测电路包括，一第一控制单元、一设定单元、一稳压单元以及一重置单元。第一控制单元产生一第一控制信号。当一静电放电事件发生时，该第一控制信号为一第一位准。当该静电放电事件未发生时，该第一控制信号为一第二位准。设定单元用以设定一第一节点。当该第一控制信号为该第一位准，该第一节点被设定成该第二位准。稳压单元用以维持该第一节点的位准。当该第一控制信号为该第二位准时，该第一节点被维持在该第二位准。重置单元用以使该第一节点为该第一位准。



1. 一种瞬态侦测电路,其特征在于,耦接于一第一电源线以及一第二电源线之间,该瞬态侦测电路包括:

一第一控制单元,产生一第一控制信号,当一静电放电事件发生时,该第一控制信号为一第一位准,当该静电放电事件未发生时,该第一控制信号为一第二位准;

一设定单元,用以设定一第一节点,当该第一控制信号为该第一位准,该第一节点被设定成该第二位准;

一稳压单元,用以维持该第一节点的位准,当该第一控制信号为该第二位准时,该第一节点被维持在该第二位准;以及

一重置单元,用以使该第一节点为该第一位准。

2. 根据权利要求1所述的瞬态侦测电路,其特征在于,还包括一第二控制单元,用以根据该第一节点的位准,产生一第二控制信号予该稳压单元。

3. 根据权利要求2所述的瞬态侦测电路,其特征在于,该稳压单元为一N型晶体管,其栅极接收该第二控制信号,其漏极耦接该第一节点,其源极耦接该第二电源线。

4. 根据权利要求3所述的瞬态侦测电路,其特征在于,该第二控制单元包括:

一第一缓冲器,接收该第一节点的位准,并提供一输出信号以作为该第二控制信号;以及

一第二缓冲器,串联该第一缓冲器。

5. 根据权利要求3所述的瞬态侦测电路,其特征在于,该第二控制单元为一反相器,用以反相该第一节点的位准,并将反相后的结果作为该第二控制信号。

6. 根据权利要求2所述的瞬态侦测电路,其特征在于,该稳压单元为一P型晶体管,用以根据该第二控制信号,设定该第一节点的位准,该P型晶体管的栅极接收该第二控制信号,其源极耦接该第一电源线,其漏极耦接该第一节点。

7. 根据权利要求6所述的瞬态侦测电路,其特征在于,该第二控制单元包括:

一第一缓冲器,接收该第一节点的位准,并产生一输出信号以作为该第二控制信号;以及

一第二缓冲器,串联该第一缓冲器。

8. 根据权利要求6所述的瞬态侦测电路,其特征在于,该第二控制单元为一反相器,用以反相该第一节点的位准,并将反相后的结果作为该第二控制信号。

9. 根据权利要求1所述的瞬态侦测电路,其特征在于,该重置单元为一N型晶体管,其栅极接收一重置信号,其漏极耦接该第一节点,其源极耦接该第二电源线。

10. 根据权利要求1所述的瞬态侦测电路,其特征在于,该重置单元为一P型晶体管,其栅极接收一重置信号,其漏极耦接该第一节点,其源极耦接该第一电源线。

11. 根据权利要求1所述的瞬态侦测电路,其特征在于,该第一控制单元具有:

一电阻器;

一电容器,与该电阻器耦接于一第二节点,并与该电阻器串联于该第一及第二电源线之间。

12. 根据权利要求11所述的瞬态侦测电路,其特征在于,该设定单元为一P型晶体管,其栅极耦接该第二节点,其源极耦接该第一电源线,其漏极耦接该第一节点。

13. 根据权利要求11所述的瞬态侦测电路,其特征在于,该设定单元包括:

一反相器,其有一输入端以及一输出端,该输入端耦接该第二节点;以及
一 N 型晶体管,其栅极耦接该输出端,其源极耦接该第二电源线,其漏极耦接该第一节点。

14. 根据权利要求 11 所述的瞬态侦测电路,其特征在于,该设定单元为一 N 型晶体管,其栅极耦接该第二节点,其源极耦接该第二电源线,其漏极耦接该第一节点。

15. 根据权利要求 11 所述的瞬态侦测电路,其特征在于,该设定单元包括:

一反相器,其有一输入端以及一输出端,该输入端耦接该第一节点;以及
一 P 型晶体管,其栅极耦接该输出端,其源极耦接该第一电源线,其漏极耦接该第一节点。

瞬态侦测电路

技术领域

[0001] 本发明有关于一种瞬态侦测电路 (transient detection circuit), 特别是有关于一种用以侦测静电放电 (electrostatic discharge ;ESD) 的瞬态侦测电路。

背景技术

[0002] 对于集成电路而言, 静电放电 (Electrostatic discharge ;ESD) 事件为可靠度上相当重要的课题之一。为了符合元件层级 (component-level) 的 ESD 规范, 可将 ESD 保护电路加在 CMOS IC 的输入 / 输出单元 (I/O cell) 以及电源线 (VDD 及 VSS) 之中。除此之外, 针对 CMOS IC 产品, 在元件层级 ESD 应力中, 系统层级 (system level) 的 ESD 可靠度逐渐受到重视。根据电磁兼容 (electromagnetic compatibility ;EMC) 规范, 对于系统层级的 ESD 可靠度测试需更将严格。

发明内容

[0003] 本发明所要解决的技术问题在于提供一种瞬态侦测电路, 用以侦测静电放电事件。

[0004] 为了实现上述目的, 本发明提出一种瞬态侦测电路, 耦接于一第一电源线以及一第二电源线之间。该瞬态侦测电路包括, 一第一控制单元、一设定单元、一稳压单元以及一重置单元。第一控制单元产生一第一控制信号。当一静电放电事件发生时, 该第一控制信号为一第一位准。当该静电放电事件未发生时, 该第一控制信号为一第二位准。设定单元用以设定一第一节点。当该第一控制信号为该第一位准, 该第一节点被设定成该第二位准。稳压单元用以维持该第一节点的位准。当该第一控制信号为该第二位准时, 该第一节点被维持在该第二位准。重置单元用以使该第一节点为该第一位准。

[0005] 利用本发明的瞬态侦测电路, 使用者可根据节点的位准, 得知是否发生静电放电事件, 从而更加严格地测试静电放电的可靠度。

[0006] 为了让本发明的上述和其它目的、特征、和优点能更明显易懂, 下文特举出较佳实施例, 并配合所附附图, 作详细说明如下:

附图说明

[0007] 图 1 为本发明的瞬态侦测电路的一可能实施例;

[0008] 图 2 ~ 6 为本发明的瞬态侦测电路的其它可能实施例。

[0009] 【主要组件符号说明】

[0010] 100、400 : 瞬态侦测电路;

[0011] 101、102 : 电源线;

[0012] 110、150、410、450 : 控制单元;

[0013] 120、320、420、620 : 设定单元;

[0014] 130、330、430、630 : 稳压单元;

- [0015] 111、412 :电阻器 ;
- [0016] 112、411 :电容器 ;
- [0017] 113、160、413、460 :节点 ;
- [0018] 121、331、341、431、441、622 :P 型晶体管 ;
- [0019] 131、141、322、421、631、641 :N 型晶体管 ;
- [0020] 140、340、440、640 :重置单元 ;
- [0021] 151、321、451、621 :反相器 ;
- [0022] 170、470 :缓冲模块 ;
- [0023] 171、172、251、252、471、472、551、552 :缓冲器 ;
- [0024] 250、550 :控制电路。

具体实施方式

[0025] 图 1 为本发明的瞬态侦测电路的一可能实施例。如图所示,瞬态侦测电路 100 耦接于电源线 101 以及 102 之间,用以侦测 ESD 事件。瞬态侦测电路 100 包括控制单元 110、设定单元 120、稳压单元 130。控制单元 110 产生控制信号 S_{C1} 。当 ESD 事件发生时,控制信号 S_{C1} 为一第一位准 (level)。当 ESD 事件未发生时,控制信号 S_{C1} 为一第二位准。第一位准相对于第二位准。举例而言,当第一位准为高位准时,则第二位准为低位准。当第一位准为低位准时,则第二位准为高位准。

[0026] 在本实施例中,控制单元 110 包括电阻器 111 以及电容器 112。电容器 112 与电阻器 111 均耦接节点 113,并与电阻器 111 串联于电源线 101 及 102 之间。电阻器 111 的阻抗及电容器 112 的容值可定义一延迟系数。该延迟系数大于 ESD 脉冲时间并且小于电源线 101 上电源信号的初始上升时间。因此,控制信号 S_{C1} 的变化会比 ESD 脉冲缓慢。

[0027] 举例而言,当 ESD 事件发生在电源线 101,而电源线 102 为相对接地端时,由于延迟时间大于 ESD 脉冲的持续时间,因此节点 113 为低位准。当 ESD 事件未发生,并且电源线 101 的位准为高位准而电源线 102 的位准为低位准时,节点 113 为高位准。

[0028] 设定单元 120 用以设定节点 160。当控制信号 S_{C1} 为第一位准时,节点 160 为第二位准。在本实施例中,设定单元 120 为一 P 型晶体管 121。P 型晶体管 121 的栅极耦接节点 113,其源极耦接电源线 101,其漏极耦接节点 160。当 ESD 事件发生在电源线 101,而电源线 102 为相对接地端时,控制信号 S_{C1} 为低位准。因此,导通 P 型晶体管 121,使得节点 160 为高位准。

[0029] 稳压单元 130 用以维持节点 160 的位准。当控制信号 S_{C1} 为第二位准时,稳压单元 130 维持节点 160 的位准。因此,节点 160 被维持在第二位准。在本实施例中,稳压单元 130 为一 N 型晶体管 131。N 型晶体管 131 根据控制信号 S_{C2} ,设定节点 160 的位准。N 型晶体管 131 的栅极接收控制信号 S_{C2} ,其漏极耦接节点 160,其源极耦接电源线 102。当控制信号 S_{C2} 为高位准时,节点 160 的位准将为低位准。

[0030] 为了产生控制信号 S_{C2} ,瞬态侦测电路 100 还包括控制单元 150。控制单元 150 根据节点 160 的位准,产生控制信号 S_{C2} 予稳压单元 130。在本实施例中,控制单元 150 为一反相器 151。反相器 151 反相节点 160 的位准,并将反相后的结果作为控制信号 S_{C2} 。当 ESD 事件发生在电源线 101,而电源线 102 为相对接地端时,节点 160 为高位准。因此,控制信号

S_{C2} 为低位准。当 ESD 事件未发生,并且电源线 101 的位准为高位准而电源线 102 的位准为低位准时,若控制信号 S_{C2} 为高位准,则可导通 N 型晶体管 131,以确保节点 160 为低位准。

[0031] 瞬态侦测电路 160 还包括一重置单元 140,用以将节点 160 设定成第一位准。在本实施例中,重置单元 140 为一 N 型晶体管 141。N 型晶体管 141 的栅极接收一重置信号 S_R ,其漏极耦接节点 160,其源极耦接电源线 102。当 ESD 事件发生在电源线 101,而电源线 102 为相对接地端时,节点 160 为高位准。假设,ESD 事件未发生,并且电源线 101 的位准为高位准而电源线 102 的位准为低位准。若重置信号 S_R 为低位准时,由于节点 160 没有放电路径,故节点 160 维持在高位准。若重置信号 S_R 为高位准时,则节点 160 由高位准变化至低位准。

[0032] 使用者可根据节点 160 的位准,得知是否发生 ESD 事件。在本实施例中,瞬态侦测电路 100 还包括缓冲模块 170。缓冲模块 170 处理节点 160 的位准,使其具有较大的驱动能力。经缓冲模块 170 处理后的结果,即为输出信号 V_{OUT} 。缓冲模块 170 具有缓冲器 171 及 172。当缓冲器的数量愈多时,输出信号 V_{OUT} 的驱动能力也就愈大。在其它实施例中,也可省略缓冲模块 170。

[0033] 图 2 为本发明的瞬态侦测电路的另一可能实施例。图 2 相似于图 1,不同之处在于,图 2 的控制电路 250 包括缓冲器 251 及 252。缓冲器 251 串联缓冲器 252,并且缓冲器 251 的输出信号作为控制信号 S_{C2} 。

[0034] 当 ESD 事件发生在电源线 101,而电源线 102 为相对接地端时,节点 160 为高位准。因此,控制信号 S_{C2} 为低位准。当 ESD 事件未发生,并且电源线 101 的位准为高位准而电源线 102 的位准为低位准时,由于控制信号 S_{C1} 为高位准,故不导通 P 型晶体管 121。此时,若重置信号 S_R 为低位准时,由于 N 型晶体管 131 及 141 均未导通,故节点 160 保持在高位准。若重置信号 S_R 为高位准时,则节点 160 为低位准。因此,控制信号 S_{C2} 为高位准,故可导通 N 型晶体管 131,用以确保节点 160 为低位准。

[0035] 图 3 为本发明的瞬态侦测电路的另一可能实施例。图 3 所示的设定单元 320、稳压单元 330 以及重置单元 340 不同于图 2。在本实施例中,设定单元 320 包括反相器 321 以及 N 型晶体管 322。反相器 321 的输入端耦接节点 113。N 型晶体管 322 的栅极耦接反相器 321 的输出端,其源极耦接电源线 102,其漏极耦接节点 160。

[0036] 另外,在本实施例中,稳压单元 330 为 P 型晶体管 331,重置单元 340 也为 P 型晶体管 341。P 型晶体管 331 根据控制信号 S_{C2} ,设定节点 160 的位准。P 型晶体管 331 的栅极接收控制信号 S_{C2} ,其源极耦接电源线 101,其漏极耦接节点 160。P 型晶体管 341 的栅极接收重置信号 S_R ,其漏极耦接节点 160,其源极耦接电源线 101。

[0037] 图 4 为本发明的瞬态侦测电路的另一可能实施例。如图所示,控制单元 410 使控制信号 S_{C1} 的变化会比 ESD 脉冲缓慢。在本实施例中,控制单元 410 包括电容器 411 以及电阻器 412。电容器 411 与电阻器 412 耦接于节点 413,并与电阻器 412 串联于电源线 101 及 102 之间。根据电容器 411 的特性,当 ESD 事件发生在电源线 101 时,控制信号 S_{C1} 将为高位准。当 ESD 事件未发生,并且电源线 101 的位准为高位准而电源线 102 的位准为低位准时,控制信号 S_{C1} 为低位准。

[0038] 设定单元 420 为一 N 型晶体管 421。N 型晶体管 421 的栅极耦接节点 413,其源极耦接电源线 102,其漏极耦接节点 460。当 ESD 事件发生在电源线 101,而电源线 102 为相对

接地端时,控制信号 S_{C1} 为高位准。因此,导通 N 型晶体管 421,使得节点 460 为低位准。

[0039] 稳压单元 430 为一 P 型晶体管 431。P 型晶体管 431 根据控制信号 S_{C2} ,设定节点 460 的位准。P 型晶体管 431 的栅极接收控制信号 S_{C2} ,其漏极耦接节点 460,其源极耦接电源线 101。

[0040] 控制单元 450 为一反相器 451。反相器 451 反相节点 460 的位准,并将反相后的结果作为控制信号 S_{C2} 。当 ESD 事件发生在电源线 101,而电源线 102 为相对接地端时,节点 460 为低位准。因此,控制信号 S_{C2} 为高位准。当 ESD 事件未发生,并且电源线 101 的位准为高位准而电源线 102 的位准为低位准时,若控制信号 S_{C2} 为低位准,则可导通 P 型晶体管 431,以确保节点 460 为高位准。

[0041] 重置单元 440 为一 P 型晶体管 441。P 型晶体管 441 的栅极接收一重置信号 S_R ,其漏极耦接节点 460,其源极耦接电源线 101。当 ESD 事件发生在电源线 101,而电源线 102 为相对接地端时,节点 460 为低位准。假设,ESD 事件未发生,并且电源线 101 的位准为高位准而电源线 102 的位准为低位准。若重置信号 S_R 为高位准时,由于节点 460 没有充电路径,故节点 460 维持在低位准。若重置信号 S_R 为低位准时,则节点 460 由低位准变化至高位准。

[0042] 在本实施例中,瞬态侦测电路 400 还包括缓冲模块 470。缓冲模块 470 处理节点 460 的位准,使其具有较大的驱动能力。经缓冲模块 470 处理后的结果,即为输出信号 V_{OUT} 。缓冲模块 470 具有缓冲器 471 及 472。当缓冲器的数量愈多时,输出信号 V_{OUT} 的驱动能力也就愈大。在其它实施例中,也可省略缓冲模块 470。

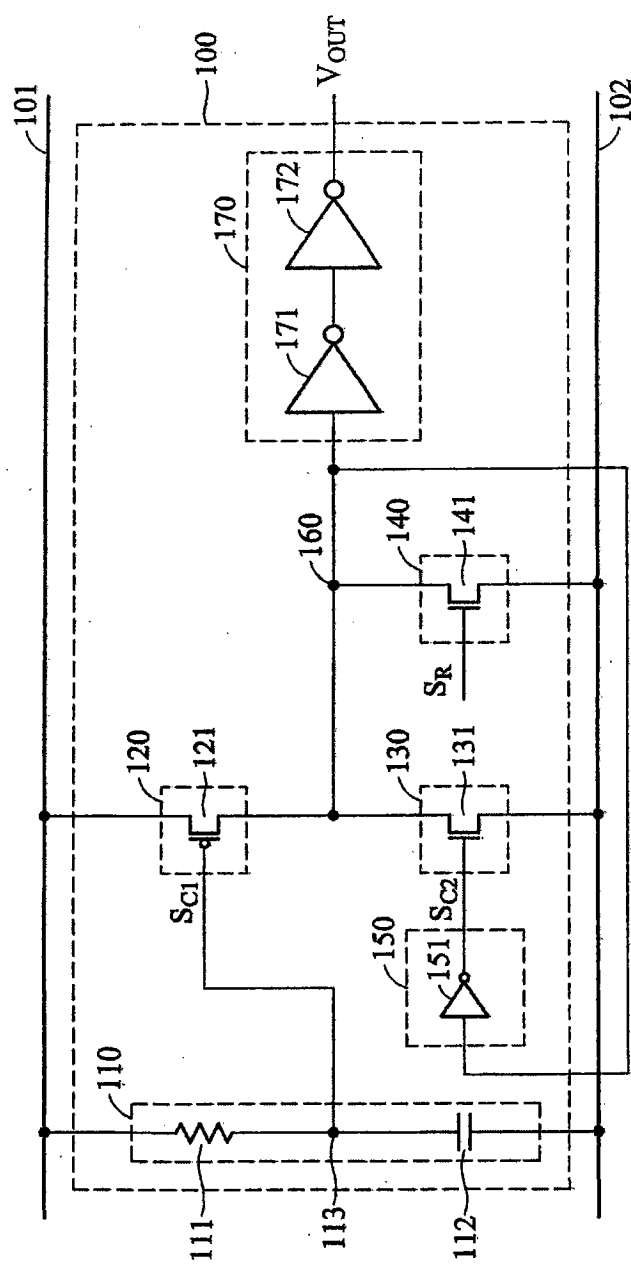
[0043] 图 5 为本发明的瞬态侦测电路的另一可能实施例。图 5 相似于图 4,不同之处在于,图 5 的控制电路 550 包括缓冲器 551 及 552。缓冲器 551 接收节点 460 的位准。缓冲器 551 的输出信号作为控制信号 S_{C2} 。缓冲器 551 串联缓冲器 552。

[0044] 当 ESD 事件发生在电源线 101,而电源线 102 为相对接地端时,节点 460 为低位准。因此,控制信号 S_{C2} 为高位准。当 ESD 事件未发生,并且电源线 101 的位准为高位准而电源线 102 的位准为低位准时,由于控制信号 S_{C1} 为低位准,故不导通 N 型晶体管 421。此时,若重置信号 S_R 为高位准时,由于 P 型晶体管 431 及 441 均未导通,故节点 460 保持在低位准。若重置信号 S_R 为低位准时,则节点 160 为高位准。因此,控制信号 S_{C2} 为低位准,故可导通 P 型晶体管 431,用以确保节点 460 为低位准。

[0045] 图 6 为本发明的瞬态侦测电路的另一可能实施例。图 6 所示的设定单元 620、稳压单元 630 以及重置单元 640 不同于图 5。在本实施例中,设定单元 620 包括反相器 621 以及 P 型晶体管 622。反相器 621 的输入端耦接节点 413。P 型晶体管 622 的栅极耦接反相器 621 的输出端,其源极耦接电源线 101,其漏极耦接节点 460。

[0046] 在本实施例中,稳压单元 630 为 N 型晶体管 631,重置单元 640 也为一 N 型晶体管 641。N 型晶体管 631 根据控制信号 S_{C2} ,设定节点 460 的位准。P 型晶体管 631 的栅极接收控制信号 S_{C2} ,其源极耦接电源线 102,其漏极耦接节点 460。N 型晶体管 641 的栅极接收重置信号 S_R ,其漏极耦接节点 460,其源极耦接电源线 102。

[0047] 虽然本发明已以较佳实施例揭露如上,然其并非用以限定本发明,任何熟悉本领域的技术人员,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,因此本发明的保护范围当视后附的权利要求所界定者为准。



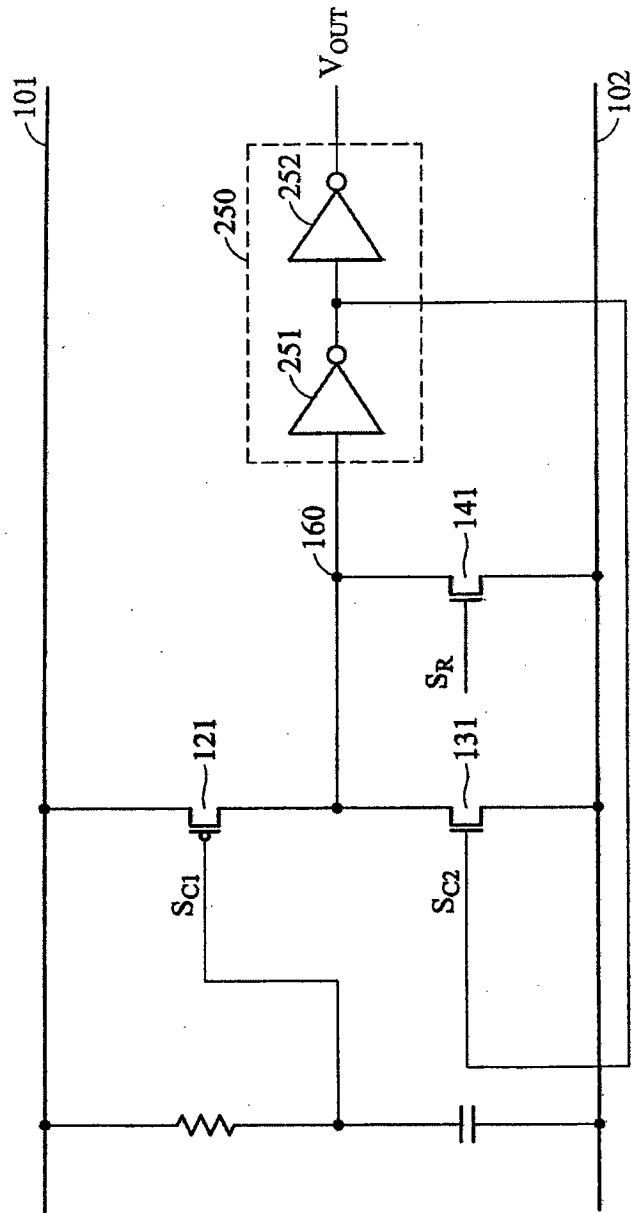


图2

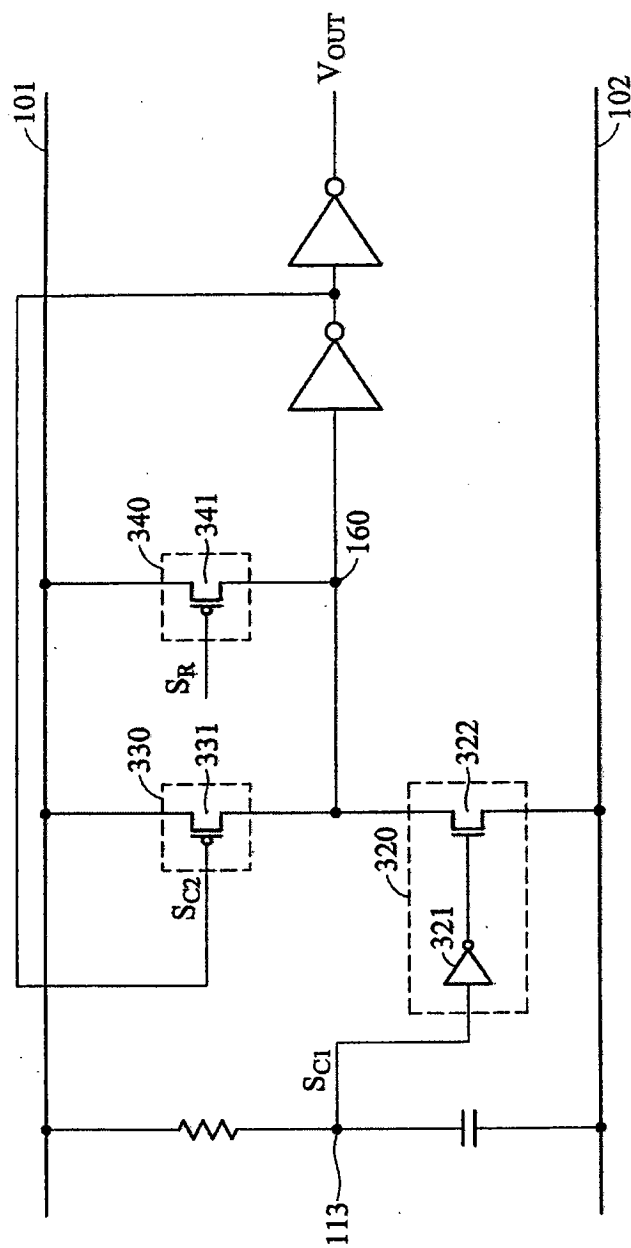


图3

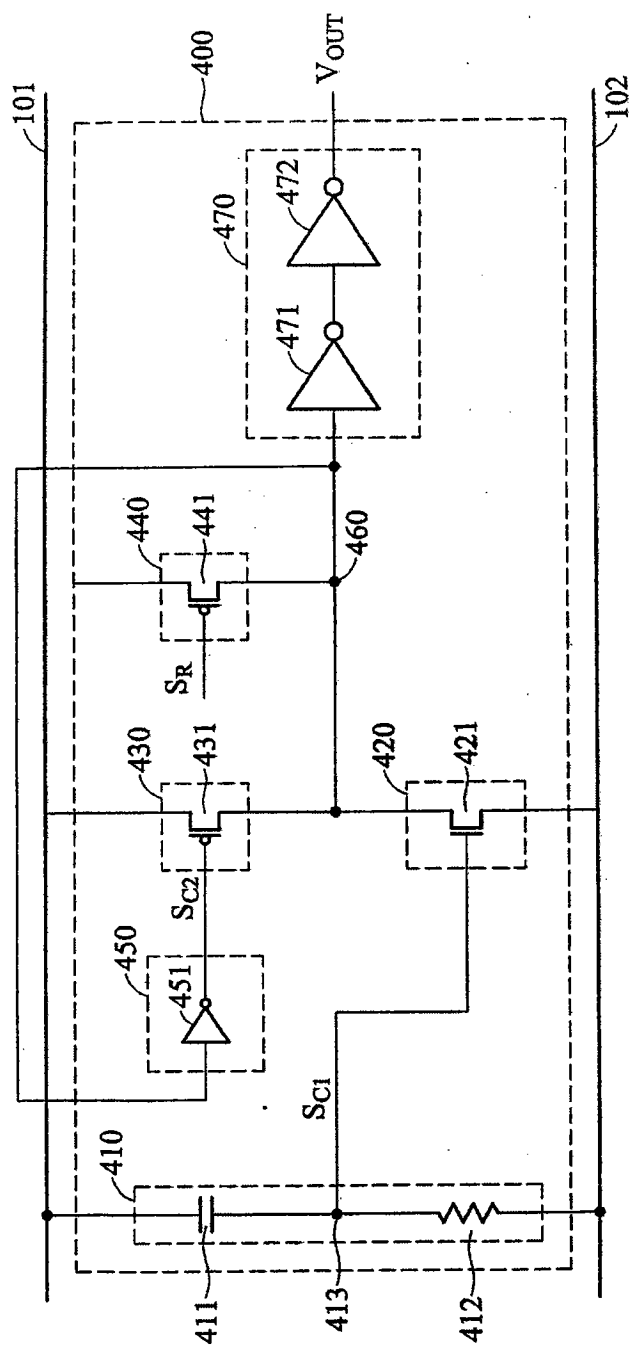


图4

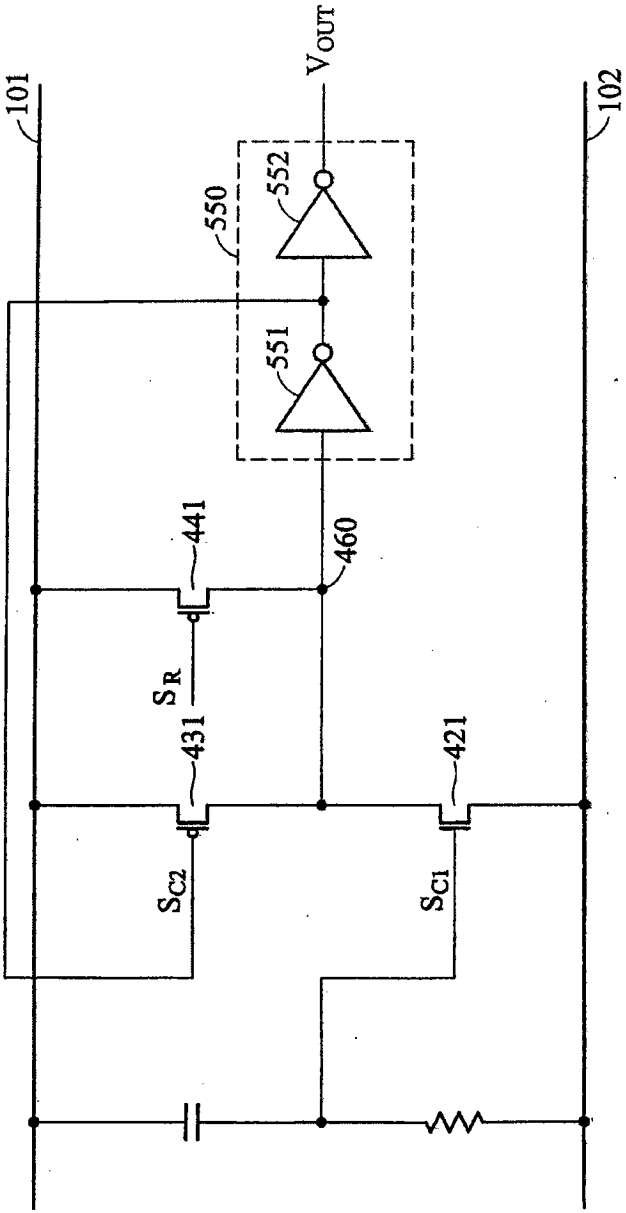


图5

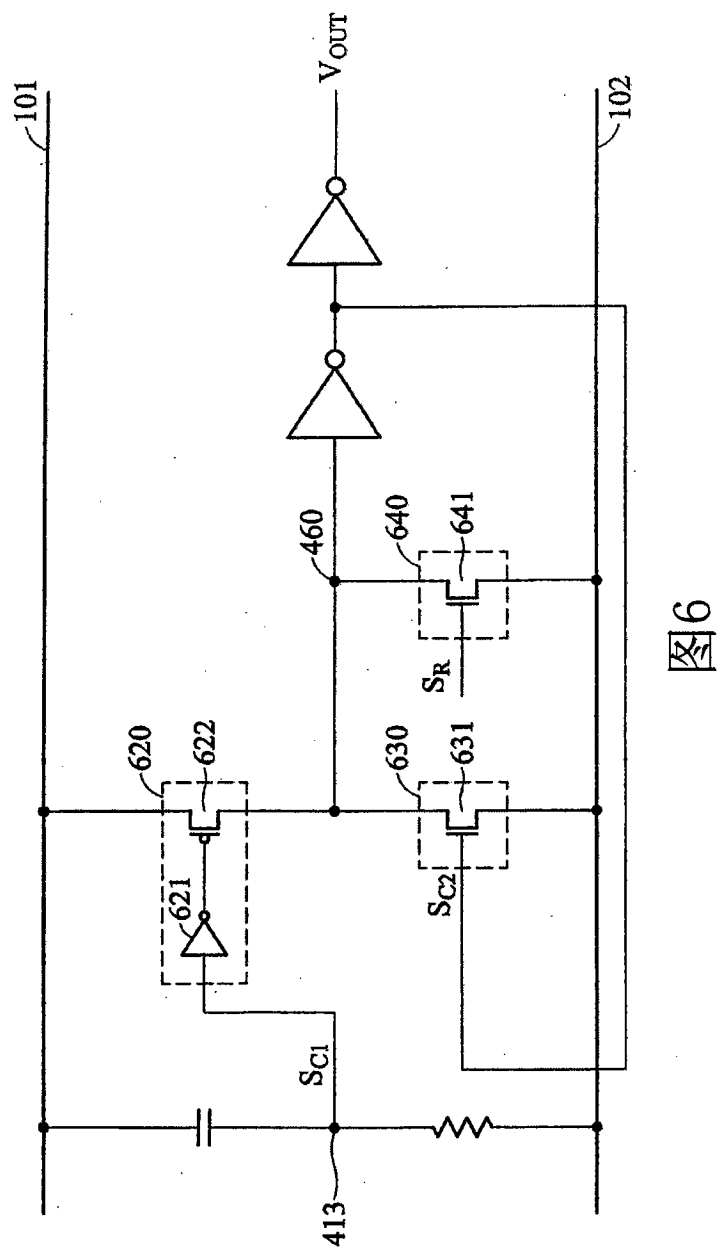


图6