



(12) 发明专利

(10) 授权公告号 CN 101599487 B

(45) 授权公告日 2011.04.13

(21) 申请号 200810109887.2

US 6954098 B2,2005.10.11, 全文.

(22) 申请日 2008.06.05

US 2007/0230073 A1,2007.10.04, 全文.

(73) 专利权人 智原科技股份有限公司

审查员 高伟

地址 中国台湾新竹市

(72) 发明人 柯明道 邱柏砚 黄俊

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 周少杰

(51) Int. Cl.

H01L 27/02 (2006.01)

H02H 9/00 (2006.01)

G01R 31/00 (2006.01)

(56) 对比文件

CN 1697177 A,2005.11.16, 全文.

US 2007/0127173 A1,2007.06.07, 全文.

CN 101030574 A,2007.09.05, 全文.

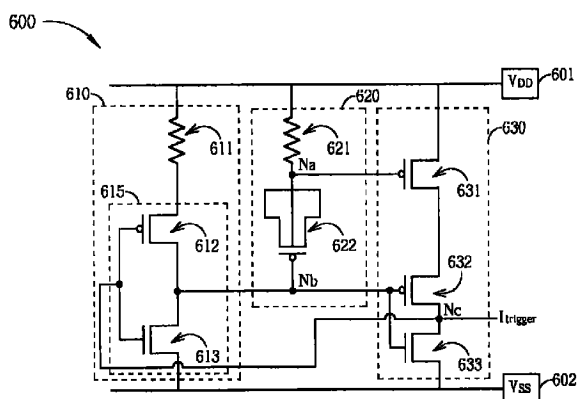
权利要求书 3 页 说明书 9 页 附图 4 页

(54) 发明名称

静电放电检测电路与其相关方法

(57) 摘要

一种静电放电检测电路与其相关方法, 该静电放电检测电路包含有: 一第一电源焊盘、一第二电源焊盘、具有一阻抗元件与一电容元件的一容阻电路、一触发电路以及一偏压电路。该第一电源焊盘接收一第一供应电压, 以及该第二电源焊盘用以接收不同于该第一供应电压的一第二供应电压。该阻抗元件耦接在该第一电源焊盘与一第一端点之间, 以及该电容元件耦接在该第一端点与一第二端点之间。该触发电路用来依据该第一端点与该第二端点的电压电平来产生一静电放电触发信号。该偏压电路用以提供一偏压电压给该第二端点。



1. 一种静电放电检测电路，包含有：

一第一电源焊盘，用以接收一第一供应电压；

一第二电源焊盘，用以接收不同于该第一供应电压的一第二供应电压；

一容阻电路，包含有：

一阻抗元件，耦接在该第一电源焊盘与一第一端点之间；以及

一电容元件，耦接在该第一端点与一第二端点之间，其中该第二端点未直接连接于该第二供应电压；

一触发电路，耦接于该第一电源焊盘、该第二电源焊盘以及该容阻电路，用来依据该第一端点与该第二端点的电压电平来产生一静电放电触发信号；以及

一偏压电路，耦接在该第一电源焊盘以及该第二电源焊盘之间，用以提供一偏压电压给该第二端点。

2. 如权利要求1所述的静电放电检测电路，其中该偏压电压介于该第一供应电压与该第二供应电压之间。

3. 如权利要求1所述的静电放电检测电路，其中该电容元件为采用先进制程的一金属氧化物半导体晶体管电容。

4. 如权利要求1所述的静电放电检测电路，其中该偏压电路为一分压电路，用以根据该第一、第二供应电压来产生一分压以作为该偏压电压。

5. 如权利要求1所述的静电放电检测电路，其中该触发电路包含有：

一第一金属氧化物半导体晶体管，其一控制端耦接于该第一端点，一第一连接端耦接于该第一电源焊盘，以及一第二连接端用以输出该静电放电触发信号；以及

一第二金属氧化物半导体晶体管，其一控制端耦接于该第二端点，一第一连接端耦接于该第一金属氧化物半导体晶体管的该第二连接端，以及一第二连接端耦接于该第二电源焊盘，其中该第一金属氧化物半导体晶体管为一第一导电型的金属氧化物半导体晶体管，以及该第二金属氧化物半导体晶体管为一第二导电型的金属氧化物半导体晶体管。

6. 如权利要求5所述的静电放电检测电路，其中该偏压电路包含有一反相器，耦接于该第二端点与该第一金属氧化物半导体晶体管的该第二连接端之间，用以根据该静电放电触发信号来产生该偏压电压。

7. 如权利要求1所述的静电放电检测电路，其中该触发电路包含有：

一第一金属氧化物半导体晶体管，其一控制端耦接于该第一端点，一第一连接端耦接于该第一电源焊盘；

一第二金属氧化物半导体晶体管，其一控制端耦接于该第二端点，一第一连接端耦接于该第一金属氧化物半导体晶体管的一第二连接端，以及一第二连接端用以输出该静电放电触发信号；以及

一第三金属氧化物半导体晶体管，其一控制端耦接于该第二端点，一第一连接端耦接于该第二金属氧化物半导体晶体管的该第二连接端，以及一第二连接端耦接于该第二电源焊盘，其中该第一、第二金属氧化物半导体晶体管为第一导电型的金属氧化物半导体晶体管，以及该第三金属氧化物半导体晶体管为一第二导电型的金属氧化物半导体晶体管。

8. 如权利要求7所述的静电放电检测电路，其中该偏压电路包含有一反相器，耦接于该第二端点与该第二金属氧化物半导体晶体管的该第二连接端之间，用以根据该静电放电触发信号来产生该偏压电压。

9. 一种静电放电检测方法，包含有：

提供一容阻电路，包含有：

一阻抗元件，耦接于一第一供应电压与一第一端点之间；以及

一电容元件，耦接在该第一端点与一第二端点之间，其中该第二端点未直接连接于不同于该第一供应电压的一第二供应电压；

依据该第一端点与该第二端点的电压电平来产生一静电放电触发信号；以及

提供一偏压电压至该第二端点。

10. 如权利要求9所述的静电放电检测方法，其还包含有：

设定该偏压电压介于该第一供应电压与该第二供应电压之间。

11. 如权利要求9所述的静电放电检测方法，其中该电容元件为采用先进制程的一金属氧化物半导体晶体管电容。

12. 如权利要求9所述的静电放电检测方法，其中提供该偏压电压至该第二端点的步骤包含有：

根据该第一、第二供应电压来产生一分压以作为该偏压电压。

13. 如权利要求9所述的静电放电检测方法，其中依据该第一端点与该第二端点的电压电平来产生该静电放电触发信号的步骤包含有：

提供一第一金属氧化物半导体晶体管，其一控制端耦接于该第一端点，一第一连接端耦接于该第一供应电压，以及一第二连接端用以输出该静电放电触发信号；以及

提供一第二金属氧化物半导体晶体管，其一控制端耦接于该第二端点，一第一连接端耦接于该第一金属氧化物半导体晶体管的该第二连接端，以及一第二连接端耦接于该第二供应电压，其中该第一金属氧化物半导体晶体管为一第一导电型的金属氧化物半导体晶体管，以及该第二金属氧化物半导体晶体管为一第二导电型的金属氧化物半导体晶体管。

14. 如权利要求13所述的静电放电检测方法，其中提供该偏压电压至该第二端点的步骤包含有：

反相该静电放电触发信号来产生该偏压电压。

15. 如权利要求9所述的静电放电检测方法，其中依据该第一端点与该第二端点的电压电平来产生该静电放电触发信号的步骤包含有：

提供一第一金属氧化物半导体晶体管，其一控制端耦接于该第一端点，一第一连接端耦接于该第一供应电压；

提供一第二金属氧化物半导体晶体管，其一控制端耦接于该第二端点，一第一连接端耦接于该第一金属氧化物半导体晶体管的一第二连接端，以及一第二连接端用以输出该静电放电触发信号；以及

提供一第三金属氧化物半导体晶体管，其一控制端耦接于该第二端点，一第一连接端耦接于该第二金属氧化物半导体晶体管的该第二连接端，以及一第二连接端耦接于该第二供应电压，其中该第一、第二金属氧化物半导体晶体管为第一导电型的金属氧化物

半导体晶体管，以及该第三金属氧化物半导体晶体管为一第二导电型的金属氧化物半导体晶体管。

16. 如权利要求 15 所述的静电放电检测方法，其中提供该偏压电压至该第二端点的步骤包含有：

反相该静电放电触发信号来产生该偏压电压。

静电放电检测电路与其相关方法

技术领域

[0001] 本发明与静电放电防护 (ESD protection) 有关, 尤指一种应用于采用先进制程元件的静电放电防护电路的静电放电检测 (ESD detection) 电路及其相关方法。

背景技术

[0002] 随着科技进步, 集成电路制程技术也随之不断精进。如本领域技术人员所知, 各种电子电路可集积 / 成形于芯片上, 而为了要使芯片能接收外界的电电压源 (例如偏压电源), 并能与外界其他电路 / 芯片交换数据, 芯片上会设有导电的焊盘 (pad)。譬如说, 为了传输偏压电压, 芯片上可设有电源焊盘 (power pad)。除此之外, 在芯片上也设有信号焊盘 (signal pad), 亦即输入 / 输出焊盘 (I/O pad), 用以接收输入信号及 / 或发出输出信号。

[0003] 这些导电的焊盘能使芯片得以和外界其他电路 / 芯片连接。然而, 当芯片在封装、测试、运输、加工、等过程中, 这些焊盘也很容易因为与外界的静电电源接触, 而将静电的不当电力传导至芯片内部, 并进而导致芯片内部电路的损毁, 这种现象即为所谓的静电放电 (ESD, Electro-Static Discharge)。因此, 用来保护集成电路免受静电放电损害的静电放电保护电路 (ESD protection circuit), 也因此随着集成电路制程的进步而变得更加重要。

[0004] 通常在芯片的各焊盘之间会设置有静电放电防护电路。此静电放电防护电路的基本功能是, 当芯片的两焊盘间误触静电电源时, 静电放电防护电路可在两焊盘间导通一个低阻抗的电流路径, 使静电电源放电的电流能优先从此一电流路径流过而不会流入至芯片的其他内部电路; 这样一来, 就能保护芯片中的其他内部电路不受静电放电影响或由于大量的静电放电电流 (ESD current) 而导致损坏。一般而言, 一静电放电防护电路由一静电放电 (暂态) 检测电路 (ESD transition detection circuit) 以及一电源箝制 (power clamp) 电路所构成。请参阅图 1, 图 1 所示为已知静电放电防护电路的方块示意图。如图 1 所示, 静电放电防护电路 100 包含有一静电放电检测电路 110 以及一电源箝制电路 120。如此之外, 此静电放电电路 100 耦接于两电源焊盘 (power pad) V_{DD} (电压供应端) 与 V_{SS} (接地端) 之间。

[0005] 然而, 随着半导体制程的演进, 使用较小尺寸的晶体管元件来降低成本已成为各种电路设计技术中的基本需求。随着半导体制程由点一八制程、点一二制程一路演进至六十五纳米, 或所谓的纳米先进制程 (nano scale process); 半导体元件的栅极氧化层 (gate oxide) 厚度也随之日益趋薄。除此之外, 基于降低整体电路面积及成本的考量, 一般静电放电防护电路中的静电放电检测电路所具有的电容元件普遍采用金属氧化层电容 (MOS capacitor, 亦称之为金属氧化物半导体晶体管电容) 来加以实现, 而非使用一般传统的电容元件。

[0006] 请参阅图 2, 图 2 所示为另一已知静电放电检测电路 200 的电路架构示意图。如图 2 所示, 静电放电检测电路 200 包含有一容阻电路 210 以及一反相电路 220, 用以产

生一静电放电触发信号 I_{trigger} ，其中当静电放电检测电路 200 检测到静电放电事件 (ESD event) 时，静电放电触发信号 I_{trigger} 会由低逻辑电平转换至高逻辑电平以启动后续的静电放电防护元件（例如电源箝制电路）。静电放电检测电路 200 连接于一第一电源焊盘（亦即 VDD 端）以及一第二电源焊盘（亦即 VSS 端）之间。在图 2 中，容阻电路 210 包含有一阻抗元件 211 以及一金属氧化物半导体晶体管电容 (MOScapacitance) 212，而反相电路 220 由一 N 型金属氧化物半导体晶体管 222 以及一 P 型金属氧化物半导体晶体管 221 所构成。

[0007] 然而，在利用由先进制程 (nano scale process) 所形成的金属氧化层电容时，其栅极氧化层所具有的较薄厚度往往会使静电检测电路产生严重的漏电流，此漏电流可能使得静电放电防护电路产生误动作 (malfunction)，使其在正常工作情况下无法达到其正常逻辑，进而产生更严重的漏电流。

[0008] 而静电防护电路的漏电流的现象肇因于静电放电检测电路的容阻电路（请参阅图 2）中的金属氧化物半导体晶体管电容 212 采用了先进制程的薄氧化层元件，此时，金属氧化物半导体晶体管电容 212 的栅极端往往会出现大量的隧穿电流 (tunneling current) 而导致芯片于正常操作时容阻电路 210 与反相电路 220 间的一连接端（其耦接于 P 型金属氧化物半导体晶体管 221 的一控制端与 N 型金属氧化物半导体晶体管 222 的一控制端）的电压相对于 P 型金属氧化物半导体晶体管 221 的一第一连接端（其耦接于第一电源焊盘）的电压值而言为一个相对低的电压，因此该 P 型金属氧化物半导体晶体管即导通而造成静电放电触发信号 I_{trigger} 由低逻辑电平转换至高逻辑电平，因此便错误地启动后续的静电放电防护元件（例如电源箝制电路）。换句话说，当静电放电事件并未发生时，由于金属氧化物半导体晶体管电容 212 的隧穿电流将拉低连接端 230（其连结容阻电路 210 以及反相电路 220）的电压值，因而导致反相电路 220 于芯片正常操作下无法有效地关闭，进而导致在两电源焊盘 (VDD 端与 VSS 端之间) 有大量的漏电流产生。因此本发明提供新颖的静电放电检测电路，由于利用新的电路架构，即使在采用先进制程的薄氧化层元件的状况下，仍能改善静电放电防护电路于正常操作时的漏电流现象。

发明内容

[0009] 因此本发明的目的之一是提供具有不同电路结构的静电放电检测电路及相关技术，以克服已知技术中由于静电放电防护电路的静电放电检测电路于先进制程之下会产生大量漏电流现象的缺点。本发明的静电放电检测电路，其容阻电路并未直接接地，而通过使用偏压电路，便可减少容阻电路的金属氧化物半导体晶体管电容两端的压差，从而改善先进制程中静电放电检测电路的漏电流现象。

[0010] 根据本发明的一实施例，其公开一种静电放电检测电路。该静电放电检测电路包含有：一第一电源焊盘、一第二电源焊盘、包含有一阻抗元件以及一电容元件的一容阻电路、一触发电路、一偏压电路、一第一连接端与一第二连接端。该第一电源焊盘用以接收一第一供应电压；该第二电源焊盘用以接收不同于该第一供应电压的一第二供应电压；该容阻电路的阻抗元件，其耦接于该第一电源焊盘与该第一连接端之间；该电容元件，其耦接于该第一端点与该第二端点之间；该触发电路，耦接于该第一电源焊盘、该第二电源焊盘以及该容阻电路，用来依据该第一端点与该第二端点的电压电平来产生

一静电放电触发信号；以及该偏压电路，耦接在该第一电源焊盘以及该第二电源焊盘之间，用以提供一偏压电压给该第二端点。

[0011] 根据本发明的另一实施例，其公开一种应用于静电放电检测的方法，该方法包含有：提供一容阻电路，其中该容阻电路内包含有一阻抗元件以及一电容元件，该电容元件，耦接在一第一供应电压与一第一端点之间，而该电容元件，耦接在该第一端点与一第二端点之间，其中该第二端点未直接连接于不同于该第一供应电压的一第二供应电压；

[0012] 依据该第一端点与该第二端点的电压电平来产生一静电放电触发信号；以及提供一偏压电压至该第二端点。

[0013] 通过上述的电路设计与相关方法，可解决先进制程下的静电放电检测电路由于采用薄氧化层金属氧化物半导体晶体管元件而导致正常操作下的漏电流问题。

附图说明

[0014] 图 1 为已知静电放电防护电路的方块示意图。

[0015] 图 2 为另一已知静电放电检测电路的电路架构示意图。

[0016] 图 3 为本发明静电放电检测电路的一第一实施例的电路架构示意图。

[0017] 图 4 为本发明第一实施例的静电放电检测电路模拟静电放电事件发生时触发电流的示意图。

[0018] 图 5 为本发明第一实施例的静电放电检测电路模拟正常操作状态下漏电流状态的示意图。

[0019] 图 6 为本发明静电放电检测电路的一第二实施例的电路架构示意图。

[0020] 图 7 为本发明第二实施例的静电放电检测电路模拟静电放电事件发生时触发电流的示意图。

[0021] 图 8 为本发明第二实施例的静电放电检测电路模拟正常操作状态下漏电流状态的示意图。

[0022] 【主要元件符号说明】

[0023] 100 静电放电防护电路

[0024] 110、200、300、600 静电放电检测电路

[0025] 120 电源箝制电路

[0026] 210、320、620 容阻电路

[0027] 220、330、630 触发电路

[0028] 230 连接端

[0029] 301、601 第一电源焊盘

[0030] 302、602 第二电源焊盘

[0031] 311 晶体管元件

[0032] 321、611、621 阻抗元件

[0033] 322、622 电容元件

[0034] 331、631 第一金属氧化物半导体晶体管

[0035] 332、632 第二金属氧化物半导体晶体管

[0036]	612	P 型金属氧化物半导体晶体管
[0037]	613	N 型金属氧化物半导体晶体管
[0038]	615	反相器
[0039]	633	第三金属氧化物半导体晶体管

具体实施方式

[0040] 在说明书及所附的权利要求书当中使用了某些词汇来指称特定的元件。本领域技术人员应可理解，制造商可能会用不同的名词来称呼同一个元件。本说明书及所附权利要求书并不以名称的差异来作为区分元件的方式，而是以元件在功能上的差异来作为区分的准则。在通篇说明书及后续的请求项当中所提及的「包含」为一开放式的用语，故应解释成「包含但不限于」。以外，「耦接」一词在此包含任何直接及间接的电气连接手段。因此，如果文中描述一第一装置耦接于一第二装置，则代表该第一装置可直接电气连接于该第二装置，或通过其他装置或连接手段间接地电气连接至该第二装置。

[0041] 请参阅图 3，图 3 所示为本发明静电放电检测电路的一第一实施例的电路架构示意图。如图 3 所示，静电放电检测电路 300 耦接在一第一电源焊盘 301 与一第二电源焊盘 302 之间，在本实施例中，第一电源焊盘 301 为一 V_{DD} 焊盘（用以提供第一供应电压 V_{DD} ），而该第二电源焊盘 302 为一 V_{SS} 焊盘（用以提供第二供应电压 V_{SS} ，例如接地电压）。静电检测电路 300 包含有一偏压电路 (bias circuit) 310、一容阻电路 (RC circuit) 320 以及一触发电路 330。在本说明书后续的说明之中，静电放电检测电路的容阻电路中的电容元件皆以金属氧化物半导体晶体管电容来加以实施，以及容阻电路中的阻抗元件以一电阻 (resistance) 元件来加以实施。

[0042] 除此之外，静电放电检测电路的触发电路中包含有不同导电型的金属氧化物半导体晶体管元件，也就是说，触发电路中同时采用了 N 型以及 P 型的金属氧化物半导体晶体管元件。而且，本发明的电路架构以及相关技术运用采用先进制程 (nano scale process) 的元件来加以实施。请注意，上述仅作为范例说明之用，并不为本发明的限制条件之一。

[0043] 请参阅图 3，在本实施例中，容阻电路 320 包含有一阻抗元件 321 以及一电容元件 322，而阻抗元件 321 为一电阻，电容元件 322 以采用先进制程 (nano scale) 的金属氧化物半导体晶体管电容 (MOS capacitor) 来加以实施。触发电路 330 包含有一第一金属氧化物半导体晶体管 331 以及一第二金属氧化物半导体晶体管 332，对第一金属氧化物半导体晶体管 331 而言，其一控制端（栅极）耦接于一第一端点 Na，其一第一连接端（源极）耦接于第一电源焊盘 301，以及其一第二连接端（漏极）用以输出静电放电触发信号 $I_{trigger}$ 给后续的静电放电防护元件（例如电源箝制电路）以于静电放电事件发生时旁通静电放电电流，如图所示，静电放电触发信号 $I_{trigger}$ 由端点 Nc 所输出。此外，对于触发电路 330 的第二金属氧化物半导体晶体管 332 而言，其一控制端（亦即栅极）耦接于一第二端点 Nb，其一第一连接端（漏极）耦接于第一金属氧化物半导体晶体管 331 的第二连接端，以及其一第二连接端（源极）耦接于第二电源焊盘 302。在本实施例中，第一金属氧化物半导体晶体管 331 以一 P 型的金属氧化物半导体晶体管来实现而第二金属氧化物半导体晶体管 332 则是以一 N 型的金属氧化物半导体晶体管来实现，亦即两金属氧化物半导体晶体

管 331、332 为不同导电型的金属氧化物半导体晶体管。

[0044] 请继续参阅图 3，相较于已知静电放电检测电路（如图 2 所示），本发明静电放电检测电路 300 还包含有偏压电路 310，在本实施例中，偏压电路 310 为一分压电路（voltage divider），用以根据第一电源端 301 与第二电源端 302 的供应电压（例如 V_{DD} 以及 V_{SS} ）提供容阻电路 320 的电容元件 322 下端（亦即第二端点 Nb）一个高于第二电源焊盘 302 的供应电压（例如 V_{SS} ）的偏压电压，也就是说，电容元件 322 两端间的跨压分别为第一端点 Na 以及第二端点 Nb 之间的电压差，此电压差会小于第一电源焊盘 301 的供应电压（例如 V_{DD} ）以及第二电源焊盘 302 的供应电压（例如 V_{SS} ）间的电压差。在本实施例中，偏压电路 310 以五个具有二极管接法形式（diode-connected）的晶体管元件 311 来加以实施，使得第二端点 Nb 的电压值为 V_{DD} 和 V_{SS} 之间的一个分压（亦即 $\frac{4}{5}(V_{DD} - V_{SS})$ ），不过分压电路的架构与采用的元件并不为本发明的限制条件之一，任何其他可产生分压的电路架构皆属于本发明的设计变化之一；而分压元件的数目亦不为本发明的限制条件之一。

[0045] 静电放电检测电路 300 在正常操作下的电路状态以及静电放电事件发生时的电路状态将在后续的公开中详细说明。

[0046] 当一静电放电事件发生时，第一电源焊盘 301 与第二电源焊盘 302 之间的跨压急剧升高，对于第一金属氧化物半导体晶体管 331 而言，由于容阻电路 320 的电容元件 322（金属氧化物半导体晶体管电容）来不及快速反应，以致于第一金属氧化物半导体晶体管 331 耦接至第一电源焊盘 301 的第一连接端的电压值将高于第一连接端 Na 的电压而使得第一金属氧化物半导体晶体管 331 导通并产生一静电放电触发信号 $I_{trigger}$ （亦即静电放电触发信号 $I_{trigger}$ 会由低逻辑电平转换至高逻辑电平）。对于第一端点 Na 来说，由于电容元件 322 来不及对电压急升进行相对应的反应，使得第一端点 Na 的电压会暂时维持于第一电源焊盘 301 原本的电压值（亦即趋近 V_{DD} ）。由于第一金属氧化物半导体晶体管 331 因为其控制端与第一连接端的两端电压差而导通，使端点 Nc 的电压随之升高进而触发静电放电防护电路的电源箝制电路（未显示于图中），使得电源箝制电路导通一低阻抗电流路径以疏导静电放电电流来达成静电防护的目的。

[0047] 静电放电检测电路 300 在正常运作时，偏压电路 310 提供分压电压给第二端点 Nb（亦即电容元件 322 之一端），使得第二端点 Nb 偏压于一个大于第二电源焊盘 302 的电压（亦即 V_{SS} ）的较高电压电平。如图 3 所示，在正常操作之下，由于偏压电路 310 所提供的偏压电压，使得第二端点 Nb 的电压可导通第二金属氧化物半导体晶体管 332（第二金属氧化物半导体晶体管 332 为一 N 型金属氧化物半导体晶体管 332 元件），此时因为第二端点 Nb 的电压为一较高电平（相较于第二电源焊盘 302 的电压电平），经由适当的分压设计，第一端点 Na 与第二端点 Nb 间的跨压于正常模式之下不大，因此先进制程的金属氧化物半导体晶体管电容（亦即电容元件 322）的栅极漏电流现象也随之改善，并使得第一端点 Na 的电压得以维持在一个近似于第一电源焊盘 301 的供应电压（VDD）的状态，由于第一金属氧化物半导体晶体管 331 为一 P 型金属氧化物半导体晶体管，故此一接近于 VDD 的电压将会关闭第一金属氧化物半导体晶体管 331。换句话说，由于先进制程的金属氧化物半导体晶体管电容（亦即电容元件 322）两端（第一端点 Na 与第二端点 Nb）的

跨压减少,进而可有效地关闭正常操作状态下的第一金属氧化物半导体晶体管 331,避免因为漏电流而不当产生静电放电触发信号而触发电源箝制电路,因此,可防止静电放电防护电路产生误动作,避免处在不正常逻辑状态。

[0048] 请同时参阅图 4 与图 3,图 4 为本发明第一实施例的静电放电检测电路模拟静电放电事件发生时触发电流的示意图。如图 4 所示,此模拟固定静电放电检测电路 300 的容阻电路 320 的 RC 时间常数(RC constant)为 50ns 以及固定第一金属氧化物半导体晶体管 331 的通道长度(L)为 0.12 μ m,而调制第一金属氧化物半导体晶体管 331 的通道宽度(W)而产生的数据(请参考曲线 1~曲线 7)。请参阅图 5 与图 3,图 5 为本发明第一实施例的静电放电检测电路模拟正常操作状态(normal operation)下漏电流状态的示意图。如图 5 所示,此模拟当第一电源端 301 的第一供应电压(亦即 V_{DD})固定为 1 伏特时,静电放电检测电路 300 中漏电情形的数据(请参考曲线 1~曲线 2)。

[0049] 由前述的公开可清楚得知,当集成电路设计中需要采用先进制程的薄栅极氧化层元件时,采用图 3 所示的电路架构可在兼顾电路面积的同时实现静电放电的防护功能,且在芯片正常操作时可以使已知技术由于采用先进制程的薄栅极氧化层元件(尤其是金属氧化物半导体晶体管电容)所产生的漏电流有效地减少,进而改善了静电放电防护电路的整体性能。

[0050] 请参阅图 6,图 6 所示为本发明静电放电检测电路的一第二实施例的电路架构示意图。如图 6 所示,静电放电检测电路 600 耦接于一第一电源焊盘 601 与一第二电源焊盘 602 之间,在本实施例中,第一电源焊盘 601 为一 V_{DD} 焊盘(用以提供第一供应电压 V_{DD}),而第二电源焊盘 602 为一 V_{SS} 焊盘(用以提供第二供应电压 V_{SS} ,例如接地电压)。静电检测电路 600 包含有一偏压电路 610、一容阻电路 620 以及一触发电路 630。在本实施例中,容阻电路 620 耦接于第一电源焊盘 601 以及一连接端 Nb 之间,在容阻电路 620 内包含有一阻抗元件 621 以及一电容元件 622。此外,触发电路 630 耦接于第一电源焊盘 601、第二电源焊盘 602、容阻电路 620 以及偏压电路 610。

[0051] 在此一实施例中,触发电路 630 采用两个 P 型的金属氧化物半导体晶体管(第一金属氧化物半导体晶体管 631 以及第二金属氧化物半导体晶体管 632)迭接,以及另使用一 N 型的金属氧化物半导体晶体管(亦即第三金属氧化物半导体晶体管 633)以构成一个具有双重开关的触发反相器(triggerinverter)。如图 6 所示,触发电路 630 的耦接关系如下所述:第一金属氧化物半导体晶体管 631 的一控制端(栅极)耦接于第一端点 Na,而其第一连接端(源极)耦接于第一电源焊盘 601;第二金属氧化物半导体晶体管 632 的一控制端(栅极)耦接于第二端点 Nb,其第一连接端(源极)耦接于第一金属氧化物半导体晶体管 631 的一第二连接端(漏极),而其第二连接端(漏极)用以在静电放电事件产生时触发静电放电触发信号 $I_{trigger}$ 以导通后续的静电放电防护元件(例如电源箝制电路),如图所示,触发静电放电触发信号 $I_{trigger}$ 由端点 Nc 所输出;第三金属氧化物半导体晶体管 633,其一控制端(栅极)耦接于第二端点 Nb,一第一连接端(漏极)耦接于第二金属氧化物半导体晶体管 632 的第二连接端,而其第二连接端(源极)则耦接于第二电源焊盘 602。

[0052] 请继续参阅图 6,偏压电路 610 包含有一反相器 615 以及一阻抗元件 611。然而请注意,在本实施例中采用阻抗元件 611 仅作为范例说明之用,在其他实施例中,

也可以依据设计需求而省略阻抗元件 611 的使用,此一设计变化亦属于本发明的设计范畴。在偏压电路 610 中,反相器 615 包含有一 P 型金属氧化物半导体晶体管 612 以及一 N 型金属氧化物半导体晶体管 613。反相器 615 耦接于第二端点 Nb 与触发电路 630 的第二金属氧化物半导体晶体管 632 的第二连接端(亦即端点 Nc)之间。在本实施例中,触发电路 630 所构成的触发反相器(trigger inverter)与偏压电路 610 中的反相器(偏压反相器)615 形成了一反馈控制机制(feedback control scheme),使得反相器 615 会依据静电放电触发信号 I_{trigger} 所提供的反馈电压电平来产生一偏压电压至第二端点 Nb,以减少电容元件 622 的两端压降(亦即第一、第二端点 Na 与 Nb 之间的电压差)。

[0053] 然而,在本发明的其他实施例中,静电放电检测电路 600 也可以采用分压电路来作为偏压电路,举例来说,可采用第一实施例中的偏压电路 310 来取代第二实施例的偏压电路 610,也就是说,在不违反本发明的精神的情况之下,可依据设计需求的不同而采用其他偏压电路的电路组态在静电放电检测电路 600 之中,而这些设计变化亦属于本发明的范畴。

[0054] 静电放电检测电路 600 在正常操作下的电路状态以及静电放电事件发生时的电路状态将于后续的公开中详细说明。

[0055] 请参阅图 6,当一静电放电事件发生时,第一电源焊盘 601 与第二电源焊盘 602 之间的跨压急剧升高,由于容阻电路 620 所造成的 RC 延迟(RCdelay),使得第一金属氧化物半导体晶体管 631 由于其第一连接端(漏极)与第一端点 Na 之间的压差而导通,而第一金属氧化物半导体晶体管 631 的导通会进一步地拉高第二金属氧化物半导体晶体管 632 的第一连接端(漏极)的电压电平,故第二金属氧化物半导体晶体管 632 接着便会导通。随着第一、第二金属氧化物半导体晶体管 631、632 的导通将提升端点 Nc(亦即第二金属氧化物半导体晶体管 632 的第二连接端)的电压而提供静电放电触发信号 I_{trigger} (由低逻辑电平切换至高逻辑电平)至电源箝制电路(未显示于图中)以排除静电放电电流。当端点 Nc 的电压提升时,此电压亦反馈至偏压电路 610 的反相器 615 而导通 N 型金属氧化物半导体晶体管 613,随着 N 型金属氧化物半导体晶体管 613 的导通,第二端点 Nb 的电压会降低至一个较低的电压电平(例如接近 V_{ss} 电压的电压电平),由先进制程的薄栅极氧化层元件的本身特性,由于电容元件 622 的两端压差增加,故电容元件 622 将产生大量的栅极漏电流,从而进一步地拉低第一端点 Na 的电压电平,因此在静电放电事件发生时,第一端点 Na 与第二端点 Nb 的较低电压电平将使得触发电路 630 的第一金属氧化物半导体晶体管 631 与第二金属氧化物半导体晶体管 632 皆维持导通的状态而继续提供静电放电触发信号 I_{trigger} 至后续的静电放电防护元件(例如电源箝制电路)以旁通静电放电电流来达成静电防护的目的。

[0056] 请继续参阅图 6,当静电放电检测电路 600 在正常运作时,触发电路 630 中的第三金属氧化物半导体晶体管 633 会导通而使端点 Nc 趋近于第二电源焊盘 602 所提供的电压(V_{ss}),如此一来,通过反馈机制,端点 Nc 的低电压会导通偏压电路 610 的反相器 615 中的 P 型金属氧化物半导体晶体管 612,此时,由于 P 型金属氧化物半导体晶体管 612 的导通,第二端点 Nb 的电压会被拉升至一个接近第一供应电压(V_{DD})的电压电平,由于在正常操作时,第一端点 Na 亦处于一个近似于第一供应电压(V_{DD})的电压电平,相较于已知技术,这两个端点 Na 与 Nb 之间的跨压便可减少(既然端点 Na 与 Nb 间的电压皆近似于

VDD)，一方面可降低了容阻电路 620 的电容元件 320（由于在本发明皆假设采用先进制程的薄栅极金属氧化层电容来实施）的栅极漏电流，另一方面更可有效地关闭触发电路 630 的第一金属氧化物半导体晶体管 631 与第二金属氧化物半导体晶体管 632。也就是说，在本实施例中，在正常操作之下，因为先进制程的金属氧化物半导体晶体管电容（亦即电容元件 622）两端的跨压减少，从而避免因漏电流而不当地产生静电放电触发信号来触发电源箝制电路，因此，可防止静电放电防护电路产生误动作，避免处在不正常逻辑状态。

[0057] 请同时参阅图 7 与图 6，图 7 为本发明第二实施例的静电放电检测电路模拟静电放电事件发生时触发电流的示意图。如图 7 所示，此模拟固定静电放电检测电路 600 的容阻电路 620 的 RC 时间常数为 25ns 以及固定第一金属氧化物半导体晶体管 631 的通道长度 (L) 为 0.12 μ m，而调制第一金属氧化物半导体晶体管 631 与第二金属氧化物半导体晶体管 632 的通道宽度 (W) 而产生的数据（请参考曲线 1～曲线 5）。请参阅图 8 与图 6，图 8 为本发明第二实施例的静电放电检测电路模拟正常操作状态下漏电流状态的示意图。如图 8 所示，此模拟当第一电源端 601 的第一供应电压 (V_{DD}) 固定为 1 伏特时，静电放电检测电路 600 的漏电情形的数据（请参考曲线 1～曲线 2）。

[0058] 由前述的公开可清楚得知，当集成电路设计中需要采用先进制程的薄栅极氧化层元件时，图 6 所示的电路架构利用锁存 (latch) 结构（由触发电路 630 与偏压电路 610 中的反相器结构所形成）与偏压电路 610 不仅于正常操作时降低了静电放电检测电路 600 的漏电流，也可以在静电放电事件发生时加速导通电源箝制电路以排除静电放电电流。在本实施例中，当静电放电事件产生时，静电放电检测电路 600 产生大量的栅极漏电流，并将电容元件 622 的栅极漏电流变成可持续疏导静电放电电流的一个枢纽（通过让第一金属氧化物半导体晶体管 631 以及第二金属氧化物半导体晶体管 632 持续导通），换句话说，图 6 所示的电路架构利用先进制程的金属氧化物半导体晶体管电容本身的漏电流来使得触发电路能持续产生静电放电触发信号来启动后续的静电放电防护元件（例如电源箝制电路）。而这样的机制，更可在适当的状况下，将容阻电路 620 的 RC 时间常数的数值加以调降而仍维持静电放电防护的功效；在这些情况中静电放电防护电路的电路面积可因而缩减并降低成本。

[0059] 请注意，在不违背本发明的精神之下，其他的设计变化亦是可行的，举例来说，在本发明的其他实施例中，静电放电检测电路 300 的偏压电路 310 也可以用图 6 所示的偏压电路 610 来加以取代，此外，偏压电路 610 的阻抗元件 611 为一选择性使用 (optional) 的元件。这些相关的设计变化皆属于本发明的范畴。

[0060] 总而言之，相较于已知静电放电检测电路，本发明所提供的静电放电防护技术可通过避免让容阻电路直接接地 (V_{SS} 端) 而免除让其内的电容元件由于大量的跨压而造成负面的影响，也可以在静电放电事件发生时提升疏导静电放电电流的能力并同时兼顾电路面积以及成本的考量。如前述的各个实施例所示，本发明静电放电检测电路中的各个电路架构都可以采用各种其他等效电路来实现。举例来说，第一实施例的分压电路也可以采用电阻元件来作为分压元件而达到提供电容元件一个相异于 V_{SS} 电压的电压电平。换句话说，任何采用前面叙述过的技术来降低容阻电路两端跨压以改善静电放电检测电路于正常操作时肇因于栅极漏电流而导致的问题的电路架构，皆符合本发明的精神并落

于本发明的范畴之中。

[0061] 以上所述仅为本发明的优选实施例，凡依本发明权利要求书所做的均等变化与修饰，皆应属本发明的涵盖范围。

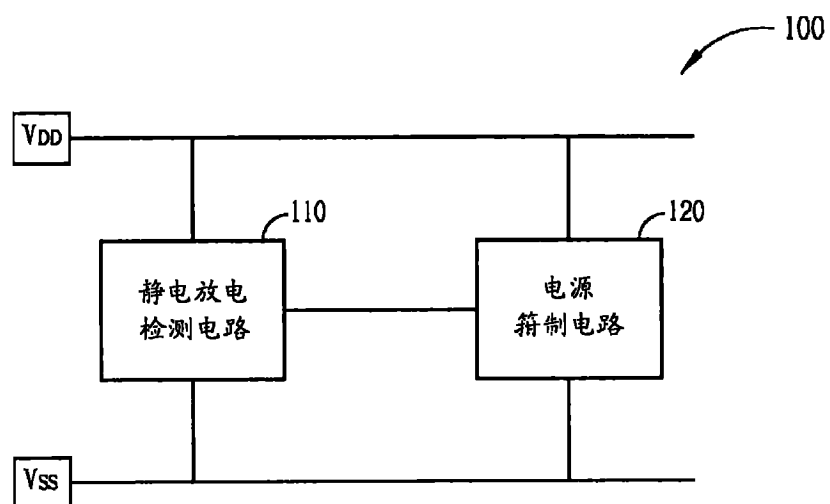


图 1

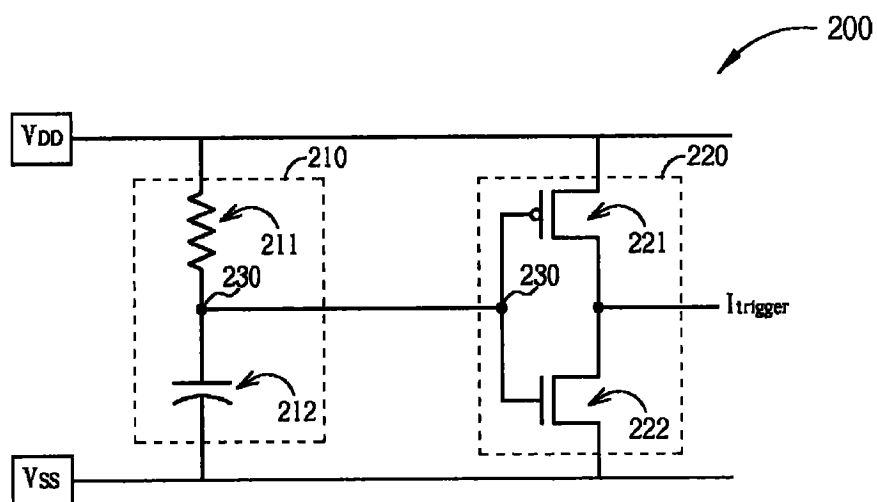


图 2

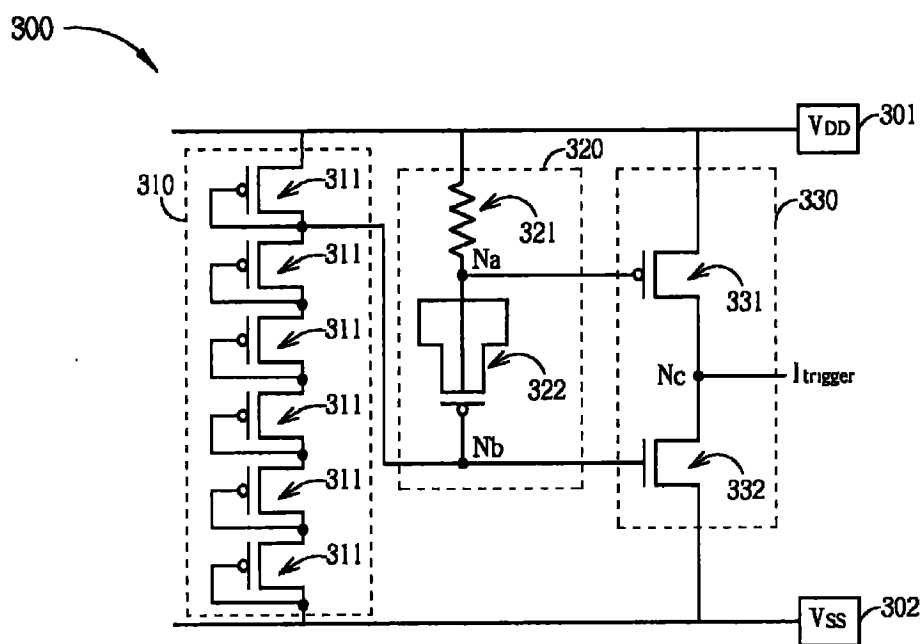


图 3

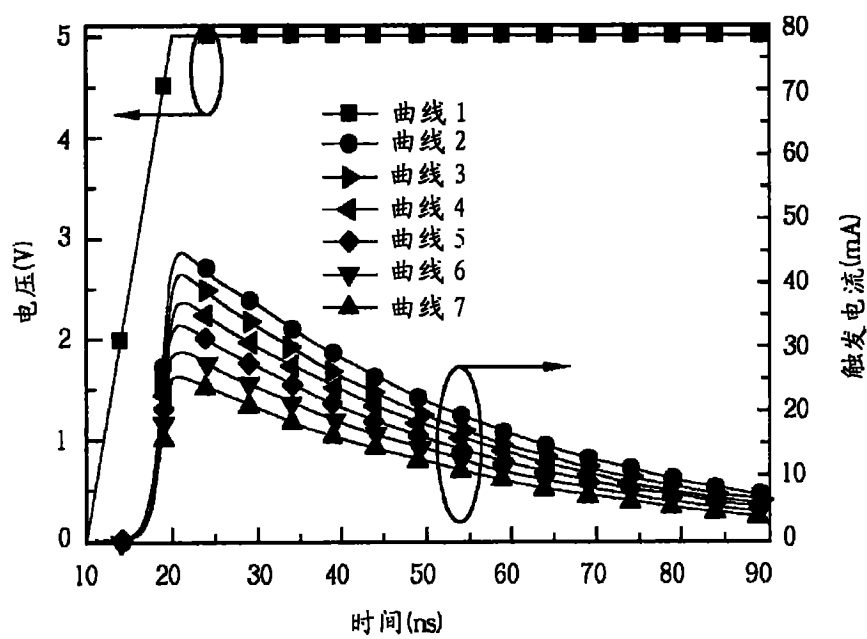


图 4

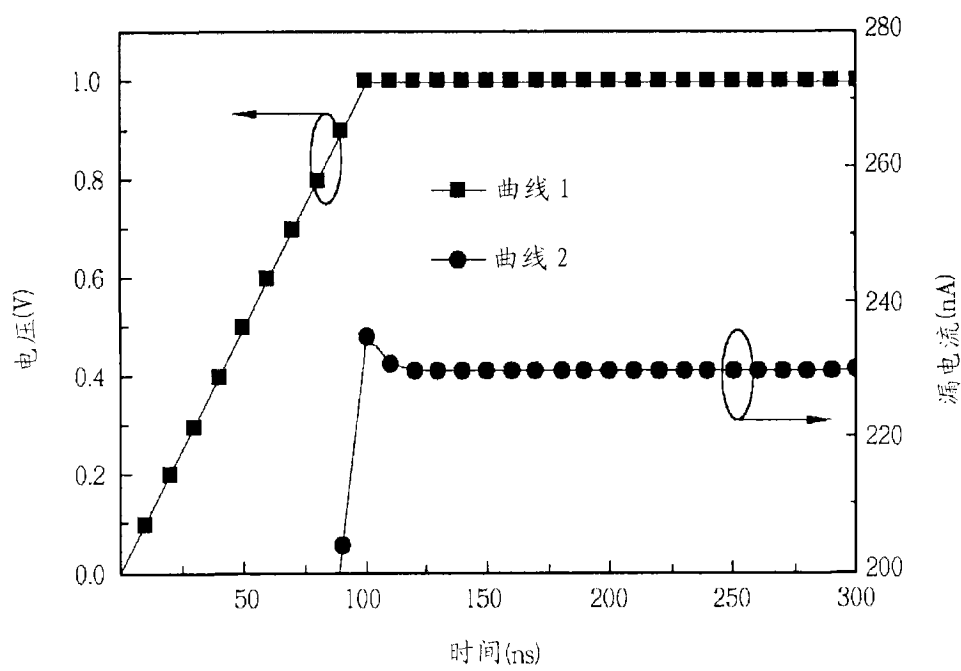


图 5

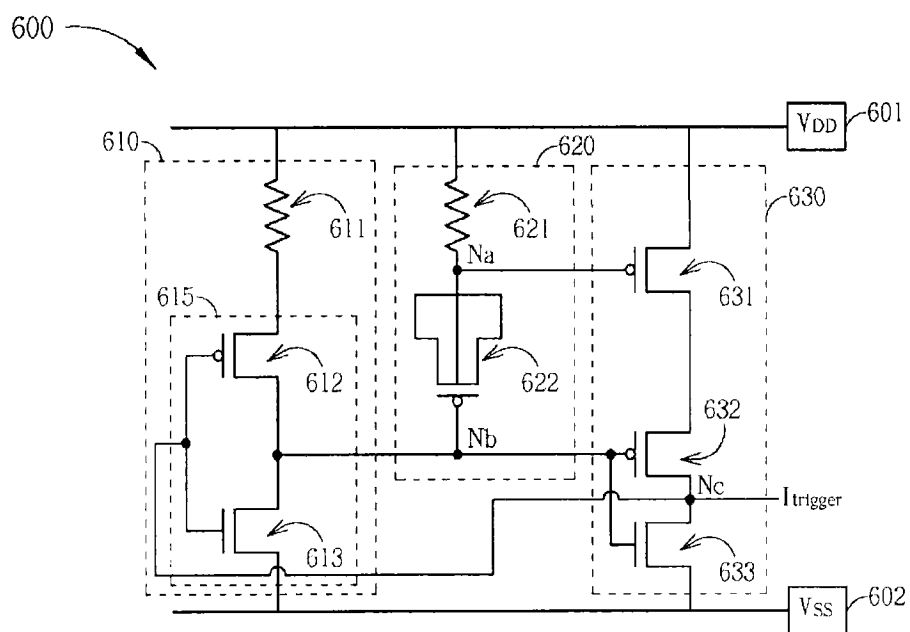


图 6

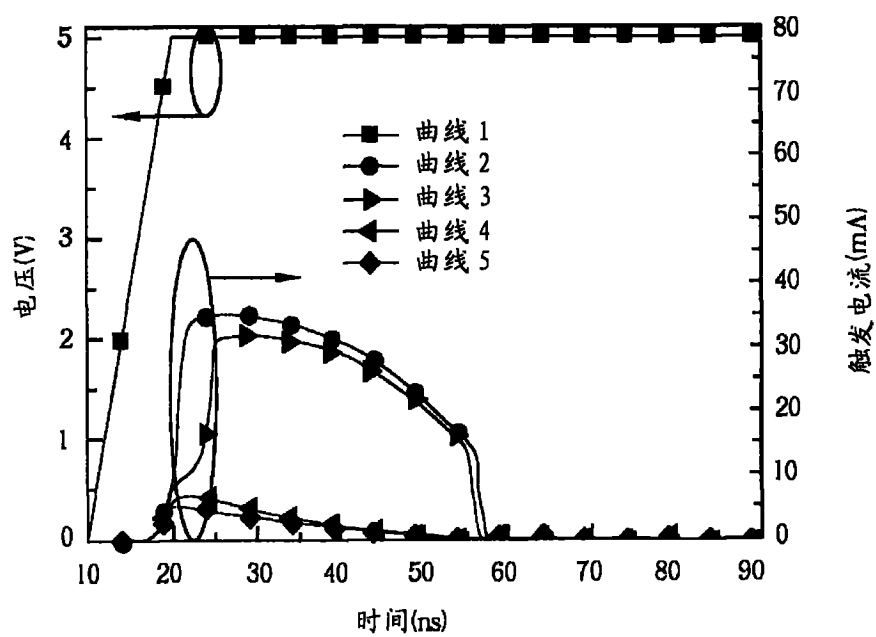


图 7

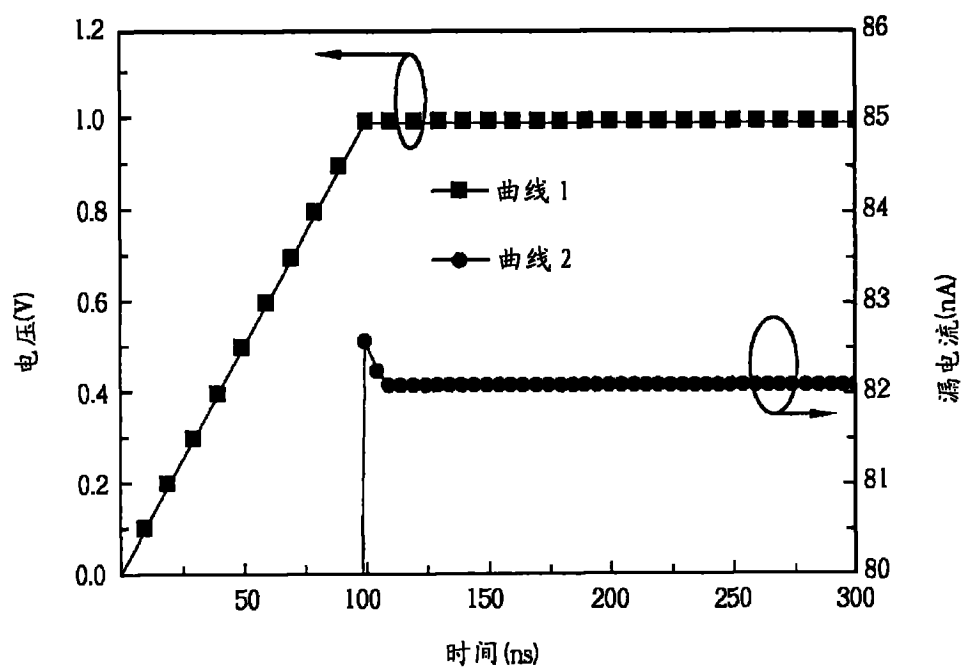


图 8