



(12) 发明专利

(10) 授权公告号 CN 101908758 B

(45) 授权公告日 2013. 03. 13

(21) 申请号 200910145343. 6

(22) 申请日 2009. 06. 03

(73) 专利权人 智原科技股份有限公司

地址 中国台湾新竹市

(72) 发明人 柯明道 林群佑 蔡富义

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 史新宏

(51) Int. Cl.

H02H 9/00 (2006. 01)

(56) 对比文件

TW 200723526 , 2007. 06. 16,

US 5959820 A, 1999. 09. 28,

US 2007/0132030 A1, 2007. 06. 14,

CN 1414678 A, 2003. 04. 30,

审查员 韩菲

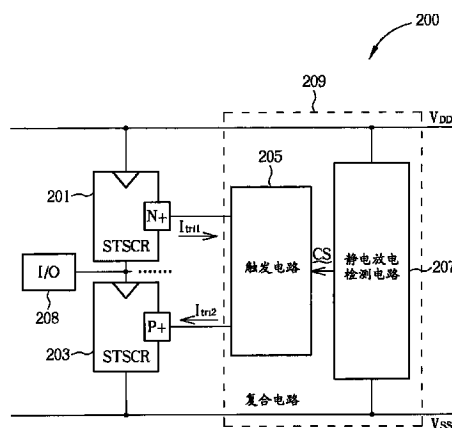
权利要求书 3 页 说明书 5 页 附图 6 页

(54) 发明名称

具有合并触发机制的静电放电防护电路

(57) 摘要

一种具有合并触发设计的静电放电防护电路,其包含静电放电检测电路、第一类型静电放电保护元件、第二类型静电放电保护元件以及触发电路。静电放电检测电路用以检测静电放电电压来产生控制信号。第一类型静电放电保护元件用以输出第一触发电流。第二类型静电放电保护元件用以接收第二触发电流。触发电路用以根据控制信号形成导通路径,以自第一类型静电放电保护元件接收该第一触发电流,并输出第二触发电流至该第二类型静电放电保护元件。



1. 一种具有合并触发机制的静电放电防护电路,包含:

静电放电检测电路,耦接于一第一电压电平和一第二电压电平之间用以检测静电放电电压来产生控制信号,且该第一电压电平高于该第二电压电平;

第一类型静电放电保护元件,用以输出第一触发电流;

第二类型静电放电保护元件,用以接收第二触发电流;以及

触发电路,耦接于该第一电压电平和该第二电压电平之间,用以根据该控制信号形成一导通路径,以自该第一类型静电放电保护元件接收该第一触发电流,并输出该第二触发电流至该第二类型静电放电保护元件;

其中该触发电路被集成至该静电放电检测电路以形成一复合电路,该复合电路包含第一开关以及第二开关,该第一开关作为该触发电路,根据该控制信号来决定是否导通该第一类型静电放电保护组件和该第二类型静电放电保护组件,该第二开关根据该控制信号来决定是否让该第一电压电平、该第二电压电平以及该静电放电检测电路形成一导通路径。

2. 根据权利要求1所述的静电放电防护电路,其中该第一类型静电放电保护元件为N型硅控整流器,而第二类型静电放电保护元件为P型硅控整流器。

3. 根据权利要求1所述的静电放电防护电路,其中该第一触发电流以及该第二触发电流的值相同。

4. 一种具有合并触发机制的静电放电防护电路,包含:

静电放电检测电路,耦接于第一电压电平和第二电压电平之间,用以检测静电放电电压来产生控制信号,且该第一电压电平高于该第二电压电平;

第一类型静电放电保护组件,用以输出第一触发电流;

第二类型静电放电保护组件,用以接收第二触发电流;以及

触发电路,耦接于该第一电压电平和该第二电压电平之间,用以根据该控制信号形成一导通路径,以自该第一类型静电放电保护组件接收该第一触发电流,并输出该第二触发电流至该第二类型静电放电保护组件,

其中该静电放电检测电路包含:

电阻,具有耦接于该第一电压电平的第一端;以及

电容,具有耦接于该电阻的第二端的第一端以及耦接该第二电压电平的第二端;

该触发电路包含:

第一NMOS,具有耦接于该第一类型静电放电保护组件的漏极以及耦接于该第二类型静电放电保护组件的源极;以及

反相器,具有耦接于该第一NMOS的栅极的输出端,且具有耦接于该静电放电检测电路的该电阻的该第二端的输入端;

且该第一电压电平和该第二电压电平是作为该反相器的供应电压。

5. 一种具有合并触发机制的静电放电防护电路,包含:

静电放电检测电路,耦接于第一电压电平和第二电压电平之间,用以检测静电放电电压来产生控制信号,且该第一电压电平高于该第二电压电平;

第一类型静电放电保护组件,用以输出第一触发电流;

第二类型静电放电保护组件,用以接收第二触发电流;以及

触发电路,耦接于该第一电压电平和该第二电压电平之间,用以根据该控制信号形成

一导通路径,以自该第一类型静电放电保护组件接收该第一触发电流,并输出该第二触发电流至该第二类型静电放电保护组件,

其中该静电放电检测电路包含:

电容,具有耦接于该第一电压电平的第一端;以及

电阻,具有耦接于该电容的第二端的第一端以及耦接该第二电压电平的第二端;

该触发电路包含:

第一 PMOS,具有耦接于该第一类型静电放电保护组件的源极以及耦接于该第二类型静电放电保护组件的漏极;以及

反相器,具有耦接于第一 PMOS 的栅极的输出端,且具有耦接于该静电放电检测电路的该电容的该第二端的输入端;

且该第一电压电平和该第二电压电平是作为该反相器的供应电压。

6. 一种具有合并触发机制的静电放电防护电路,包含:

静电放电检测电路,用以检测静电放电电压来产生控制信号;

第一类型静电放电保护组件,用以输出第一触发电流;

第二类型静电放电保护组件,用以接收第二触发电流;以及

触发电路,用以根据该控制信号形成一导通路径,以自该第一类型静电放电保护组件接收该第一触发电流,并输出该第二触发电流至该第二类型静电放电保护组件,

其中该触发电路被集成至该静电放电检测电路以形成一复合电路,该复合电路包含:

第一 PMOS,具有耦接至一第一电压电平的源极,以及耦接至该第一类型静电放电保护组件的栅极;

第一 NMOS,具有耦接至该第一类型静电放电保护组件的栅极,以及耦接至该第一 PMOS 的漏极的漏极;

第一电阻,具有耦接至该第一 NMOS 的源极的第一端以及耦接至一第二电压电平的第二端;

第二 PMOS,具有耦接至该第一电压电平的源极以及耦接至该第一 PMOS 的漏极的栅极、以及耦接至该第一类型静电放电保护组件的漏极;

第二 NMOS,具有耦接至该第二 PMOS 的该漏极的漏极以及耦接至该第一 PMOS 的该漏极的栅极;

电容,具有耦接至该第二 NMOS 的该栅极的第一端;

第三 NMOS,具有耦接至该第二 NMOS 的源极的漏极、耦接至该电容的第二端的栅极、以及耦接至该第二类型静电放电保护组件的源极;以及

第二电阻,具有耦接至该第三 NMOS 的该栅极的第一端以及耦接至该第二电压电平的第二端。

7. 一种具有合并触发机制的静电放电防护电路,包含:

静电放电检测电路,用以检测静电放电电压来产生控制信号;

第一类型静电放电保护组件,用以输出第一触发电流;

第二类型静电放电保护组件,用以接收第二触发电流;以及

触发电路,用以根据该控制信号形成一导通路径,以自该第一类型静电放电保护组件接收该第一触发电流,并输出该第二触发电流至该第二类型静电放电保护组件,

其中该触发电路被集成至该静电放电检测电路以形成一复合电路,该复合电路包含:

第一 PMOS,具有耦接至该第二类型静电放电保护组件的栅极;

第一 NMOS,具有耦接至该第二类型静电放电保护组件的栅极,以及耦接至该第一 PMOS 的漏极的漏极,以及耦接一第二电压电平的源极;

第一电阻,具有耦接至一第一电压电平的第一端以及该第一 PMOS 的源极的第二端;

第二电阻,具有耦接至该第一电压电平的第一端;

第二 PMOS,具有耦接至该第一类型静电放电保护组件的源极,以及耦接至该第二电阻的第二端的栅极;

电容,具有耦接至该第二 PMOS 的该栅极的第一端,以及耦接至该第一 NMOS 的该漏极的第二端;

第三 PMOS,具有耦接至该第二 PMOS 的漏极的源极,耦接至该电容的该第二端的栅极,以及耦接至该第二类型静电放电保护组件的漏极;

第二 NMOS,具有耦接至该第二类型静电放电保护组件的漏极、耦接至该电容的该第二端的栅极,以及耦接该第二电压电平的源极。

具有合并触发机制的静电放电防护电路

技术领域

[0001] 本发明是有关于静电放电防护电路,特别有关于可节省面积以及防止漏电流的静电放电防护电路。

背景技术

[0002] 图 1 绘示了已知技术的静电放电保护 (ESD protection) 电路 100。如图 1 所示,已知技术的静电放电防护电路 100 可包含静电放电保护元件 101、103,触发电路 107、109 以及静电放电检测电路 111,其主要目的在于避免静电放电电压产生时,直接由输入 / 输出垫 113 传入内部电路 105 而造成内部电路 105 的损坏。静电放电防护电路 100 的操作原理可简述如下:当静电放电检测电路 111 检测到静电放电电压产生时,会产生一控制信号来控制触发电路 107 和 109,而触发电路 107 和 109 会触发静电放电保护元件 101 或 103,使得静电放电保护元件 101 或 103 可将静电放电电流导引出去,达到保护内部电路 105 的目的。

[0003] 然而,触发电路 107 通常会占据相当大的面积,而在此结构下,每一静电放电防护元件皆须搭配一触发电路。因此触发电路会占据相当大的面积。除此之外,为了降低芯片的复杂度和制造成本,静电放电检测电路以及触发电路通常会以具有薄氧化层的元件来实施。如此一来,可能会有漏电流 I_{LEA} 沿着图 1 所示的路径流至电压 V_{ss} 而造成静电防护电路中的电容的跨压不足,而影响到静电防护电路中的作用。而当内部电路 105 在正常运作时,漏电流则会造成额外的功率消耗。

发明内容

[0004] 本发明的一目的在于提供一种可节省触发电路面积的静电放电防护电路。

[0005] 本发明的另一目的在于提供一种可减少漏电流的静电放电防护电路。

[0006] 本发明的一实施例揭露了一种静电放电防护电路,其包含一静电放电检测电路、第一类型静电放电保护元件、第二类型静电放电保护元件以及触发电路。静电放电检测电路用以检测静电放电电压来产生控制信号。第一类型静电放电保护元件用以输出第一触发电流。第二类型静电放电保护元件用以接收第二触发电流。触发电路用以根据控制信号形成一导通路径,以自第一类型静电放电保护元件接收该第一触发电流,并输出第二触发电流至该第二类型静电放电保护元件。

[0007] 此外,静电放电防护电路可还包含第一开关以及第二开关,第一开关根据控制信号来决定是否导通第一类型静电放电保护元件和第二类型静电放电保护元件,第二开关根据控制信号来决定是否让第一电压电平、第二电压电平以及静电放电检测电路形成一导通路径。

[0008] 根据上述的实施例,根据本发明的实施例的静电放电防护电路可节省触发电路的面积,还可提供降低漏电流的结构。因此可改善已知技术的静电放电防护电路的问题。

附图说明

- [0009] 图 1 绘示了已知技术的静电放电防护电路。
- [0010] 图 2 绘示了根据本发明的实施例的可节省触发电路面积的静电放电防护电路。
- [0011] 图 3 和图 4 分别绘示了图 2 所示的静电放电防护电路的详细结构的其中一例。
- [0012] 图 5 至图 7 绘示了根据本发明的实施例的可防止漏电流的静电放电防护电路的详细结构。
- [0013] [主要元件标号说明]
- [0014] 200、300、400、402、500、502、600、700 静电放电防护电路
- [0015] 201N 型硅控整流器
- [0016] 203P 型硅控整流器
- [0017] 205 触发电路
- [0018] 207 静电放电检测电路
- [0019] 208 输入 / 输出垫
- [0020] 301、401 电阻
- [0021] 303、403、609、709 电容
- [0022] 307 反相器
- [0023] 305、605、705 第一 NMOS
- [0024] 405、603、703 第一 PMOS
- [0025] 209、501、504 复合电路
- [0026] 503 第二 NMOS
- [0027] 505、613、713 第二 PMOS
- [0028] 601、701 复合电路
- [0029] 607、707 第一电阻
- [0030] 611、711 第二电阻
- [0031] 617、717 第三 NMOS

具体实施方式

[0032] 在说明书及上述的专利申请范围当中使用了某些词汇来指称特定的元件。所属领域中具有通常知识者应可理解，硬件制造商可能会用不同的名词来称呼同一个元件。本说明书及上述的专利申请范围并不以名称的差异来作为区分元件的方式，而是以元件在功能上的差异来作为区分的准则。在通篇说明书及上述的请求项当中所提及的「包含」为一开放式的用语，故应解释成「包含但不限于」。以外，「耦接」一词在此是包含任何直接及间接的电气连接手段。因此，若文中描述第一装置耦接于第二装置，则代表该第一装置可直接电气连接于该第二装置，或通过其它装置或连接手段间接地电气连接至该第二装置。

[0033] 图 2 绘示了根据本发明的实施例的可节省触发电路面积的静电放电防护电路 200。在此实施例中，是以 N 型硅控整流器和 P 型硅控整流器来实施静电放电保护元件，但并非用以限定本发明。如图 2 所示，静电放电防护电路 200 包含 N 型硅控整流器 201、P 型硅控整流器 203、触发电路 205 以及静电放电检测电路 207。请注意为了方便说明，图 1 中所述的内部电路予以省略不表示。静电放电检测电路 207 用以检测一静电放电电压来产生控制信号 CS。N 型硅控整流器 201 用以输出第一触发电流 I_{tri1} ；N 型硅控整流器 201 经由此

第一触发电流 I_{tri1} 的触发即可在其两端间（也就是供应电位 V_{DD} 与输入 / 输出垫 208 之间）导通一导通路径。P 型硅控整流器 203 用以接收第二触发电流 I_{tri2} ；经由此第二触发电流的触发，P 型硅控整流器 203 可在其两端间（也就是输入 / 输出垫 208 与地电位 V_{SS} 之间）导通一导通路径。触发电路 205 用以根据控制信号 CS 形成一导通路径，以自 N 型硅控整流器 201 接收第一触发电流 I_{tri1} ，并输出第二触发电流 I_{tri2} 至 P 型硅控整流器 203。在一实施例中，第一触发电流 I_{tri1} 以及第二触发电流 I_{tri2} 具有相同的电流值；换句话说，在本发明的一实施例中，触发电路 205 即可将硅控整流器 201 的触发电流传输至另一硅控整流器 203，以单一触发电路 205 来触发两个硅控整流器。在此架构下，仅需要一个触发电路便可触发一个以上的静电放电保护元件，此机制称为合并触发机制，可节省触发电路所占的面积。第一触发电流 I_{tri1} 以及第二触发电流 I_{tri2} 的电流值可随硅控整流器所须的触发电流的不同而被调整成其它值；基本上，硅控整流器 201 及 203 可以有不同的临限导通电流，而触发电路 205 只要能将足够大的电流（譬如说，大于硅控整流器 201 及 203 的临限电流）由硅控整流器 201 汲取并传输至另一硅控整流器 203，即可一并触发两者。而且，在图 2 所绘示的方块图中，触发电路 205 未耦接至供应电位 V_{DD} 和地电位 V_{SS} ，然而触发电路 205 亦可耦接至供应电位 V_{DD} 和地电位 V_{SS} 。另外，触发电路 205 及静电放电检测电路 207 可集成至一复合电路 209 中。

[0034] 图 3、4 分别绘示了图 2 所示的静电放电防护电路的详细结构的其中一例。在图 3 所示的实施例中，静电放电检测电路 207 具有电阻 301 和电容 303。图 3 中的触发电路 205 包含第一 NMOS 305 以及反相器 307。第一 NMOS 305 具有耦接于 N 型硅控整流器 201 的漏极以及耦接于 P 型硅控整流器 203 的源极。反相器 307 具有耦接于第一 NMOS 305 的栅极的输出端，且具有耦接于电阻 301 的第二端的输入端。

[0035] 供应电位 V_{DD} 和地电位 V_{SS} 是作为反相器 307 的供应电压。正常情况下供应电位 V_{DD} 会对电容 303 进行充电，因此 A 点的电压电平为 HIGH 而 B 点的电压电平为 LOW，第一 NMOS 305 会呈现不导通的状态。相反的，当静电放电电压产生时，由于电容 303 无法快速地进行充电，因此 A 点的电压电平为 LOW 而 B 点的电压电平为 HIGH，第一 NMOS 305 会呈现导通的状态。N 型硅控整流器 201 和 P 型硅控整流器 203 会分别因接收负电流和正电流而被触发导通，触发形成的导通路径即可将静电放电电流导出，因此可避免静电放电电流伤害内部电路。

[0036] 在图 4 中，静电放电检测电路 207 亦具有电阻 401 和电容 403，但其位置和图 3 的电阻 301 和电容 303 相反。此外，图 3 的第一 NMOS 305 由第一 PMOS 405 所取代。在图 4 所示的例子中，正常情况下供应电位 V_{DD} 会对电容 403 进行充电，A 点的电压电平会呈现 LOW，B 点的电压电平会呈现 HIGH，因此第一 PMOS 405 会呈现不导通的状态。相反地，当静电放电电压产生时，A 点的电压电平为 HIGH 而 B 点的电压电平为 LOW，因此第一 PMOS 405 会呈现导通的状态。N 型硅控整流器 201 和 P 型硅控整流器 203 会分别因接收负电流和正电流而被触发，触发后会将静电放电电流导出，因此可避免静电放电电流伤害内部电路。

[0037] 图 5 至图 7 绘示了根据本发明的实施例的可防止漏电流的静电放电防护电路的详细结构。相较于图 2 至图 4 所示的实施例，图 5 至图 7 所示的实施例除了具有图 2 至图 4 所示的减少触发电路面积的结构外，还包含了可防止漏电流的结构。且在图 5 至图 7 中，静电放电检测电路和触发电路可更集成成一复合电路，此复合电路同时具有静电放电检测

电路和触发电路的功能,且具有防止漏电流的结构。图 5(a) 所示的静电放电防护电路 500 相较于图 3,复合电路 501 除了电阻 301、电容 303、第一 NMOS 305 以及反相器 307 外,还包含了第二 NMOS 503。因此当第一 NMOS 305 不导通时,第二 NMOS 503 亦不导通,故可防止漏电流的产生。譬如说,在正常情况下进行正常运作时,停止导通的第二 NMOS 503 会切断电容 303 往地电位 V_{ss} 的漏电路径,防止漏电流持续导通而消耗功率。同样的,图 5(b) 所示的静电放电防护电路 500 相较于图 4,复合电路 504 还包含了第二 PMOS 505,因此当第一 PMOS 405 不导通时,第二 PMOS 505 亦不导通,故可防止漏电流的产生。

[0038] 图 5(a) 和图 5(b) 所示的实施例的概念可如下所示:静电放电防护电路包含第一开关(第一 NMOS 305 或第一 PMOS 405)以及第二开关(第二 NMOS 503 或第二 PMOS 505),第一开关根据该控制信号来决定是否导通第一类型静电放电保护元件(N 型硅控整流器 201)和第二类型静电放电保护元件(P 型硅控整流器 203),第二开关根据控制信号来决定是否让第一电压电平(如供应电位 V_{DD})、第二电压电平(如地电位 V_{SS})以及静电放电检测电路形成一导电路径。

[0039] 图 6 至图 7 绘示了根据本发明的实施例的可防止漏电流的静电放电防护电路的详细结构。静电放电防护电路 600 和 700 的共同概念在于,降低复合电路电容的跨压,藉以改善漏电流的现象。在图 6 所示的静电放电防护电路 600 中,复合电路 601 包含第一 PMOS 603、第一 NMOS 605、第一电阻 607、电容 609、第二电阻 611、第二 PMOS 613、第二 NMOS 615 以及第三 NMOS 617。第一 PMOS 603 具有耦接至供应电位 V_{DD} 的源极,以及耦接至 N 型硅控整流器 201 的栅极。第一 NMOS 605 具有耦接至 N 型硅控整流器 201 的栅极,以及耦接至第一 PMOS 603 的漏极的漏极。第一电阻 607 具有耦接至第一 NMOS 605 的源极的第一端以及耦接至地电位 V_{SS} 的第二端。第二 PMOS 613 具有耦接至供应电位 V_{DD} 的源极以及耦接至第一 PMOS 603 的漏极的栅极、以及耦接至 N 型硅控整流器 201 的漏极。第二 NMOS 615 具有耦接至第二 PMOS 613 的漏极的漏极以及耦接至第一 PMOS 603 的漏极的栅极。电容 609 具有耦接至第二 NMOS 615 的栅极的第一端。第三 NMOS 617 具有耦接至第二 NMOS 615 的源极的漏极、耦接至电容的第二端的栅极、以及耦接至 P 型硅控整流器 203 的源极。第二电阻 611 具有耦接至第三 NMOS 617 的栅极的第一端以及耦接至地电位 V_{SS} 的第二端。

[0040] 图 6 所示的静电放电防护电路 600 的操作可简述如下:在正常运作时,第二 PMOS 613 会导通而使 B 点的电压电平为 HIGH,而通过反馈机制,A 点的电压电平会被拉低至 LOW,如此一来,电容 609 两端的跨压减少,并可有效地关闭第二 NMOS 615 与第三 NMOS 617,因此,漏电路径便会被截断而降低漏电流的情形。

[0041] 图 7 所示的静电放电防护电路 700 的操作概念和静电放电防护电路 600 类似,但静电放电防护电路 700 以两个 PMOS 和一个 NMOS 取代了静电放电防护电路 600 的两个 NMOS 和一个 PMOS。而且复合电路中的电阻和电容的位置有所不同。静电放电检测电路 700 中的复合电路 701 包含:第一 PMOS 703、第一 NMOS 705、第一电阻 707、电容 709、第二电阻 711、第二 PMOS 713、第二 PMOS 715 以及第二 NMOS 717。第一 PMOS 703 具有耦接至 P 型硅控整流器 203 的栅极。第一 NMOS 705 具有耦接至 P 型硅控整流器 203 的栅极,耦接至第一 PMOS 703 的漏极的漏极、以及耦接至地电位 V_{SS} 的源极。第一电阻 707 具有耦接至供应电位 V_{DD} 的第一端以及第一 PMOS 705 的源极的第二端。

[0042] 第二电阻 711 具有耦接至供应电位 V_{DD} 的第一端。第二 PMOS 713 具有耦接至 N 型

硅控整流器 203 的源极, 以及耦接至第二电阻 711 的第二端的栅极。电容 709 具有耦接至第二 PMOS 713 的栅极的第一端, 以及耦接至第一 NMOS 705 的漏极的第二端。第三 PMOS 715 具有耦接至第二 PMOS 713 的漏极的源极, 耦接至电容 709 的第二端的栅极, 以及耦接至 P 型硅控整流器 203 的漏极。第二 NMOS 717 具有耦接至 P 型硅控整流器 203 的漏极、耦接至电容 709 的第二端的栅极, 以及耦接地电位 V_{ss} 的源极。

[0043] 图 7 所示的静电放电防护电路 700 的操作可简述如下: 在正常运作时, 第二 NMOS 717 会导通而使 B 点的电压电平为 LOW, 而通过反馈机制, 电容 709 耦接至第一 NMOS 705 的漏极的第二端的电压电平会被拉高至 HIGH, 如此一来, 电容 709 两端的跨压减少, 并可有效地关闭第三 PMOS 715 与第二 PMOS 713, 因此, 漏电路径便会被截断而降低漏电流的情形。

[0044] 根据上述的实施例, 根据本发明的实施例的静电放电防护电路可节省触发电路的面积, 还可提供降低漏电流的结构。因此可改善已知技术的静电放电防护电路的问题。

[0045] 以上所述仅为本发明的较佳实施例, 凡依本发明权利要求范围所做的均等变化与修饰, 皆应属本发明的涵盖范围。

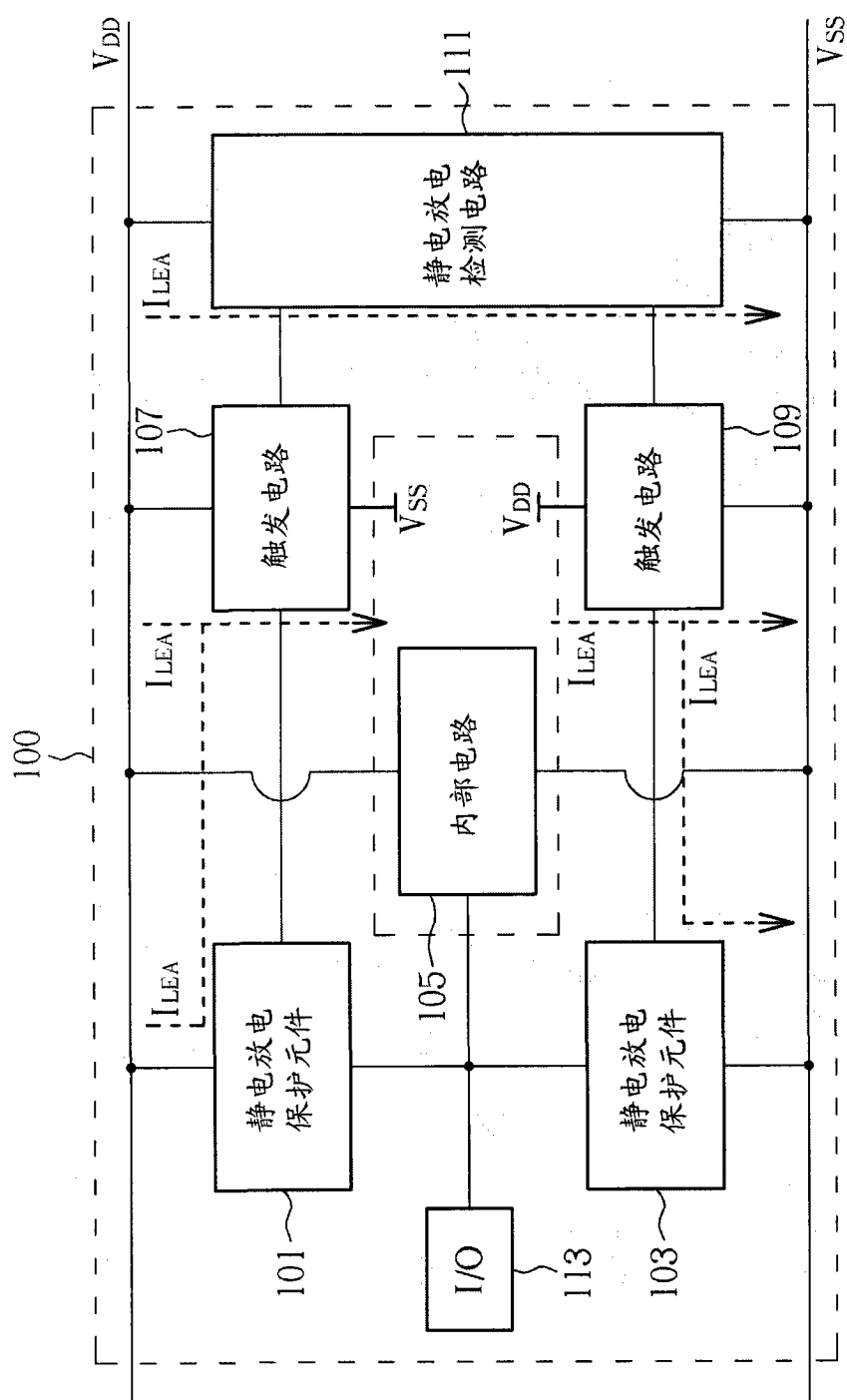


图 1

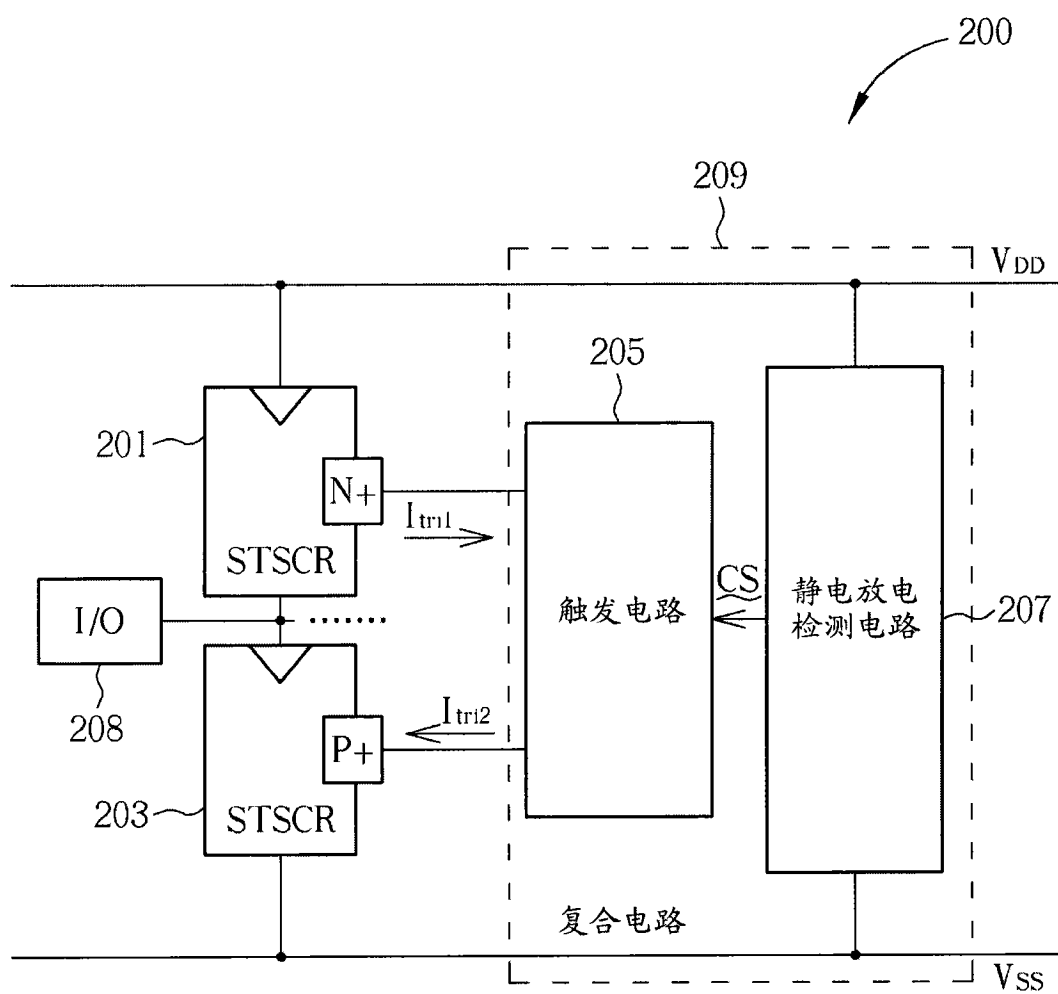


图 2

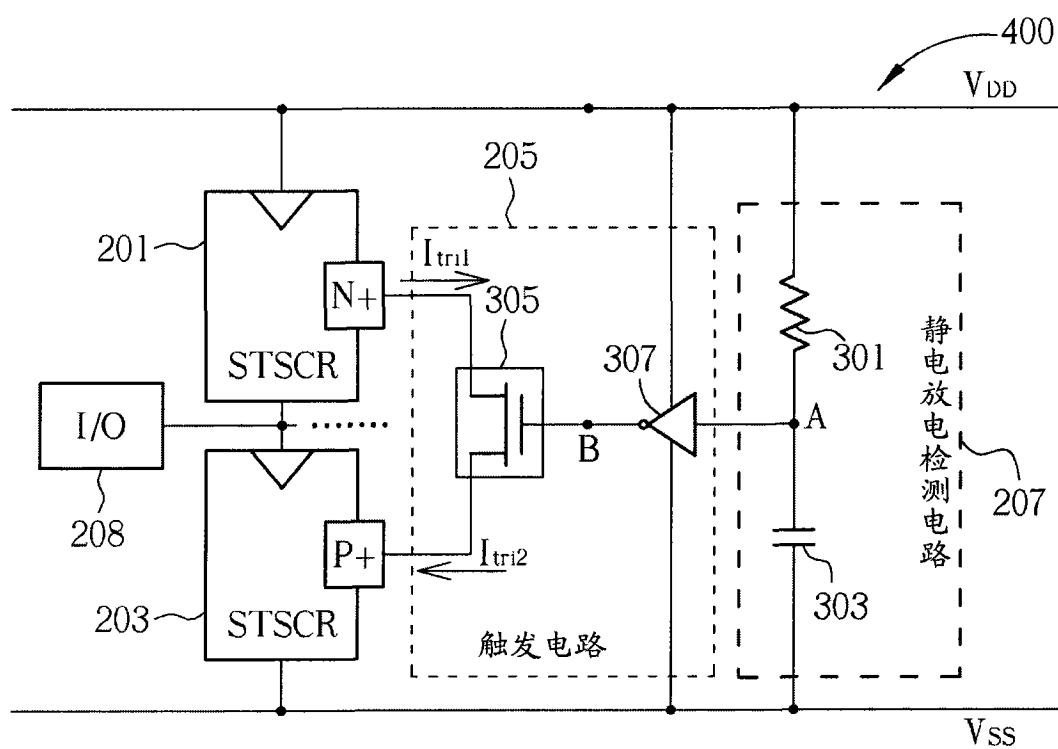


图 3

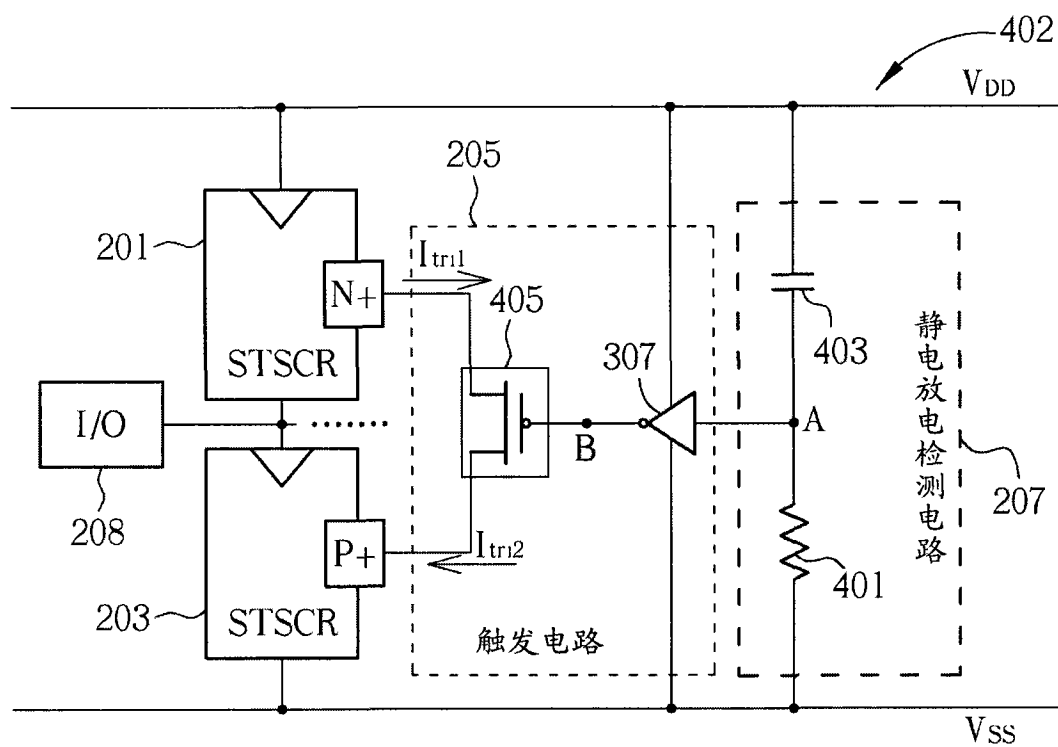


图 4

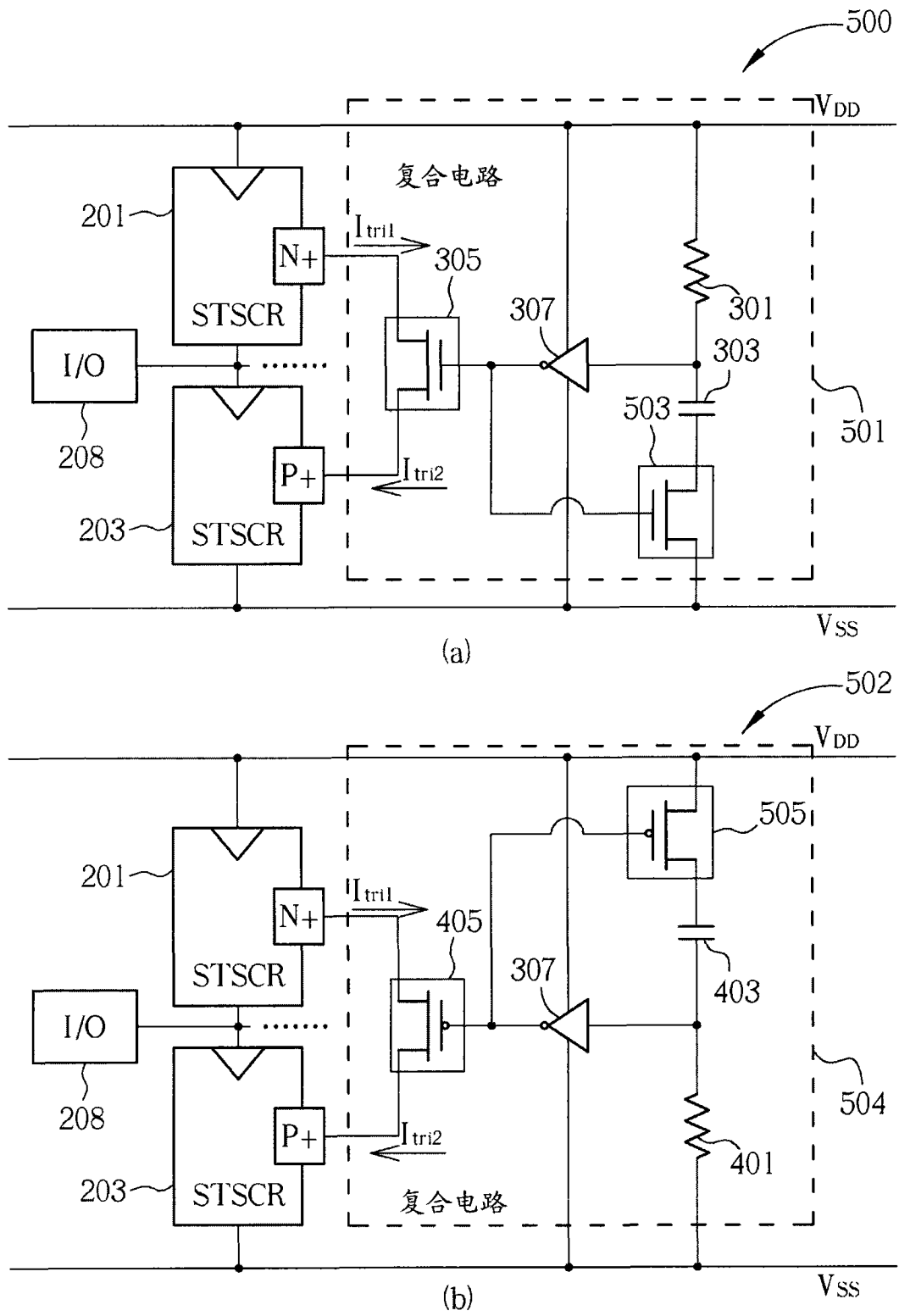


图 5

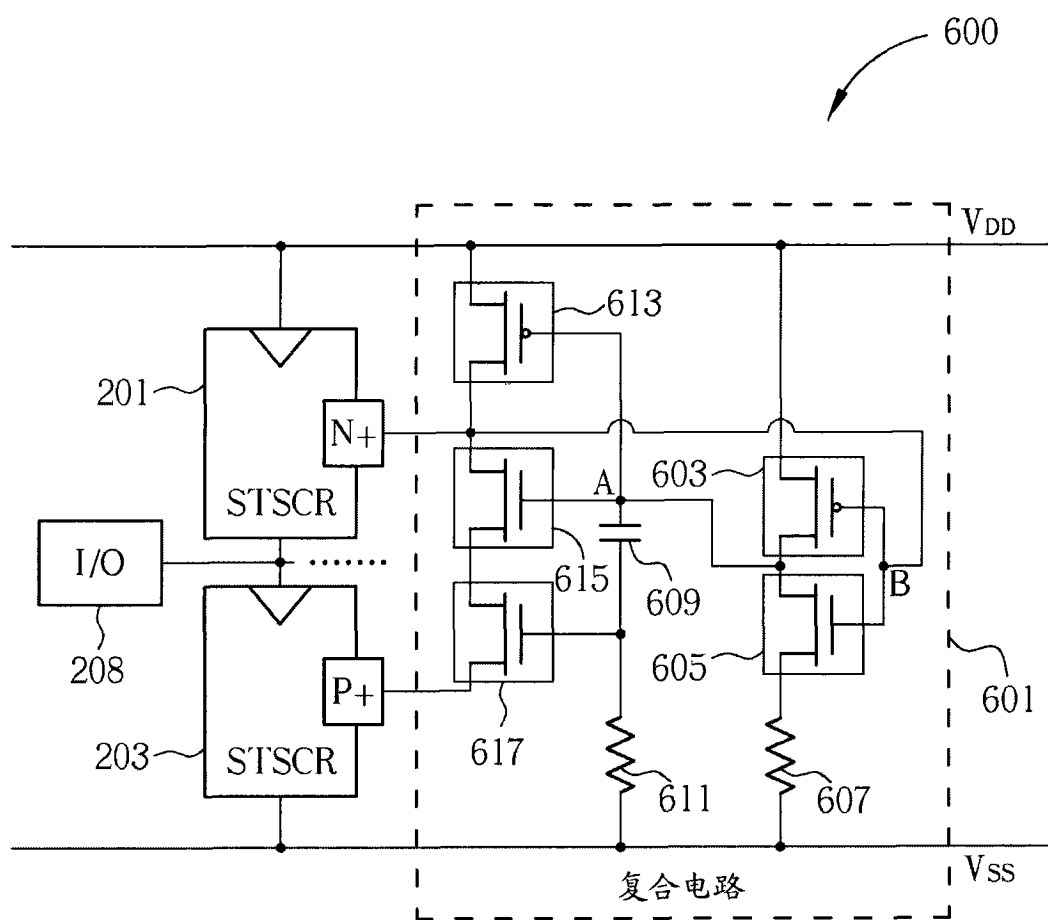


图 6

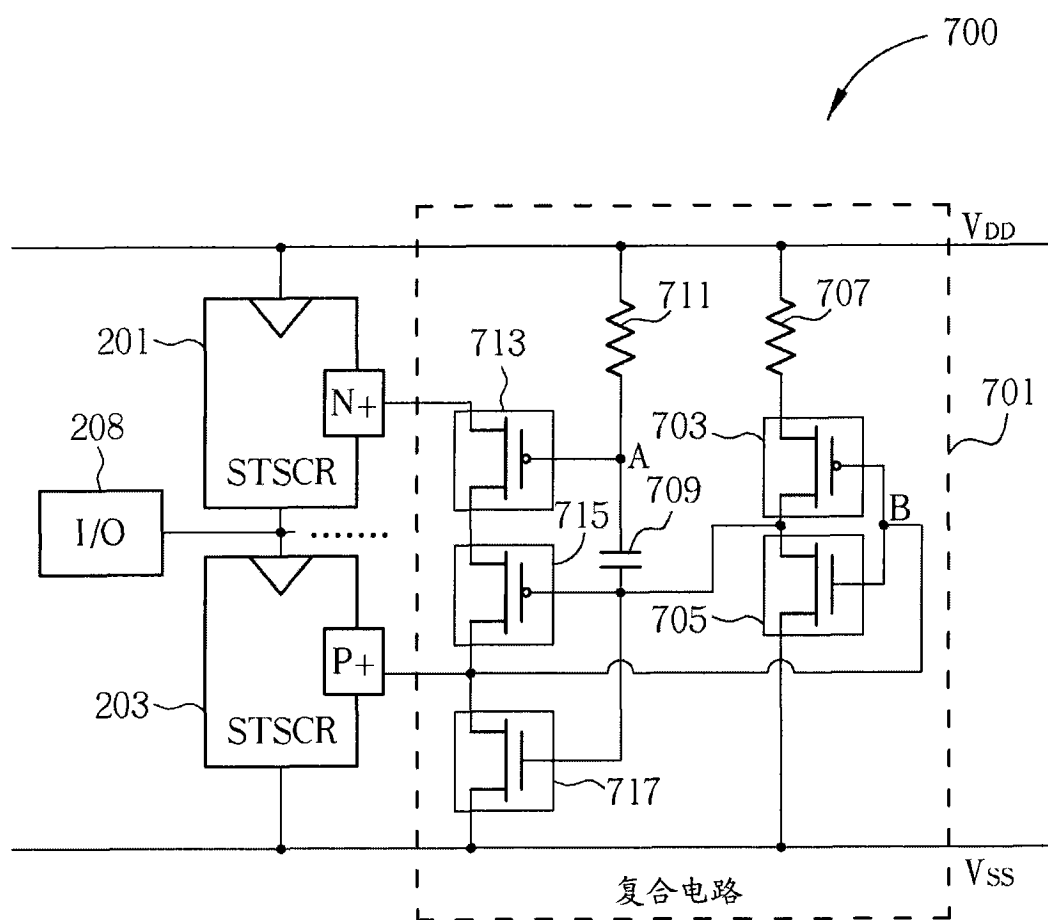


图 7