



(12) 发明专利

(10) 授权公告号 CN 101938118 B

(45) 授权公告日 2013. 09. 04

(21) 申请号 200910151820. X

(22) 申请日 2009. 06. 29

(73) 专利权人 智原科技股份有限公司

地址 中国台湾新竹市

(72) 发明人 蔡富义 柯明道

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 史新宏

(51) Int. Cl.

H02H 9/00 (2006. 01)

H01L 23/60 (2006. 01)

(56) 对比文件

US 6624992 B1, 2003. 09. 23,

US 6624992 B1, 2003. 09. 23,

US 6762086 B2, 2004. 07. 13,

US 5679971 A, 1997. 10. 21,

US 7827512 B2, 2010. 11. 02,

TW 200818651 A, 2008. 04. 16, 全文.

审查员 黄绵

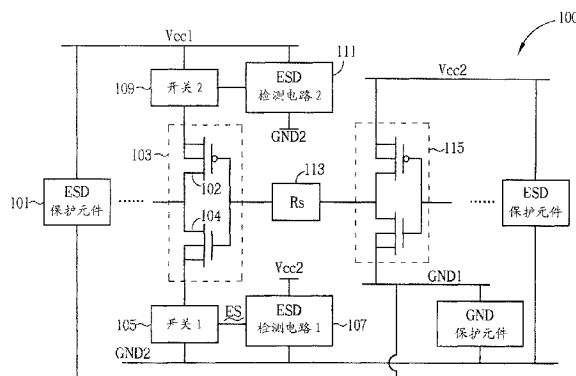
权利要求书2页 说明书5页 附图10页

(54) 发明名称

具有多重电源区域集成电路的静电放电防护电路

(57) 摘要

一种具有多重电源区域集成电路的静电放电防护电路, 包含: 一第一 ESD 保护元件, 耦接于一第一电源供应线和一第一地线之间; 一第一内部电路, 具有耦接于该第一电源供应线的第一端; 一第一开关, 耦接于该第一内部电路的第二端以及一第二地线之间; 以及一第一 ESD 检测电路, 耦接于一第二电源供应线以及该第二地线之间, 耦接于该第一开关, 用以检测一静电放电信号, 并在该静电放电信号产生时, 使该第一开关不导通; 一第二内部电路, 耦接于该第二电源供应线以及该第一地线之间; 以及一第二 ESD 保护元件, 耦接于该第二电源供应线和该第二地线之间; 其中该第一电源供应线不同于该第二电源供应线, 且该第一地线不同于该第二地线。



1. 一种具有多重电源区域集成电路的静电放电防护电路,包含:
 - 一第一 ESD 保护元件,耦接于一第一电源供应线和一第一地线之间;
 - 一第一内部电路,具有耦接于该第一电源供应线的一第一端;
 - 一第一开关,耦接于该第一内部电路的一第二端以及一第二地线之间;
 - 一第一 ESD 检测电路,耦接于一第二电源供应线以及该第二地线之间,耦接于该第一开关,用以检测一静电放电信号,并在该静电放电信号产生时,使该第一开关不导通;
 - 一第二内部电路,耦接于该第二电源供应线以及该第一地线之间;以及
 - 一第二 ESD 保护元件,耦接于该第二电源供应线和该第二地线之间;其中该第一电源供应线不同于该第二电源供应线,且该第一地线不同于该第二地线。
2. 如权利要求 1 所述的静电放电保护电路,还包含:
 - 一第二开关,耦接于该第一内部电路的该第一端以及该第一电源供应线之间;以及
 - 一第二 ESD 检测电路,耦接于该第二开关,用以检测一静电放电信号,并在该静电放电信号产生时,使该第二开关不导通。
3. 如权利要求 1 所述的静电放电保护电路,其中该第一开关为一 NMOS,且该第一开关的一基体直接连接于该第一开关的一源极以及该第一开关。
4. 如权利要求 3 所述的静电放电保护电路,其中该第一开关具有一深层 N 型布植层(Deep N Well)。
5. 如权利要求 1 所述的静电放电保护电路,其中该第一开关为一 NMOS,且该第一开关的一基体直接连接于该第一地线。
6. 如权利要求 1 所述的静电放电保护电路,还包含一第二开关,耦接于该第一内部电路的该第一端以及该第一电源供应线之间,亦耦接于该第一 ESD 检测电路,该第一 ESD 检测电路在该静电放电信号产生时,使该第二开关不导通。
7. 如权利要求 1 所述的静电放电保护电路,还包含:
 - 一延迟元件,耦接于该第一内部电路以及该第二内部电路之间。
8. 一种具有突发性电流防护机制的集成电路,包含:
 - 一第一欲保护电路,具有耦接于一第一电源供应线的一第一端;
 - 一第一开关,耦接于该第一欲保护电路的一第二端以及一第二地线之间;
 - 一第一突发性电流检测电路,耦接于一第二电源供应线以及该第二地线之间,耦接于该第一开关,用以检测一静电放电信号,并在该静电放电信号产生时,使该第一开关不导通;以及
 - 一第二欲保护电路,耦接于该第二电源供应线以及一第一地线之间;其中该第一电源供应线不同于该第二电源供应线,且该第一地线不同于该第二地线。
9. 如权利要求 8 所述的具有突发性电流防护机制的集成电路,还包含:
 - 一第二开关,耦接于该第一欲保护电路的该第一端以及该第一电源供应线之间;以及
 - 一第二突发性电流检测电路,耦接于该第二开关,用以检测一静电放电信号,并在该静电放电信号产生时,使该第二开关不导通。
10. 如权利要求 8 所述的具有突发性电流防护机制的集成电路,其中该第一开关为一 NMOS,且该第一开关的一基体直接连接于该第一开关的一源极以及该第一开关。
11. 如权利要求 10 所述的具有突发性电流防护机制的集成电路,其中该第一开关具有

一深层 N 型布植层 (Deep N Well)。

12. 如权利要求 8 所述的具有突发性电流防护机制的集成电路, 其中该第一开关为一 NMOS, 且该第一开关的一基体直接连接于该第一地线。

13. 如权利要求 8 所述的具有突发性电流防护机制的集成电路, 还包含一第二开关, 耦接于该第一欲保护电路的该第一端以及该第一电源供应线之间, 亦耦接于该第一突发性电流检测电路, 该第一突发性电流检测电路在该静电放电信号产生时, 使该第二开关不导通。

14. 如权利要求 8 所述的具有突发性电流防护机制的集成电路, 还包含:

一延迟元件, 耦接于该第一欲保护电路以及该第二欲保护电路之间。

具有多重电源区域集成电路的静电放电防护电路

技术领域

[0001] 本发明涉及具有多重电源区域集成电路的静电放电防护电路,特别涉及在检测到静电放电信号时,使内部电路和电源供应线或地线之间不导通的具有多重电源区域集成电路的静电放电防护电路。

背景技术

[0002] 一般而言,集成电路内都具有 ESD(Electrostatic Discharge,静电放电)防护机制,一般都是设立在输入/输出垫片和内部电路之间。然而一集成电路通常具有多个电源区域(power domain),这些电源区域之间的接口也可能有 ESD 现象的产生。而在高速电路当中,晶体管的栅极氧化层(gate oxide)通常较薄,因此可能被 ESD 电流给打穿而造成电路的损坏。有些集成电路可能在这些电源区域之间的信号传递路径上设置 ESD 防护元件,但这样的元件往往会造成信号的延迟而无法符合电路的高速需求。

发明内容

[0003] 本发明的一目的为提供一种不同电源区域的电路的 ESD 防护机制。

[0004] 本发明的另一目的为提供一种不位于信号传递路径上的 ESD 防护机制。

[0005] 本发明的一实施例公开了一种具有多重电源区域集成电路的静电放电防护电路,包含:一第一 ESD 保护元件,耦接于一第一电源供应线和一第一地线之间;一第一内部电路,具有耦接于该第一电源供应线的一第一端;一第一开关,耦接于该第一内部电路的一第二端以及一第二地线之间;以及一第一 ESD 检测电路,耦接于一第二电源供应线以及该第二地线之间,耦接于该第一开关,用以检测一静电放电信号,并在该静电放电信号产生时,使该第一开关不导通;一第二内部电路,耦接于该第二电源供应线以及该第一地线之间;以及一第二 ESD 保护元件,耦接于该第二电源供应线和该第二地线之间;其中该第一电源供应线不同于该第二电源供应线,且该第一地线不同于该第二地线。

[0006] 本发明的另一实施例公开了一种具有突发性电流防护机制的集成电路,包含:一第一欲保护电路,具有耦接于该第一电源供应线的一第一端;一第一开关,耦接于该第一欲保护电路的一第二端以及一第二地线之间;以及一第一突发性电流检测电路,耦接于一第二电源供应线以及该第二地线之间,耦接于该第一开关,用以检测一静电放电信号,并在该静电放电信号产生时,使该第一开关不导通;以及一第二欲保护电路,耦接于该第二电源供应线以及一第一地线之间;其中该第一电源供应线不同于该第二电源供应线,且该第一地线不同于该第二地线。

[0007] 根据上述的实施例,可以对不同电源区域的电路提供 ESD 保护,而且保护元件不在信号传递路径上,因此可以避免信号延迟的问题。

附图说明

[0008] 图 1a、图 1b、图 2a、图 2b、图 3a、图 3b 以及图 4 分别绘示了根据本发明的实施例的

具有多重电源区域集成电路的静电放电防护电路的电路图。

[0009] 图 5(a) 和 (b) 绘示了图 1a、1b、2a、2b、3a、3b 以及图 4 所示的电路的开关的示范性详细结构。

[0010] 图 6 绘示了图 1a、1b、2a、2b、3a、3b 以及图 4 所示的电路的 ESD 检测电路的示范性详细结构。

[0011] 图 7 绘示了使用图 5- 图 6 所示的结构的多重电源区域集成电路的静电放电防护电路的电路图。

[0012] 【主要元件符号说明】

[0013] 100、120 具有多重电源区域集成电路的静电放电防护电路

[0014] 101、301、311ESD 保护元件

[0015] 103、201、203 第一内部电路

[0016] 105、703 第一开关

[0017] 107 第一 ESD 检测电路

[0018] 109、705 第二开关

[0019] 111 第二 ESD 检测电路

[0020] 113 延迟元件

[0021] 115 第二内部电路

[0022] 202、206、302、306、503、711PMOS

[0023] 204、208、304、308、501NMOS

[0024] 303、309、317、401、403、411、413、701 内部电路

[0025] 305、313、405、407 开关

[0026] 301、311ESD 保护元件

[0027] 307、315、409、600、707ESD 检测电路

[0028] 601 第一阻抗元件

[0029] 603 第二阻抗元件

[0030] 605、713 反相器

[0031] 715 电阻

[0032] 717 电容

具体实施方式

[0033] 在说明书及所附的权利要求书当中使用了某些词汇来指称特定的元件。本领域技术人员应可理解,硬件制造商可能用不同的名词来称呼同一个元件。本说明书及所附的权利要求书并不以名称的差异来作为区分元件的方式,而是以元件在功能上的差异来作为区分的准则。在通篇说明书及所附的权利要求书当中所提及的「包含」为一开放式的用语,故应解释成「包含但不限于」。此外,「耦接」一词在此包含任何直接及间接的电气连接手段。因此,如果文中描述一第一装置耦接于一第二装置,则代表该第一装置可直接电气连接于该第二装置,或通过其他装置或连接手段间接地电气连接至该第二装置。此外,说明书中以及权利要求书中所使用的第一装置、第二装置,并非表示其有先后次序的关系,仅表示其为不同的装置。

[0034] 图 1 至图 4 分别绘示了根据本发明的实施例的具有多重电源区域集成电路的静电放电防护电路 100 的电路图。如图 1a 所示,具有多重电源区域集成电路的静电放电防护电路 100 包含:一 ESD 保护元件 101、一第一内部电路 103(亦即一欲保护电路)、一第一开关 105(如图标示为开关 1)、一第一 ESD 检测电路 107(如图标示为 ESD 检测电路 1)、一第二开关 109(如图标示为开关 2)以及一第二 ESD 检测电路 111(如图标示为 ESD 检测电路 2)。其中,第一内部电路 103 耦接于第一电源供应线 Vcc1 与第二地线 GND2 之间,可视为一个电源区域;第二内部电路 115 耦接于第二电源供应线 Vcc2 与第一地线 GND1 之间,可视为另一个电源区域。ESD 保护元件 101 耦接于第一电源供应线 Vcc1 和一第一地线 GND1 之间。第一内部电路 103 具有耦接于该第一电源供应线 Vcc1 的第一端。第一开关 105 耦接于第一内部电路 103 的第二端以及一第二地线 GND2 之间。第一 ESD 检测电路 107 耦接于第一开关 105,用以检测一静电放电信号(例如一突发性的电压或一突发性大电流),并在该静电放电信号产生时,使第一开关 105 不导通。同样地,第二开关 109 耦接于第一内部电路 103 与第一电源线 Vcc1 之间,第二 ESD 检测电路 111 则耦接于第二开关 109,用以检测一静电放电信号(例如一突发性电压或一突发性电流)并输出一 ESD 通知信号 ES,并在静电放电信号产生时,使第二开关 109 不导通。通过此种做法,可以避免 ESD 电流经延迟元件 113(可为信号线本身的寄生电阻,或配合电路运作速度需求而外加的电阻)流到第二内部电路 115 流而打穿第二内部电路 115 的晶体管的栅极氧化层。而且,由于第一开关 105、第二开关 109、第一 ESD 检测电路 107 以及第二 ESD 检测电路 111 均未在信号传递路线上(也就是第一内部电路 103 与第二内部电路 115 这两个电源区域间的信号接口),因此可改善已知技术中信号被延迟的问题。

[0035] 图 1b 所示的具有多重电源区域集成电路的静电放电防护电路 120 的结构和元件大致上和图 1 中的 a 图所示的具有多重电源区域集成电路的静电放电防护电路相同,其不同之处在于图 1b 所示的第二 ESD 检测电路 111 被省略,而图 1b 所示的具有多重电源区域集成电路的静电放电防护电路使用第一 ESD 检测电路 107 来同时控制第一开关 105 和第二开关 109。因此第一 ESD 检测电路 107 在感测到 ESD 信号时,会同时使第一开关 105 和第二开关 109 不导通,以避免 ESD 电流流到第二内部电路 115 流经延迟元件 113(此例中为一电阻)而打穿第二内部电路 115 的晶体管的栅极氧化层。其他详细技术特征已公开于图 1b,故在此不再赘述。在上述的实施例中,第一内部电路 101 都具有一 PMOS102 和一 NMOS104。

[0036] 图 2a 所示的具有多重电源区域集成电路的静电放电防护电路 200 具有和图 1a 所示的具有多重电源区域集成电路的静电放电防护电路 100 相同的元件。且具有多重电源区域集成电路的静电放电防护电路 200 中的第一内部电路 201 和具有多重电源区域集成电路的静电放电防护电路 100 中的第一内部电路 101 一样具有一 PMOS202 和 NMOS204。其不同之处在于,图 2a 中的 NMOS204 的基底直接连接至第二地线 GND2,而图 1a 中的 NMOS104 的基底直接连接至 NMOS104 的源极和第一开关 105。如果欲使用图 1a 中的结构,则可使用具有深层 N 型布植层(Deep N Well)的 NMOS 来施行 NMOS104。

[0037] 同样地,图 2b 所示的具有多重电源区域集成电路的静电放电防护电路 220 具有和图 1b 所示的具有多重电源区域集成电路的静电放电防护电路 120 相同的元件。且具有多重电源区域集成电路的静电放电防护电路 220 中的第一内部电路 203 和具有多重电源区域集成电路的静电放电防护电路 120 中的第一内部电路 103 一样具有一 PMOS206 和 NMOS208。其

不同之处在于,图 2b 中的 NMOS208 的基底直接连接至第二地线 GND2,而图 1b 中的 NMOS104 的基底直接连接至 NMOS104 的源极和第一开关 105。

[0038] 在图 3 所示的实施例中,每一个电源区域的内部电路使用单一开关以及单一 ESD 检测电路来作为防护。如图 3a 所示,ESD 防护机制的集成电路 300 包含:ESD 保护元件 301、内部电路 303、开关 305 以及 ESD 检测电路 307。同样地,ESD 检测电路 307 耦接于开关 305,用以检测一静电放电信号(例如一突发性的电压或一突发性大电流),并在静电放电信号产生时,使开关 305 不导通。在图 3a 所示的实施例中,内部电路 309 和内部电路 303 属于不同电源区域,但亦具有相对应的 ESD 保护元件 311、开关 313 以及 ESD 检测电路 315,且其动作方式也和内部电路 303 相同。

[0039] 图 3b 所示的具有多重电源区域集成电路的静电放电防护电路 320 具有和图 3a 所示的具有多重电源区域集成电路的静电放电防护电路 300 相同的元件。且具有多重电源区域集成电路的静电放电防护电路 320 中的第一内部电路 317 和具有多重电源区域集成电路的静电放电防护电路 300 中的第一内部电路 303 一样具有一 PMOS306 和 NMOS308。其不同之处在于,图 3b 中的 NMOS308 的基底直接连接至第二地线 GND2,而图 3a 中的 NMOS304 的基底直接连接至 NMOS304 的源极和第一开关 305。

[0040] 在图 4 所示的实施例中,多个内部电路可以共用一组保护电路,这组保护电路包含两开关以及一 ESD 检测电路。如图 4 所示,内部电路 401 和 403(此两内部电路可以是同一电源区域的内部电路)共用开关 405、开关 407 以及 ESD 检测电路 409,因此只要一组保护电路便可同时防止 ESD 电流流到内部电路 411 和 413。

[0041] 图 5(a) 和 (b) 绘示了图 1 至图 4 所示的电路的开关的示范性详细结构。

[0042] 在图 5(a) 中使用一 NMOS501 来做为开关, NMOS501 的基底耦接至地线,而其栅极接收来自 ESD 检测电路的 ESD 通知信号 ES 而导通或不导通。在图 5(b) 中使用一 PMOS503 来做为开关, PMOS503 的基底耦接至地线,而其栅极接收来自 ESD 检测电路的 ESD 通知信号 ES 而导通或不导通。

[0043] 图 6 绘示了图 1 至图 4 所示的电路的 ESD 检测电路 600 的示范性详细结构。如图 6 所示,ESD 检测电路 600 具有一第一阻抗元件 601、一第二阻抗元件 603 以及一反相器 605。反相器 605 的输入端耦接至图 5 所示的 NMOS501,而反相器 605 的输出端耦接至图 5 所示的 PMOS503。第一阻抗元件 601 和第二阻抗元件 603 可由二极管、电容和电阻等来施行。

[0044] 图 7 绘示了使用图 5-6 所示的结构的具有多重电源区域集成电路的静电放电防护电路 700 的电路图。如图 7 所示,具有多重电源区域集成电路的静电放电防护电路 700 具有一内部电路 701、一第一开关 703、一第二开关 705 以及一 ESD 检测电路 707。在此实施例中,第一开关 703 为一 NMOS、第二开关 705 包含一 PMOS711 以及一反相器 713,而 ESD 检测电路 707 包含一电阻 715 以及一电容 717。正常状态下电源 Vcc2 可以对电容 717 正常充电,因此接点 A 保持在高电平状态,第一开关 703 以及第二开关 705 保持导通的状态。而在 ESD 产生时,电容 717 无法正常充电,因此接点 A 保持在低电平状态,第一开关 703 以及第二开关 705 会变成不导通的状态。须注意的是,图 7 所示的结构仅用以举例,并非用以限定本发明,本领域技术人员当可任意更改电路结构而得到相同的结果。

[0045] 根据上述的实施例,可以对不同电源区域的电路提供 ESD 保护,而且保护元件不在信号传递路径上,因此可以避免信号延迟的问题。

[0046] 以上所述仅为本发明的优选实施例,凡依本发明权利要求书所做的均等变化与修饰,均应属本发明的涵盖范围。

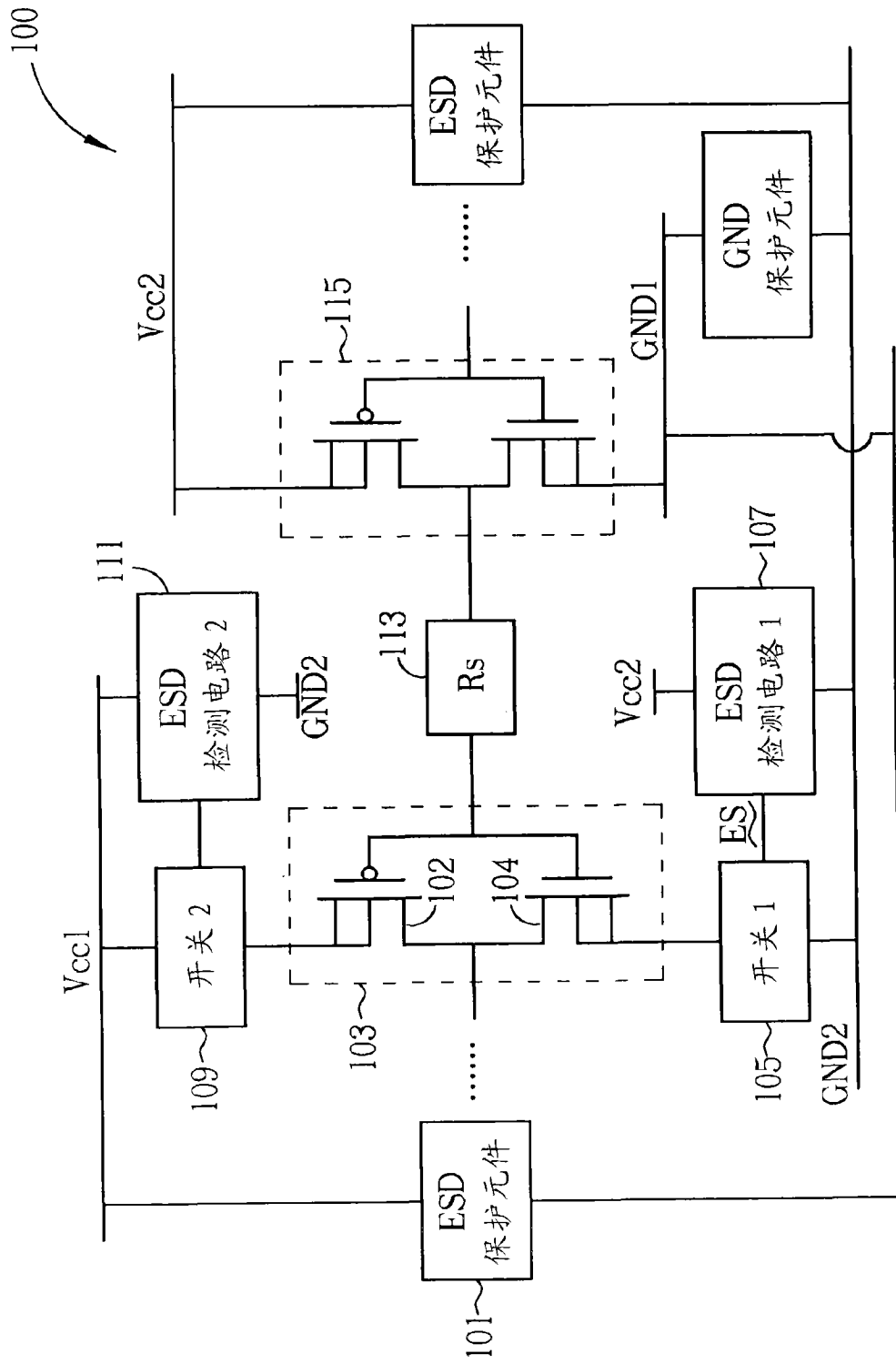


图 1a

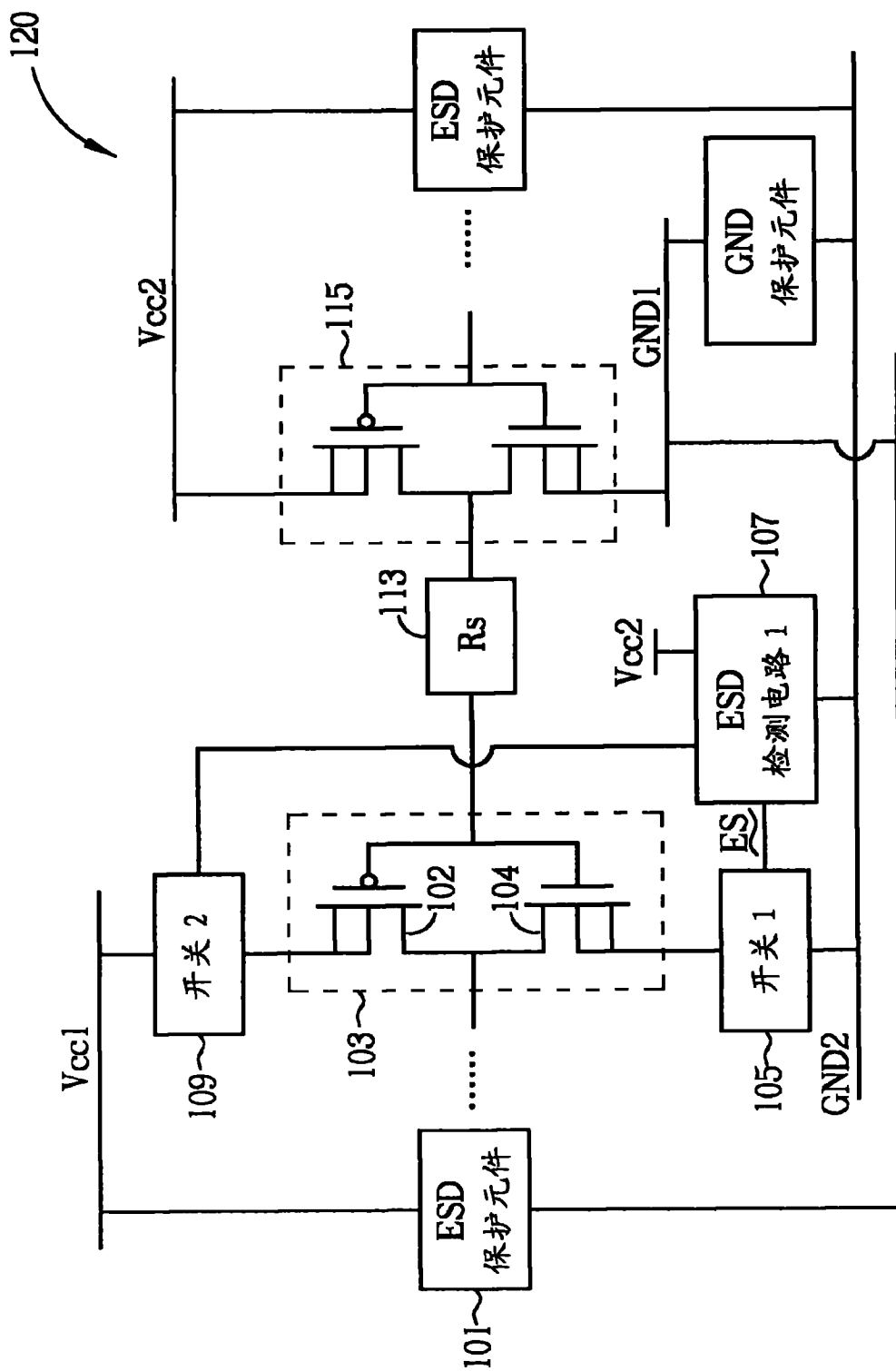


图 1b

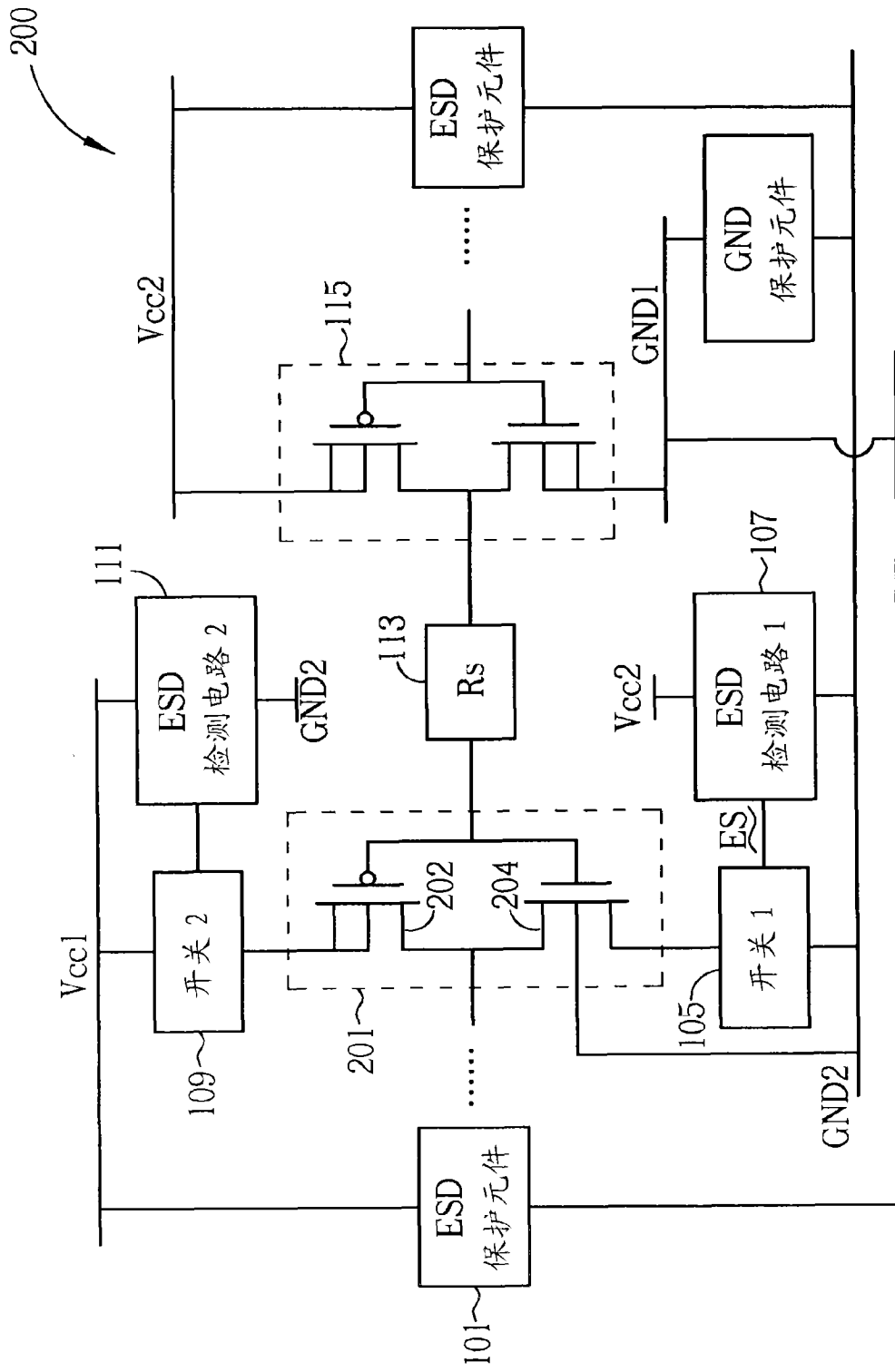


图 2a

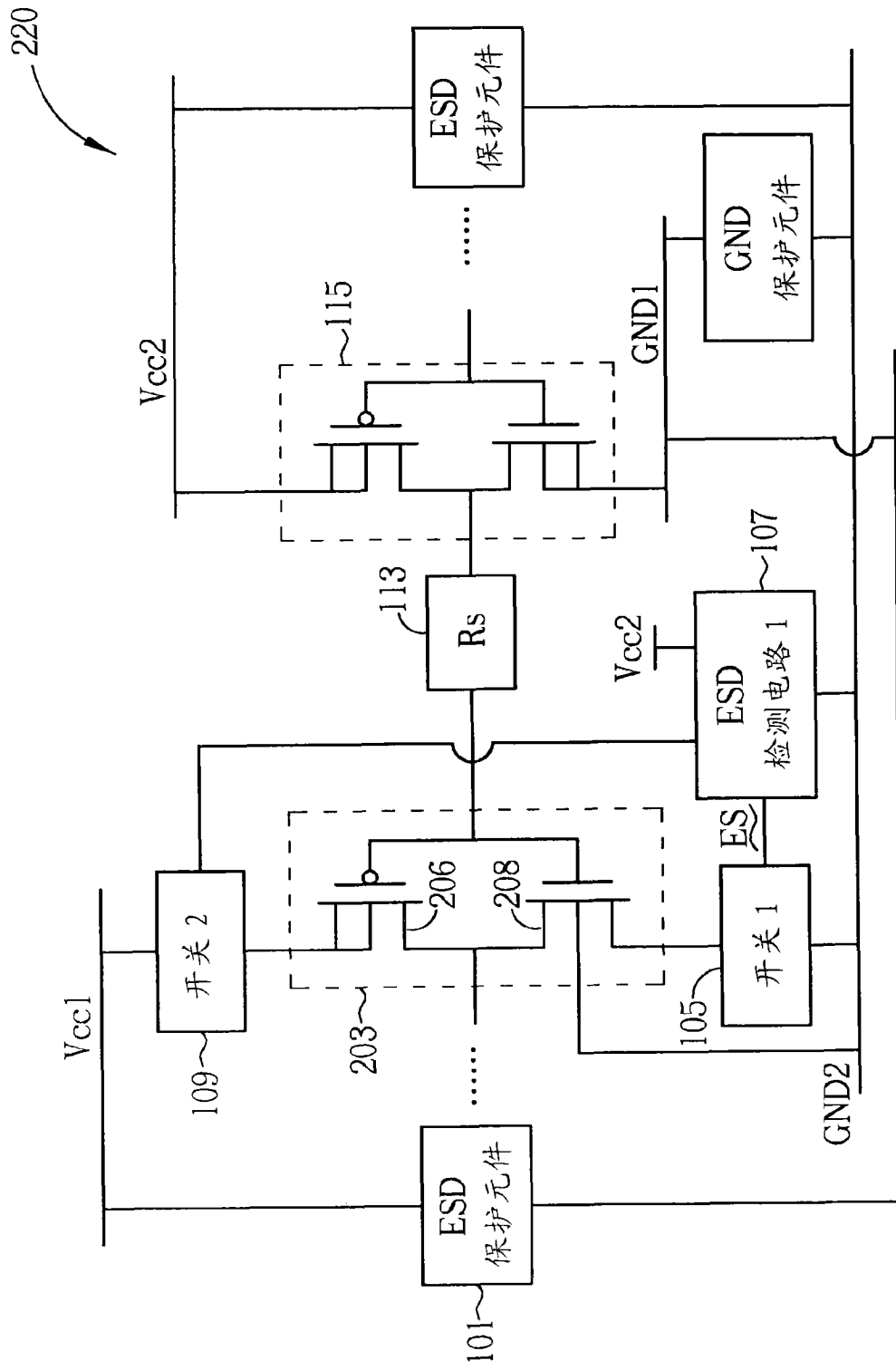


图 2b

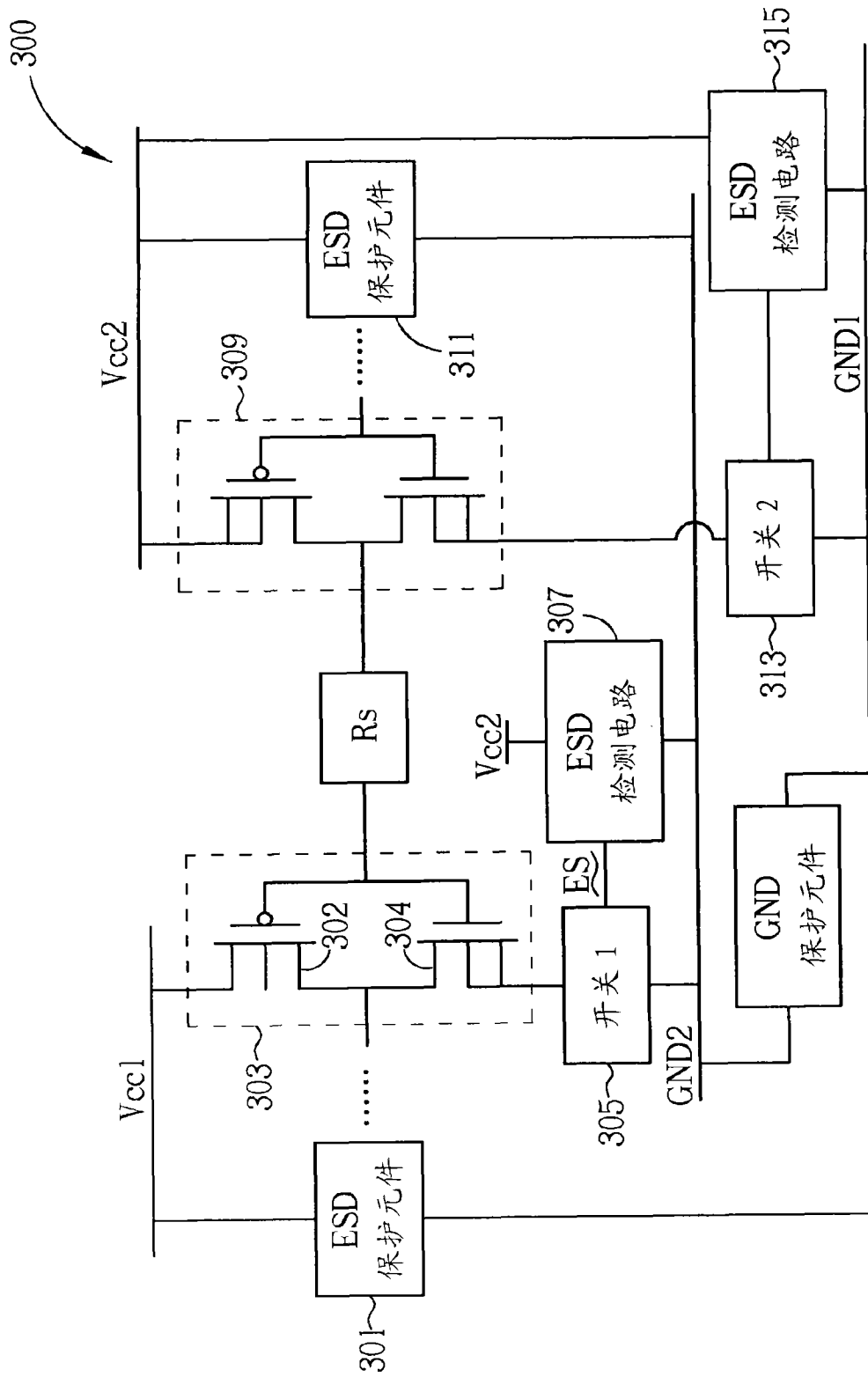


图 3a

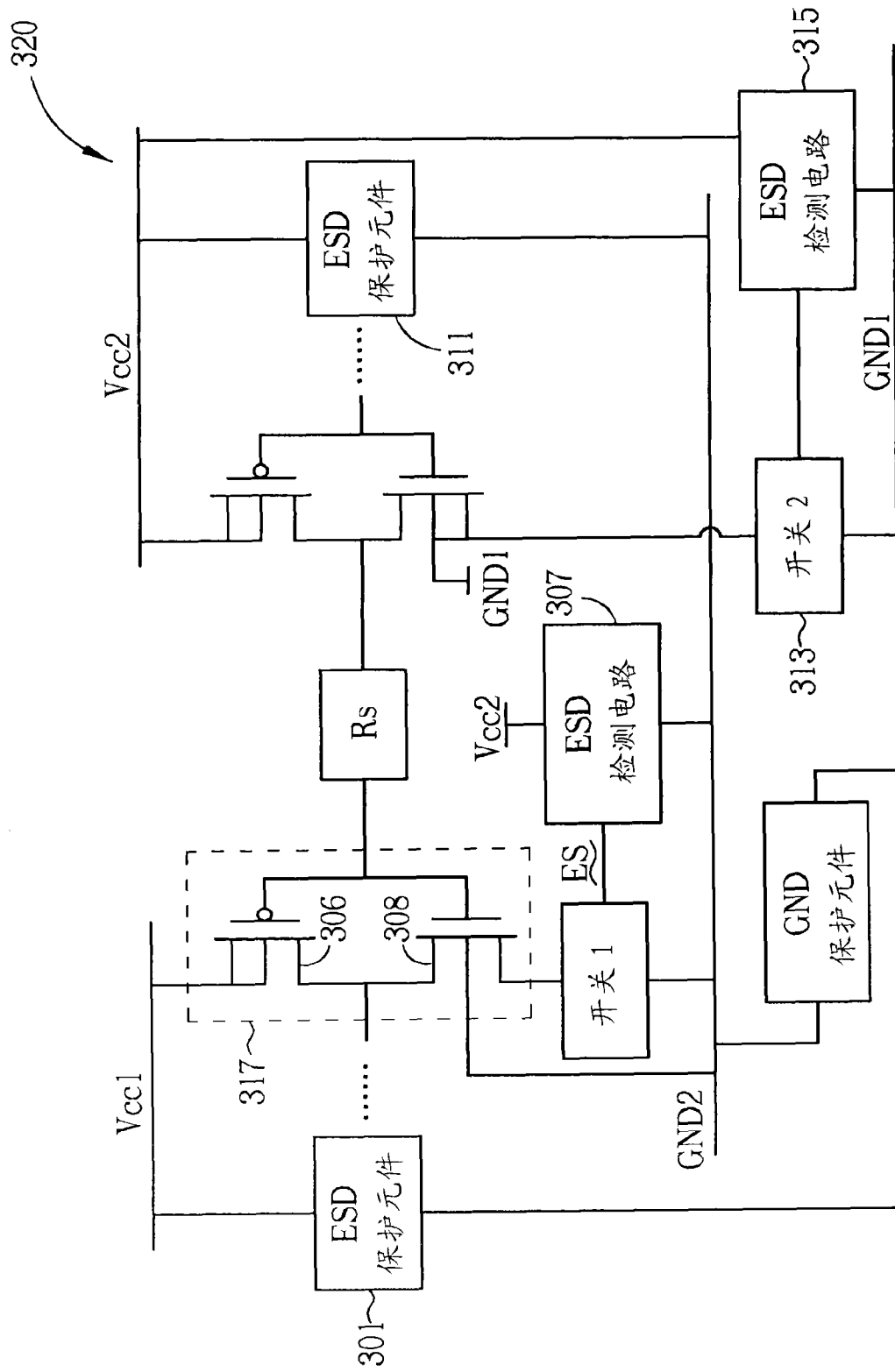


图 3b

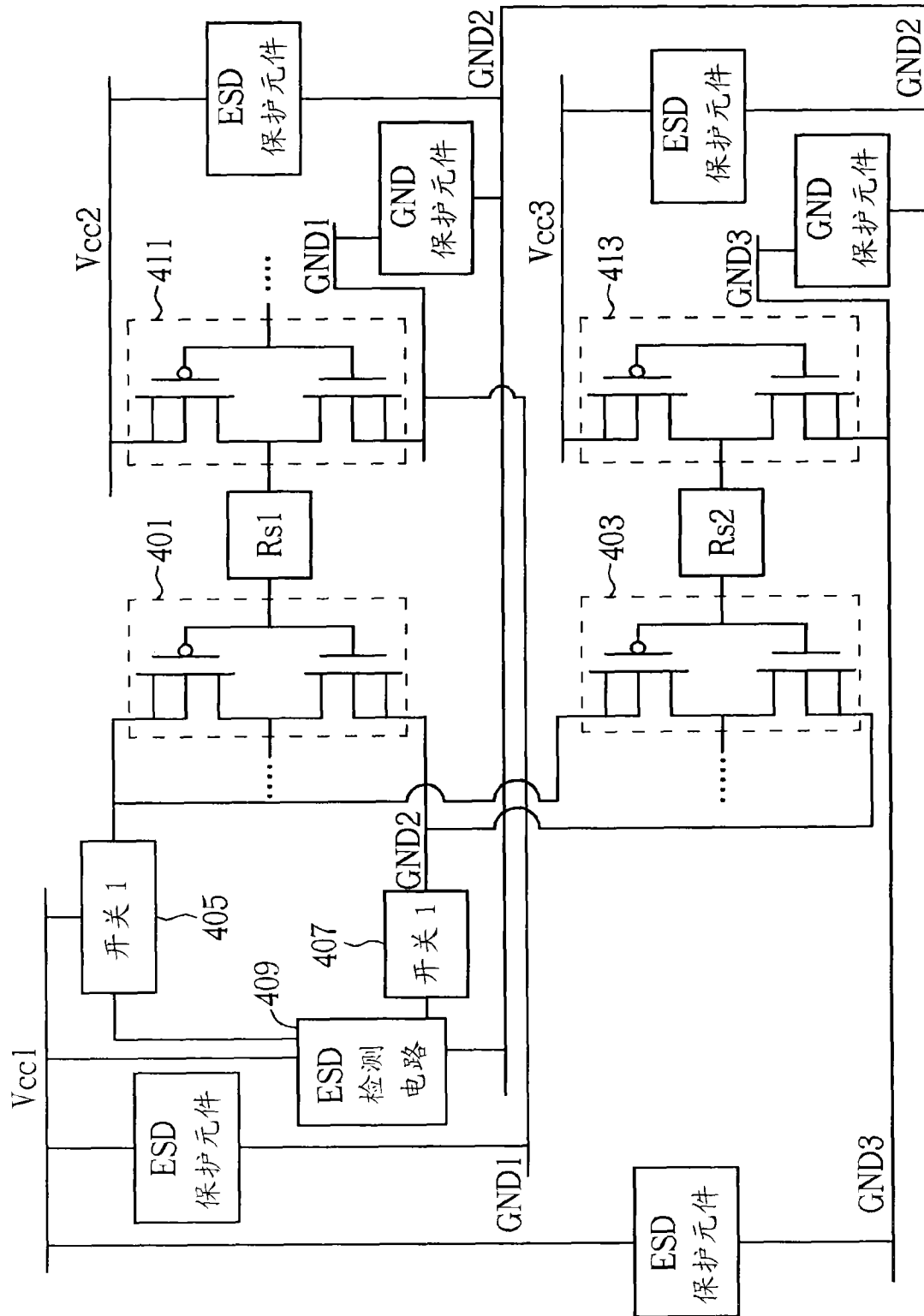


图 4

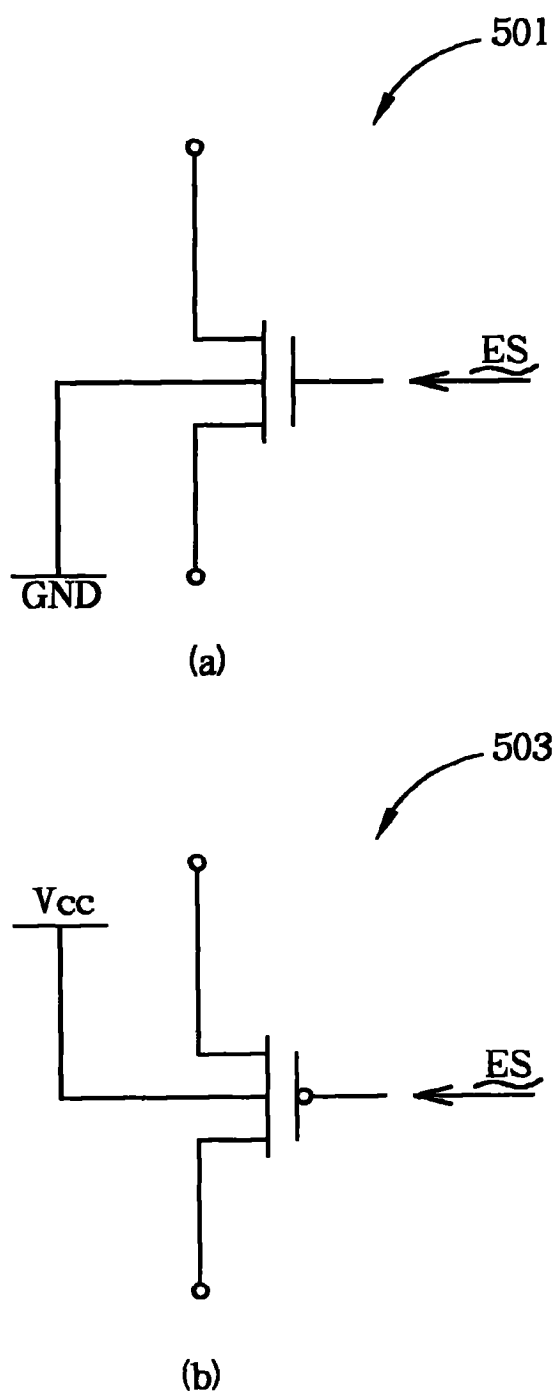


图 5

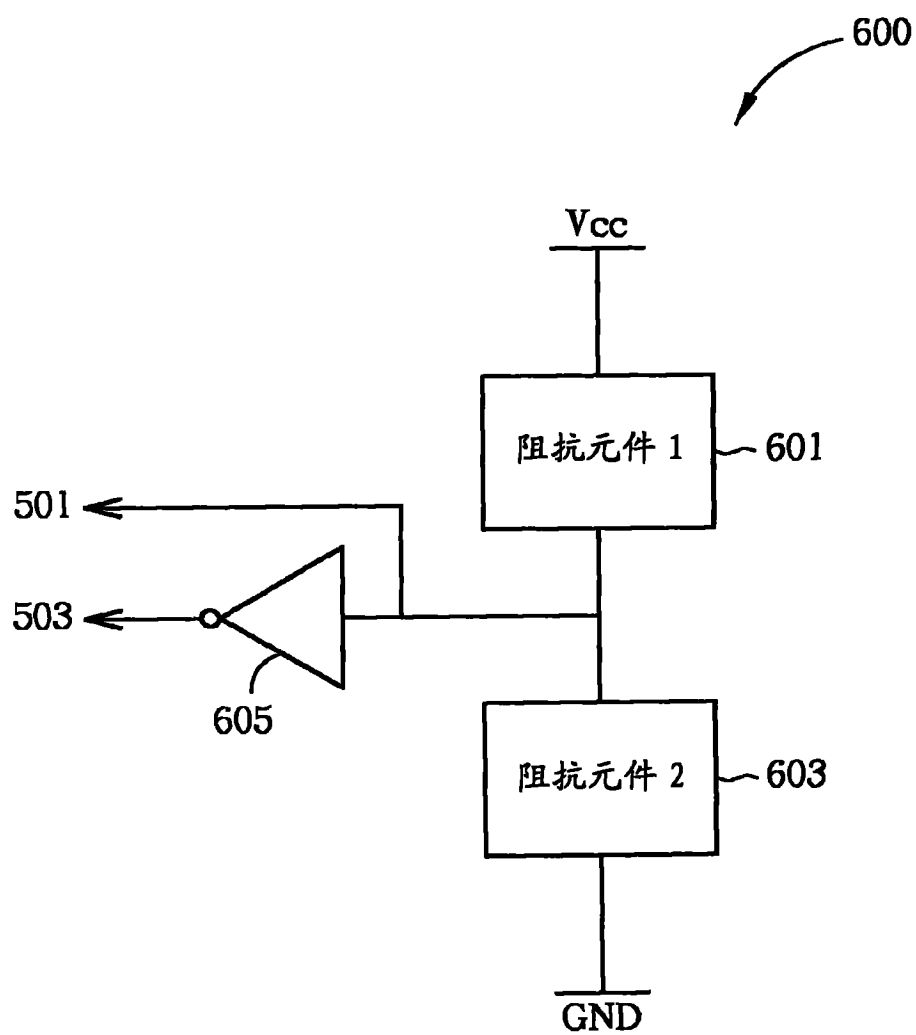


图 6

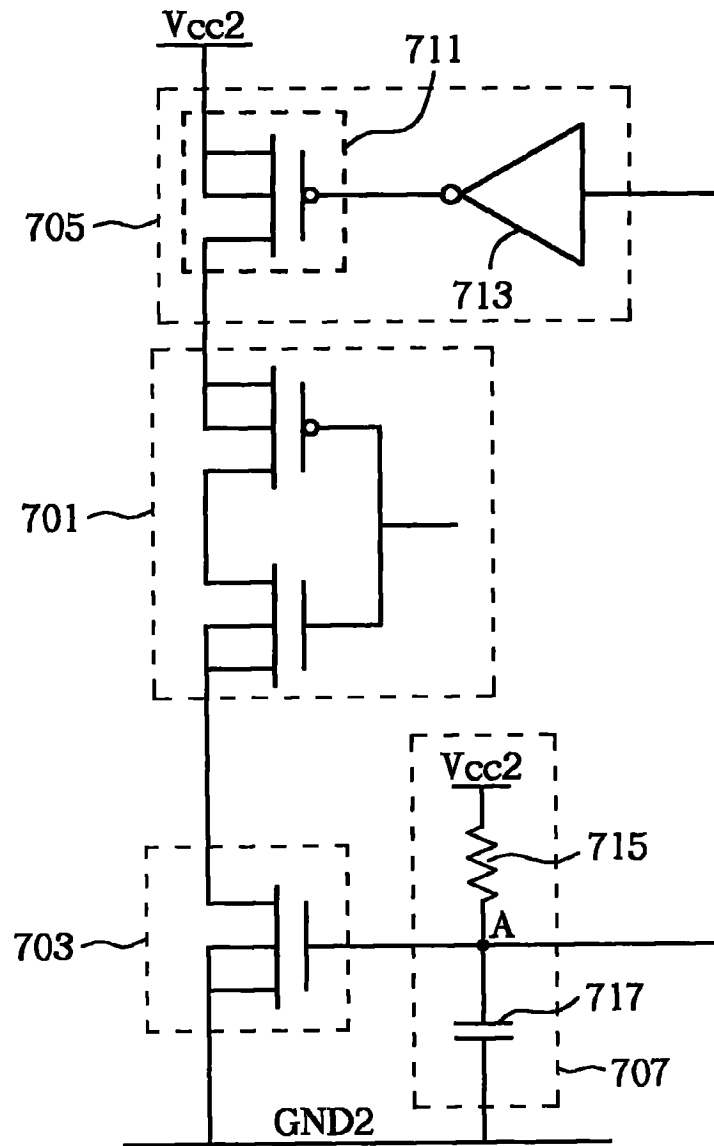


图 7