



(12) 发明专利

(10) 授权公告号 CN 101964170 B

(45) 授权公告日 2012. 10. 03

(21) 申请号 201010274000. 2

(22) 申请日 2010. 09. 02

(73) 专利权人 友达光电股份有限公司

地址 中国台湾新竹市

(72) 发明人 陈思翰 柯明道 李宇轩

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 梁挥 祁建国

JP 特开 2004-302410 A, 2004. 10. 28,

JP 特开 2003-167561 A, 2003. 06. 13,

TW 582010 B, 2004. 04. 01,

CN 1437183 A, 2003. 08. 20,

CN 1437183 A, 2003. 08. 20,

TW 582010 B, 2004. 04. 01,

审查员 王少伟

(51) Int. Cl.

G09G 3/20 (2006. 01)

G09G 3/36 (2006. 01)

(56) 对比文件

CN 1523565 A, 2004. 08. 25,

CN 1690818 A, 2005. 11. 02,

CN 101699558 A, 2010. 04. 28,

CN 101135823 A, 2008. 03. 05,

CN 1771529 A, 2006. 05. 10,

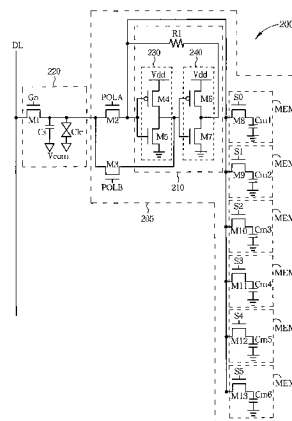
权利要求书 3 页 说明书 6 页 附图 4 页

(54) 发明名称

存储器电路、像素电路、及相关数据存取方法

(57) 摘要

本发明涉及一种存储器电路、像素电路、及相关数据存取方法。像素电路包含像素单元与存储器电路。存储器电路包含第一开关、开关单元、第二开关、及多个存储器单元。多个存储器单元各自包含第三开关与电容,且这些存储器单元所包含的电容的电容值实质上相等。应用于像素电路的数据存取方法包含根据由数据线接收的多个第一电压各自在第一比特串中对应的比特的权位,决定这些第一电压写入多个存储器单元的顺序,并包含根据原先储存于这些存储器单元的多个第二电压在第二比特串中各自对应的比特的权位,决定这些第二电压由这些存储器单元被读取的顺序及读取时间长度。



1. 一种存储器电路,其特征在于,包含:

一第一开关,耦接于一像素单元,该第一开关在由该像素单元读出数据时被开启,以由该像素单元接收多个第一电压,其中这些第一电压各自对应于一第一比特串所包含的多个比特;

一开关单元,耦接于该第一开关,用以控制切换该像素单元的一数据读取模式或一数据写入模式;

一第二开关,耦接于该像素单元,该第二开关在写入数据于该像素单元时被开启,以由该开关单元接收多个第二电压,其中这些第二电压各自对应于一第二比特串所包含的多个比特;及

多个存储器单元,耦接于该开关单元,每一存储器单元包含:一第三开关,在该每一存储器单元用来储存该第一电压或读取该第二电压时被开启;及一电容,其一第一端耦接于该第三开关的一第一端,且该电容的一第二端接地,其中该多个存储器单元所包含的该电容的电容值实质上相同。

2. 根据权利要求1所述的存储器电路,其特征在于,该开关单元包含:

一第一反向器单元,其一输入端耦接于这些存储器单元,且其一输出端耦接于该第二开关;及

一第二反向器单元,其一输入端耦接于该第一反向器单元的该输出端,且其一输出端耦接于这些存储器单元。

3. 根据权利要求2所述的存储器电路,其特征在于,

该第一反向器单元包含:一第一N型金属氧化物半导体晶体管,其栅极耦接于这些存储器单元,且该第一N型晶体管的源极接地;及一第一P型金属氧化物半导体晶体管,其栅极耦接于该第一N型金属氧化物半导体晶体管的栅极,该第一P型金属氧化物半导体晶体管的源极耦接于一电压源,且该第一P型金属氧化物半导体晶体管的漏极耦接于该第一N型金属氧化物半导体晶体管的漏极;

其中该第二反向器单元包含:一第二N型金属氧化物半导体晶体管,其栅极耦接于该第一N型金属氧化物半导体晶体管的漏极,且该第二N型金属氧化物半导体晶体管的源极接地;及一第二P型金属氧化物半导体晶体管,其栅极耦接于该第二N型金属氧化物半导体晶体管的栅极,该第二P型金属氧化物半导体晶体管的源极耦接于该电压源,且该第二P型金属氧化物半导体晶体管的漏极耦接于该第二N型金属氧化物半导体晶体管的漏极。

4. 根据权利要求3所述的存储器电路,其特征在于,该开关单元另包含:

一电阻,其一第一端耦接于该第二N型金属氧化物半导体晶体管的漏极,且该电阻的一第二端耦接于这些存储器单元。

5. 一种像素电路,其特征在于,包含:

一像素单元;及

一存储器电路,包含一第一开关、一开关单元、一第二开关以及多个存储器单元,其中:

该第一开关,耦接于该像素单元,该第一开关在由该像素单元读出数据时被开启,以由该像素单元接收多个第一电压,其中这些第一电压各自对应于一第一比特串所包含的多个比特;

该开关单元,耦接于该第一开关,用以控制切换该像素单元的一数据读取模式或一数据写入模式;

该第二开关,耦接于该像素单元,该第二开关在写入数据于该像素单元时被开启,以由该开关单元接收多个第二电压,其中这些第二电压各自对应于一第二比特串所包含的多个比特;及

所述多个存储器单元,耦接于该开关单元,每一存储器单元包含:一第三开关,在该每一存储器单元用来储存该第一电压或读取该第二电压时被开启;及一电容,其一第一端耦接于该第三开关的一第一端,且该电容的一第二端接地,其中该多个存储器单元所包含的该电容的电容值实质上相同。

6. 一种用于像素电路的数据存取方法,其特征在于,用以致能权利要求 5 所述的像素电路,该数据存取方法包含:

根据原先储存于这些存储器单元的多个第二电压在一第二比特串中各自对应的一比特的权位,决定这些第二电压由这些存储器单元各自被读取的一读取时间长度,并由这些存储器单元读取这些第二电压;及

将所读取的这些第二电压传输至该像素单元;

其中这些第二电压各自对应的该读取时间长度相异。

7. 根据权利要求 6 所述的数据存取方法,其特征在于,另包含:

根据原先储存于这些存储器单元的该多个第二电压在该第二比特串中各自对应的该比特的权位,决定这些第二电压由这些存储器单元被读取的一第二顺序。

8. 根据权利要求 6 所述的数据存取方法,其特征在于,由这些存储器单元读取这些第二电压的一加总读取时间长度等于一条扫描信号线开启时间长度、多条扫描线开启时间长度、读取单一画面的时间长度、或读取多个画面的时间长度。

9. 根据权利要求 6 所述的数据存取方法,其特征在于,当由这些存储器单元读取这些第二电压时,储存该第二比特串中一第一权位比特的存储器单元所包含的该开关的致能时间点早于或晚于储存该第二比特串中一第二权位比特的存储器单元所包含的该开关的致能时间点,且在该第二比特串中,该第一权位比特的权位高于该第二权位比特。

10. 根据权利要求 6 所述的数据存取方法,其特征在于,当由这些存储器单元读取这些第二电压时,储存该第二比特串中一第一权位比特的存储器单元所包含的该开关的致能时间宽度大于或小于储存该第二比特串中一第二权位比特的存储器单元所包含的该开关的致能时间宽度,且在该第二比特串中,该第一权位比特的权位高于该第二权位比特。

11. 根据权利要求 6 所述的数据存取方法,其特征在于,另包含:

由该像素单元接收多个第一电压,这些第一电压各自对应于一第一比特串所包含的多个比特;及

根据这些第一电压各自在该第一比特串中对应的一比特的权位,决定这些第一电压写入多个存储器单元的一第一顺序,并将这些第一电压写入这些存储器单元;

其中这些第一电压各自对应的一写入时间长度相异。

12. 根据权利要求 11 所述的数据存取方法,其特征在于,写入这些第一电压至这些存储器单元的一加总写入时间长度等于一条扫描信号线开启时间长度、多条扫描线开启时间长度、写入单一画面的时间长度、或写入多个画面的时间长度。

13. 根据权利要求 11 所述的数据存取方法,其特征在于,当写入这些第一电压至这些存储器单元时,预定储存该第一比特串中一第一权位比特的存储器单元所包含的该开关的致能时间点早于或晚于预定储存该第一比特串中一第二权位比特的存储器单元所包含的该开关的致能时间点,且在该第一比特串中,该第一权位比特的权位高于该第二权位比特。

14. 根据权利要求 11 所述的数据存取方法,其特征在于,当写入这些第一电压至这些存储器单元时,预定储存该第一比特串中一第一权位比特的存储器单元所包含的该开关的致能时间宽度大于或小于储存该第一比特串中一第二权位比特的存储器单元所包含的该开关的致能时间宽度,且在该第一比特串中,该第一权位比特的权位高于该第二权位比特。

15. 根据权利要求 6 所述的数据存取方法,其特征在于,这些存储器单元各自包含一开关,且当该开关被致能时,包含该开关的一存储器单元方可读取或写入电压。

存储器电路、像素电路、及相关数据存取方法

技术领域

[0001] 本发明涉及一种存储器电路、一种像素电路、以及一种相关数据存取方法，尤指一种包含有实质上相同电容值的多个电容的存储器单元的存储器电路、像素电路与使用相异时间长度来读取多个电压的数据存取方法。

背景技术

[0002] 请参阅图 1，其为一般液晶面板 100 的简略示意图。如图 1 所示，液晶面板 100 包含有一显示控制集成电路 130、一数据驱动单元 140、及一像素阵列单元 150。液晶面板 100 通过数据控制集成电路 130 接收一电源供给集成电路 110 所提供的电源，并接收一本机端电脑 120 所传输的信号；数据驱动单元 140 会根据该信号决定驱动像素阵列单元 150 中所包含多个以阵列方式排列的像素单元，以显示该信号所对应的画面。在液晶面板 100 进入待机模式时，本机端电脑 120 只会传输带有固定静态画面 (Static Frame) 的信号给显示控制集成电路 130，因此数据驱动单元 140 也仅只需要持续对应产生单调的驱动信号以驱动像素阵列单元 150；然而，如此无意义的持续产生驱动信号仍然会在待机模式中对数据驱动单元 140 带来可观的电源消耗，而使得液晶面板 100 本身亦产生大量的不必要电源浪费。

发明内容

[0003] 本发明公开一种存储器电路。该存储器电路包含一第一开关、一开关单元、一第二开关、多个存储器单元、及一电容。该第一开关耦接于一像素单元。该第一开关在由该像素单元读出数据时被开启，以由该像素单元接收多个第一电压。这些第一电压各自对应于一第一比特串所包含的多个比特。该开关单元耦接于该第一开关，用以控制切换该像素单元的一数据读取模式或一数据写入模式。该第二开关耦接于该像素单元。该第二开关在写入数据于该像素单元时被开启，以由该开关单元接收多个第二电压。这些第二电压各自对应于一第二比特串所包含的多个比特。该多个存储器单元耦接于该开关单元。每一存储器单元包含一第三开关及一电容。该第三开关在该每一存储器单元用来储存该第一电压或读取该第二电压时被开启。该电容的一第一端耦接于该第三开关的一第一端，且该电容的一第二端接地。该多个存储器单元所包含的该电容的电容值实质上相同。

[0004] 本发明公开一种像素电路。该像素电路包含一像素单元及一存储器电路。该存储器电路包含一第一开关、一开关单元、一第二开关、及多个存储器单元。该第一开关耦接于该像素单元。该第一开关在由该像素单元读出数据时被开启，以由该像素单元接收多个第一电压。这些第一电压各自对应于一第一比特串所包含的多个比特。该开关单元耦接于该第一开关，用以控制切换该像素单元的一数据读取模式或一数据写入模式。该第二开关耦接于该像素单元。该第二开关在写入数据于该像素单元时被开启，以由该开关单元接收多个第二电压。这些第二电压各自对应于一第二比特串所包含的多个比特。该多个存储器单元耦接于该开关单元。该每一存储器单元包含一第三开关及一电容。该第三开关在该每一存储器单元用来储存该第一电压或读取该第二电压时被开启。该电容的一第一端耦接于该

第三开关的一第一端,且该电容的一第二端接地。该多个存储器单元所包含的该电容的电容值实质上相同。

[0005] 本发明公开一种用于像素电路的数据存取方法,用以致能上述的像素电路。该数据存取方法包含根据原先储存于这些存储器单元的多个第二电压在一第二比特串中各自对应的一比特的权位,决定这些第二电压由这些存储器单元各自被读取的一读取时间长度,并由这些存储器单元读取这些第二电压;及将所读取的这些第二电压传输至该像素单元。这些第二电压各自对应的该读取时间长度相异。

附图说明

[0006] 为了让本发明的上述和其他目的、特征、优点与实施例能更明显易懂,所附附图的说明如下:

[0007] 图 1 为一般液晶面板的简略示意图;

[0008] 图 2 为本发明所公开的像素电路的示意图,其中该像素电路用来替代图 1 所示像素阵列单元所包含多个以阵列方式排列的像素单元;

[0009] 图 3 为图 2 所示的像素电路在像素单元进入数据读取模式或数据写入模式时的运作时序示意图;

[0010] 图 4 为根据图 2- 图 3 所公开的电压写入 / 读取方式所公开的数据存取方法的流程图。

[0011] 其中,附图标记

[0012]	100 液晶面板	110 电源供给集成电路
[0013]	120 本机端电脑	130 显示控制集成电路
[0014]	140 数据驱动单元	150 像素阵列单元
[0015]	200 像素电路	205 存储器电路
[0016]	210 开关单元	220 像素单元
[0017]	230、240 反向器单元	402、404、406、408 步骤
[0018]	MEM1、MEM2、MEM3、MEM4、MEM5、MEM6	存储器单元
[0019]	R1 电阻	Cs 储存电容
[0020]	C1c 平行板电容	DL 数据线
[0021]	Vcom 共模电位节点	M4、M6P 型金属氧化物半导体晶体管
[0022]	M5、M7N 型金属氧化物半导体晶体管	
[0023]	M1、M2、M3、M4、M5、M6、M7、M8、M9、M10、M11、M12、M13	开关
[0024]	Vdd 电压源	
[0025]	Cm1、Cm2、Cm3、Cm4、Cm5、Cm6	电容
[0026]	POLA、POLB、S0、S1、S2、S3、S4、S5、Gn	控制端

具体实施方式

[0027] 为了解决一般液晶面板在待机模式下数据驱动单元仍需持续产生对应于静态画面的驱动信号来驱动像素阵列单元,而带来可观且不必要的电源消耗的问题,本发明公开一种存储器电路、一种包含该存储器电路的像素电路、以及用来致能该像素电路的数据存

取方法；如此一来，即使液晶面板处于待机模式下，数据驱动单元也不需要再另外产生对应于静态画面的驱动信号来驱动像素阵列单元，而避免不必要的电源浪费。

[0028] 请参阅图 2，其为本发明所公开的像素电路 200 的示意图，其中像素电路 200 用来替代图 1 所示像素阵列单元 150 所包含多个以阵列方式排列的像素单元。如图 2 所示，像素电路 200 包含一像素单元 220 及一存储器电路 205。像素单元 220 包含一开关 M1、一储存电容 Cs、以及一平行板电容 C1c，并用来由图 1 所示像素阵列单元 105 上所布置的一数据线 DL（未图示于图 1）读取数据信号后将该数据信号暂存于储存电容 Cs，其中当该数据信号代表一第一比特串时，该数据信号可以多个代表高电位或低电位的第一电压的形式在相异时间内被寄存于储存电容 Cs，且这些第一电压各自对应于该第一比特串所包含的多个比特。储存电容 Cs 与平行板电容 C1c 皆耦接于如图 2 所示的一共模电位节点 Vcom。

[0029] 存储器电路 205 包含开关 M2、M3、一开关单元 210、多个存储器单元 MEM1、MEM2、MEM3、MEM4、MEM5、MEM6 等元件。开关 M2 会在像素单元 220 由数据线 DL 读取该数据信号时被开启，以接收该多个第一电压。开关单元 210 耦接于开关 M2、M3，其中当开关 M2 被开启时，像素单元 220 即进入一数据读取模式，而当开关 M3 被开启时，像素单元 220 即进入一数据写入模式。该数据读取模式即代表将该多个第一电压由数据线 DL 读入多个存储器单元 MEM1-MEM6 的过程，而该数据写入模式即代表将多个第二电压由存储器单元 MEM1-MEM6 各自读出并写入于像素单元 220 的过程，其中该多个第二电压亦各自对应于一第二比特串所包含的一比特。请注意，为了图示上的方便，图 2 仅图示了共六个在该数据读取模式下各自储存单一第一电压或在该数据写入模式下各自被读取单一第二电压的存储器单元 MEM1-MEM6，然而在本发明的其他实施例中，存储器电路 205 所包含存储器单元的数量并未被限定于图 2 所示的六个。

[0030] 开关单元 210 包含一第一反向器单元 230、一第二反向器单元 240、及一电阻 R1。第一反向器单元 230 的一输入端耦接于存储器单元 MEM1-MEM6，且第一反向器单元 230 的一输出端耦接于开关 M3。第二反向器单元 240 的一输入端耦接于第一反向器单元 230 的该输出端，且第二反向器单元 240 的一输出端耦接于存储器单元 MEM1-MEM6。

[0031] 第一反向器单元 230 包含一 N 型金属氧化物半导体晶体管 M5 及一 P 型金属氧化物半导体晶体管 M4；N 型金属氧化物半导体晶体管 M5 的栅极耦接于存储器单元 MEM1-MEM6，且 N 型金属氧化物半导体晶体管 M5 的源极接地。P 型金属氧化物半导体晶体管 M4 的栅极耦接于 N 型金属氧化物半导体晶体管 M5 的栅极，P 型金属氧化物半导体晶体管的源极 M4 耦接于一电压源 Vdd，且 P 型金属氧化物半导体晶体管 M4 的漏极耦接于 N 型金属氧化物半导体晶体管 M5 的漏极。第二反向器单元 240 包含一 N 型金属氧化物半导体晶体管 M7 及一 P 型金属氧化物半导体晶体管 M6。N 型金属氧化物半导体晶体管 M7 的栅极耦接于 N 型金属氧化物半导体晶体管 M5 的漏极，且 N 型金属氧化物半导体晶体管 M7 的源极接地。P 型金属氧化物半导体晶体管 M6 的栅极耦接于 N 型金属氧化物半导体晶体管 M7 的栅极，P 型金属氧化物半导体晶体管 M6 的源极耦接于电压源 Vdd，且 P 型金属氧化物半导体晶体管 M6 的漏极耦接于 N 型金属氧化物半导体晶体管 M7 的漏极。电阻 R1 的一第一端耦接于 N 型金属氧化物半导体晶体管 M7 的漏极，且电阻 R1 的一第二端耦接于存储器单元 MEM1-MEM6。

[0032] 存储器单元 MEM1-MEM6 皆耦接于开关单元 210。存储器单元 MEM1-MEM6 皆包含一开关与一电容，举例来说，存储器单元 MEM1 包含开关 M8 与电容 Cm1、存储器单元 MEM2 包含

开关 M9 与电容 Cm2、存储器单元 MEM3 包含开关 M10 与电容 Cm3、存储器单元 MEM4 包含开关 M11 与电容 Cm4、存储器单元 MEM5 包含开关 M12 与电容 Cm5、存储器单元 MEM6 包含开关 M13 与电容 Cm6,其中电容 Cm1-Cm6 的电容值实质上相等。开关 M8-M13 在像素单元 220 进入该数据读取模式会依一数据读取顺序被分别开启,使得存储器单元 MEM1-MEM6 在像素单元 220 进入该数据读取模式时,可各自用来由开关单元 210 读取并在电容 Cm1-Cm6 储存上述的第一电压;同理,在像素单元 220 进入该数据写入模式时,开关亦会被开启,使得每一存储器单元各自所储存的一第二电压被读取并通过开关单元 210 被写入至像素单元 220。

[0033] 请参阅图 3,其为图 2 所示的像素电路 200 在像素单元 220 进入该数据读取模式 A 或该数据写入模式 B 时的运作时序示意图。图 3 图示有图 2 所示数据线 DL、开关 M2、M3 的控制端 POLA、POLB、及存储器单元 MEM1-MEM6 的控制端 S0、S1、S2、S3、S4、S5 的电位。在此先行配合图 2 说明该数据读取模式的运作,且为解说上的方便,在此假设在该数据读取模式下时,该第一比特串为"111111",这些由左至右各自代表比特串中十进位值为 32、16、8、4、2、1 的比特(已标示于图 3 数据线 DL 的对应波形处),亦即该多个第一电压各自代表一高电位的电压。当图 2 所示的像素单元 220 进入该数据读取模式时,开关 M1 的控制端 Gn 会被致能,使得由数据线 DL 读取的该多个第一电压会依照该多个第一比特在该第一比特串中的权位高低被储存电容 Cs 所依序暂存。如图 2 与图 3 所示,在该数据读取模式中,开关 M2 的控制端 POLA 会被致能而打开开关 M2,使得 P 型金属氧化物半导体晶体管 M4 与 N 型金属氧化物半导体晶体管 M5 的栅极处于高电位,并使得 P 型金属氧化物半导体晶体管 M4 被关闭且 N 型金属氧化物半导体晶体管 M5 被开启,而将 P 型金属氧化物半导体晶体管 M6 及 N 型金属氧化物半导体晶体管 M7 的栅极下拉至低电位;如此一来, P 型金属氧化物半导体晶体管 M6 会被开启,且 N 型金属氧化物半导体晶体管 M7 会被关闭,使得被传递至 P 型金属氧化物半导体晶体管 M4 的栅极的该多个第一电压会通过开关 M6 与电阻 R1 得到来自电压源 Vdd 的升压。最后,开关 M8-M13 的控制端 S0-S5 会根据上述该多个第一比特在该第一比特串中的权位高低,分别被写入并暂存于存储器单元 MEM1-MEM6 所包含的电容 Cm1-Cm6 中;以图 3 举例来说,控制端 S0-S5 被致能的顺序是 S0、S1、S2、S3、S4、S5,亦即存储器单元 MEM1-MEM6 储存六个第一电压的先后顺序为 MEM1、MEM2、MEM3、MEM4、MEM5、MEM6,其中存储器单元 MEM1 储存的是该第一比特串中对应于最高权位的比特,而存储器单元 MEM6 储存的是该第一比特串中对应于最低权位的比特。

[0034] 请再参考图 2 与图 3,在该数据写入模式中,假设存储器单元 MEM1-MEM6 已各自储存了共六个第二电压,则控制端 S0-S5 会亦如图 3 所示的顺序被致能,使得该六个第二电压由存储器单元 MEM1-MEM6 根据对应的第二比特在该第二比特串中的权位高低来被读出,其中存储器单元 MEM1 储存的是该第二比特串中对应于最高权位的比特,而存储器单元 MEM6 储存的是该第二比特串中对应于最低权位的比特。在此假设该六个第二电压皆处于高电位,亦即假设第二比特串的值为"111111",由该数据读取模式中对二反向器单元 230、240 的叙述可知,位于 P 型金属氧化物半导体晶体管 M6 与 N 型金属氧化物半导体晶体管 M7 的栅极的电位会处于低电位;在该数据读取模式下,开关 M1 会被关闭以暂停对于数据线 DL 所传输的信号的读取,且开关 M3 会被开启以传递位于 P 型金属氧化物半导体晶体管 M6 与 N 型金属氧化物半导体晶体管 M7 的栅极的低电位至平行板电容 C1c,因此只要对位于平行板电容 C1c 的一端的节点 Lc 的电位进行侦测便可读取该多个第二电压的电位值,举例来说,当

在节点 Lc 上读取到上述被传递的低电位时,便可直接判断对应的第二比特为代表高电位的 1,此为单一第二电压由存储器单元 MEM1-MEM6 被读取出来的过程中被反向器单元 230 反转过一次电位的缘故。

[0035] 观察图 3 可知,实施本发明的方法在数据读取模式下时,读取该第二比特串中相异比特 / 电压的数据读取时间亦相异,以对应于各比特高低不同的权位。举例来说,在电容 Cm1-Cm6 的电容值实质上相等的条件下,图 3 中所示权位较高的比特所对应的读取时间长度也会较长,以表示权位较高的比特对应的电压值亦较高的情况;然而,在本发明的其他实施例中,亦可以使权位较低的比特对应较长的读取时间长度,只要满足不同比特 / 电压对应的读取时间长度相异的条件即可,以使被读取的比特 / 电压所代表的权位可被清楚的辨识,且该第二比特串中相异比特 / 电压的相异数据读取时间为实施本发明的方法的必要技术特征。

[0036] 另外,在图 3 所示的数据写入模式中,写入该第一比特串中相异比特 / 电压的数据写入时间亦皆相异。然而,在本发明的其他实施例中,写入相异比特 / 电压的数据写入时间亦可相同,或者是不须遵循权位较高的比特 / 电压对应于较长数据写入时间的处理方式。请注意,在本发明的各实施例中,上述读取该第二比特串中各相异比特 / 电压的读取时间长度的设定与此处所述写入该第一比特串中各相异比特 / 电压的写入时间长度的设定为彼此独立的关系,而未受限于图 3 所示。

[0037] 在本发明的一较佳实施例中,读取与写入同一比特串中相异比特 / 电压的读取数据时间长度与写入数据时间长度关系相同。举例来说,若读取一比特串中相异比特 / 电压的读取数据时间长度采用权位越高则对应读取数据时间长度越长的设定,则在该最佳实施例中,写入该比特串中相异比特 / 电压的写入数据时间长度亦会采用权位越高则对应写入数据时间长度越长的设定,以使读取及写入该比特串的时序设定一致,配合上述各存储器单元中所包含的电容的电容值实质上相同的设定,可使得存储器单元在电路设计上的复杂度大幅降低。

[0038] 除此以外,如图 3 所示执行数据读取模式或数据写入模式的总时间长度所示,读取单一第二比特串或写入单一比特串的总读取数据时间长度或总写入数据时间长度可等于一条扫描线开启的时间、多条扫描线开启的时间、单一画面 (Frame) 的存取时间、或多个画面的存取时间。

[0039] 虽然图 3 所示写入或读取电压的顺序是依照存储器单元 MEM1-MEM6 的顺序 (亦即依照控制端 S0-S5 的致能顺序) 来进行,然而在本发明的其他实施例中,写入或读取电压于存储器单元 MEM1-MEM6 (或是其他不同数量的存储器单元) 的顺序以及对应的写入 / 读取电压时间长度仅需根据对应的比特串中不同比特的权位高低来进行即可,而未被限定于如图 3 所示按照由高权位比特到低权位比特的顺序或时间长度大小相对关系来进行。

[0040] 请参阅图 4,其为根据图 2-图 3 所公开的电压写入 / 读取方式所公开的数据存取方法的流程图。如图 4 所示,本发明的数据存取方法包含步骤如下:

[0041] 步骤 402:由一像素单元接收多个第一电压,这些第一电压各自对应于一第一比特串所包含的多个比特;

[0042] 步骤 404:根据这些第一电压各自在该第一比特串中对应的一比特的权位,决定这些第一电压写入多个存储器单元的一第一顺序及这些第一电压各自写入这些存储器单

元的一写入时间长度,并将这些第一电压写入这些存储器单元,其中这些第一电压各自对应的该写入时间长度相异;

[0043] 步骤 406:根据原先储存于这些存储器单元的多个第二电压在一第二比特串中各自对应的一比特的权位,决定这些第二电压由这些存储器单元被读取的一第二顺序及这些第二电压由这些存储器单元各自被读取的一读取时间长度,并由这些第二存储器单元读取这些第二电压;及

[0044] 步骤 408:将所读取的这些第二电压传输至该像素单元。

[0045] 步骤 402、404 描述了在该数据读取模式中将多个第一电压由数据线 DL 读取并根据对应的比特的权位高低写入多个存储器单元 MEM1-MEM6 的过程,其中步骤 404 所述的第一顺序对应于图 3 中所述写入这些第一电压于存储器单元 MEM1-MEM6 的顺序。同理,步骤 406、408 描述了在该数据写入模式中将多个第二电压由多个存储器单元 MEM1-MEM6 根据所对应比特的权位高低写入至像素单元 220 以进行读取的过程,其中步骤 406 所述的第二顺序对应于图 3 中所述将这些第二电压由存储器单元 MEM1-MEM6 读出的顺序。然而将图 4 所公开的步骤加上上述公开的其他条件或是进行执行顺序上的排列组合所产生的其他实施例,仍应视为本发明的实施例。

[0046] 本发明公开一种存储器电路、包含该存储器电路的一种像素电路、以及一种应用于该像素电路的数据存取方法。通过写入或读取的多个电压在比特串中对应的比特的权位高低来决定写入或读取这些电压时的顺序或时间长度,可以在触控面板需要进入待机模式时,只需要持续由这些存储器单元中读取事先储存的高电位或低电位的多个第二电压(亦即具有值为"111111"或"000000"的第二比特串),便可以在图 1 所示的数据驱动单元 140 不需另外产生比特串的情况下驱动像素阵列单元,而达成在待机模式下省电的功效。除此以外,由于需要多个存储器单元各自包含的电容的电容值实质上相等以产生相异的写入/读取时间,因此在制造像素电路 200 时所需的面积也会较小,对于生产液晶面板 100 来说也会带来面积较小的好处。

[0047] 当然,本发明还可有其它多种实施例,在不背离本发明精神及其实质的情况下,熟悉本领域的技术人员当可根据本发明作出各种相应的改变和变形,但这些相应的改变和变形都应属于本发明所附的权利要求的保护范围。

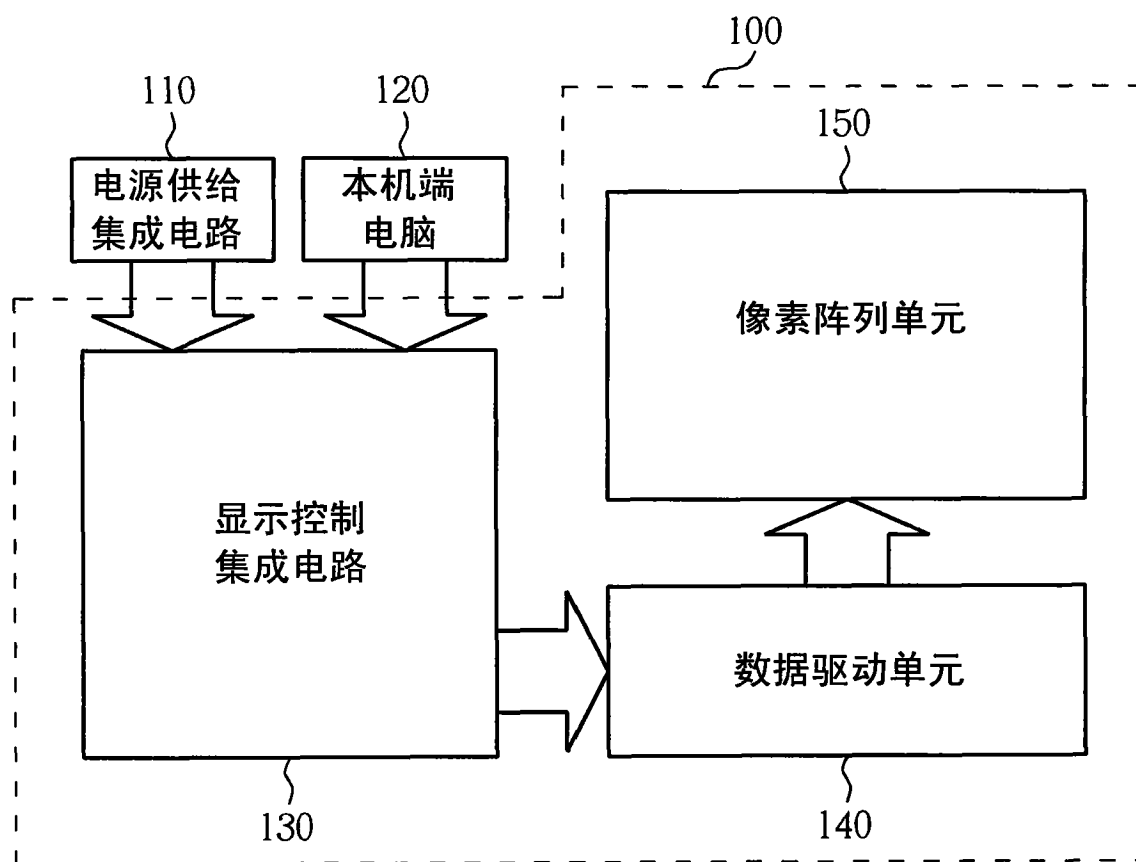


图 1

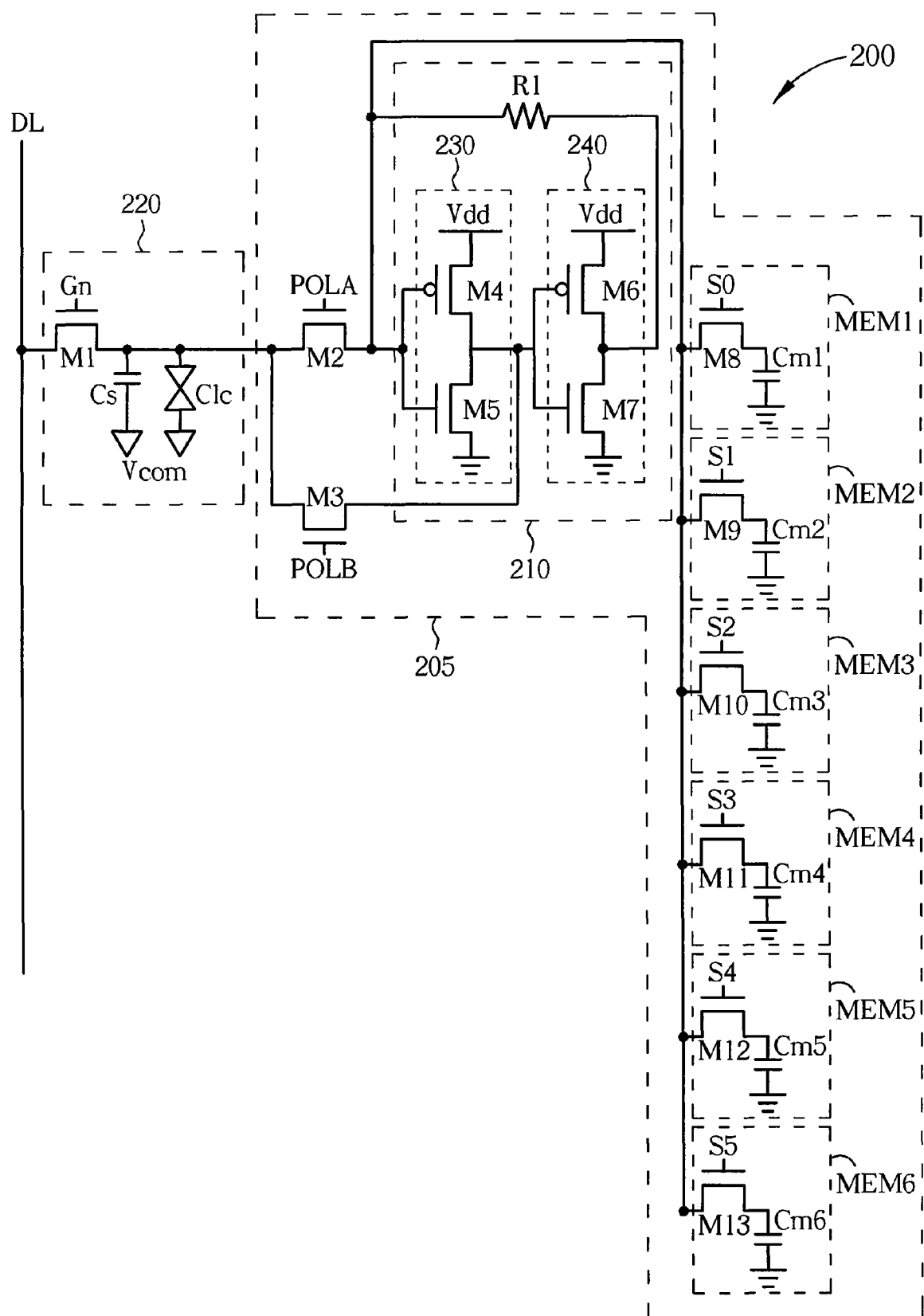


图 2

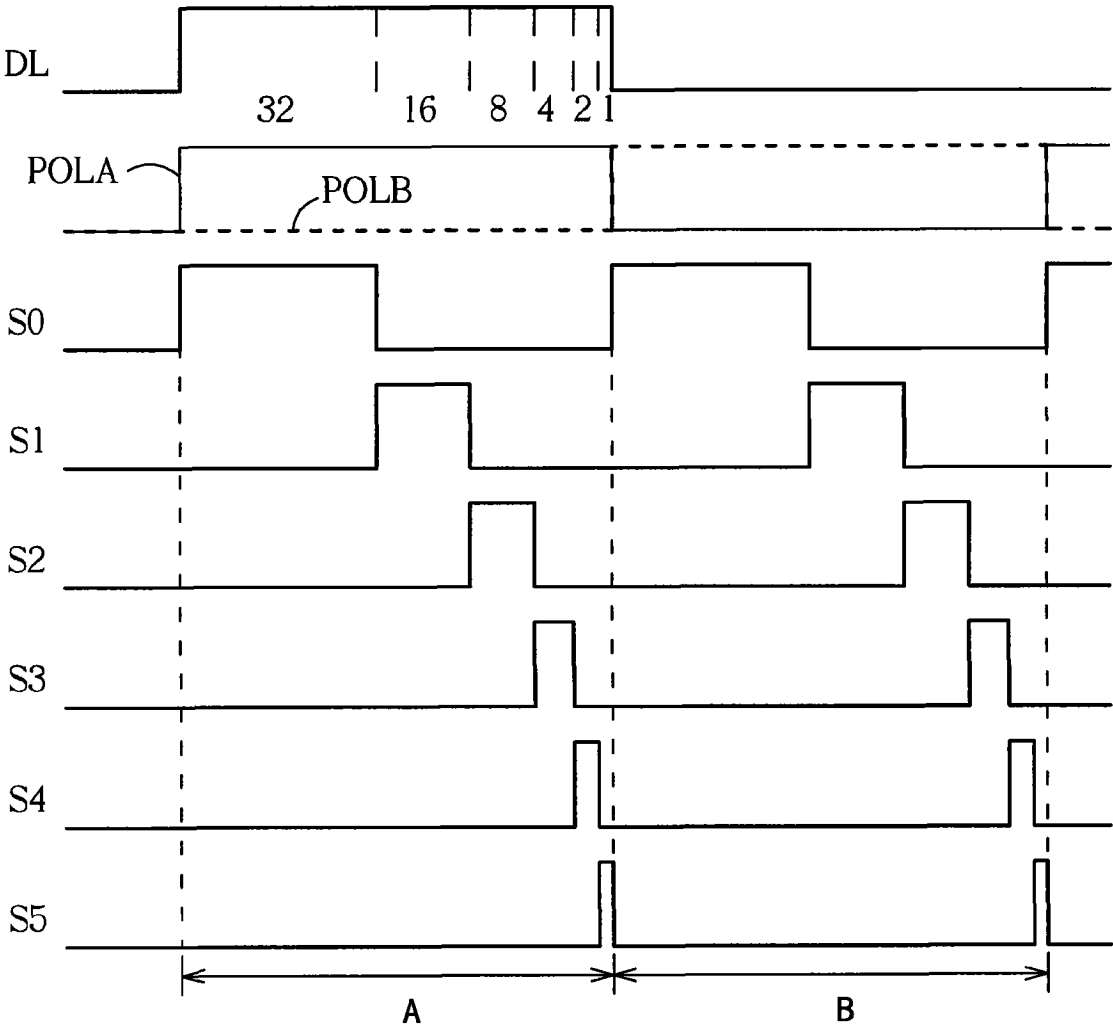


图 3

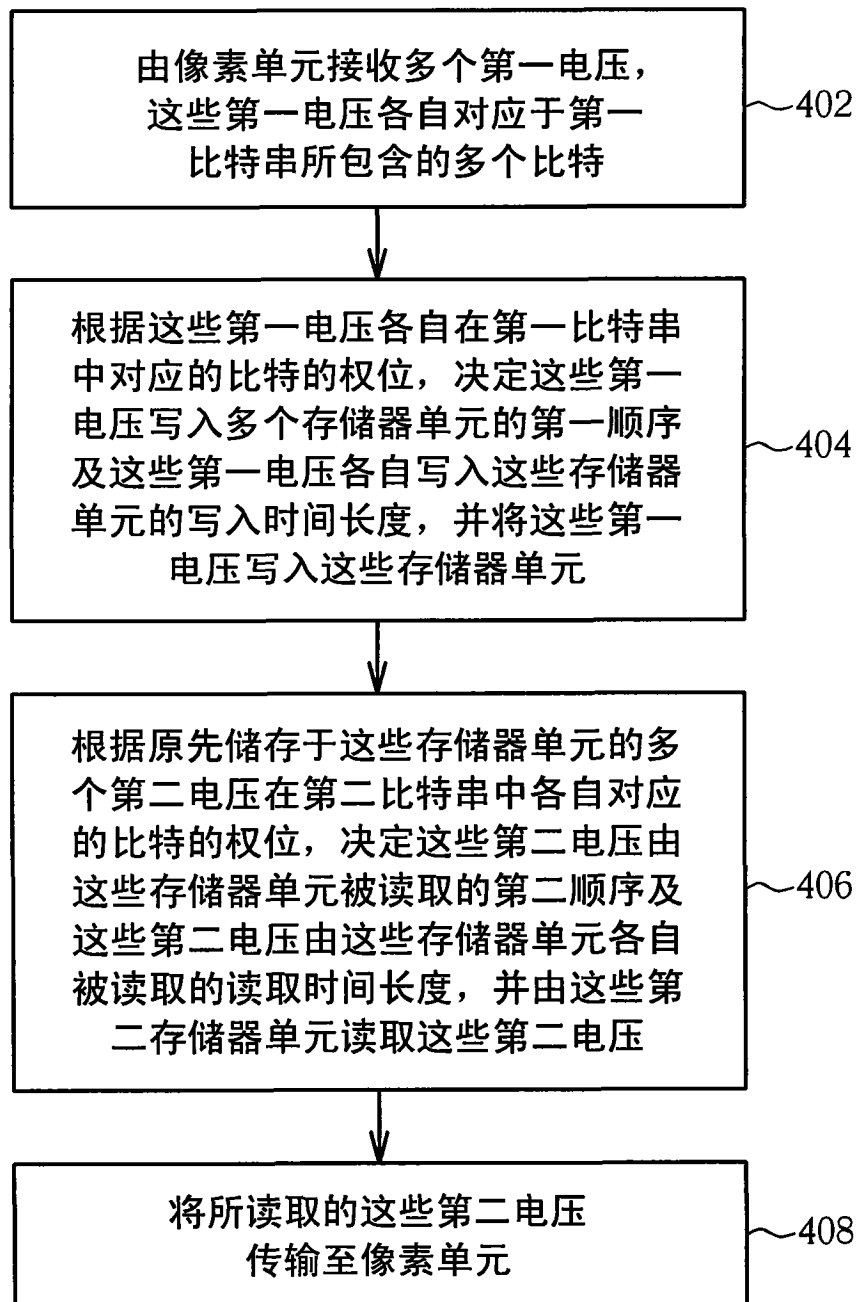


图 4