



(12) 发明专利

(10) 授权公告号 CN 102163840 B

(45) 授权公告日 2014. 06. 18

(21) 申请号 201010207484. 9

CN 101030574 A, 2007. 09. 05, 全文.

(22) 申请日 2010. 06. 17

US 2008062598 A1, 2008. 03. 13, 全文.

(30) 优先权数据

审查员 何剑

12/711, 302 2010. 02. 24 US

(73) 专利权人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

(72) 发明人 柯明道 林群祐

(74) 专利代理机构 北京德恒律师事务所 11306

代理人 陆鑫 高雪琴

(51) Int. Cl.

H02H 9/00 (2006. 01)

H01L 27/04 (2006. 01)

(56) 对比文件

CN 1542961 A, 2004. 11. 03, 全文.

CN 101030574 A, 2007. 09. 05, 全文.

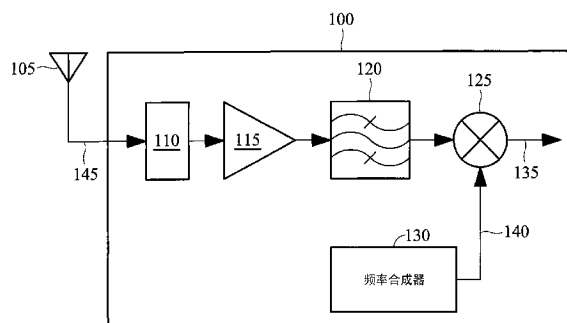
权利要求书2页 说明书4页 附图9页

(54) 发明名称

静电放电保护电路、结构及射频接收器

(57) 摘要

本发明提供一种静电放电保护电路、结构及射频接收器,该保护电路包括一硅控整流器以及一电感。硅控整流器包括一第一P型半导体材料、一第一N型半导体材料、一第二P型半导体材料及一第二N型半导体材料。第一P型半导体材料、第一N型半导体材料、第二P型半导体材料及第二N型半导体材料交错排列,并且电性耦接至一阳极与一阴极。阳极电性耦接第一P型半导体材料。阴极电性耦接第二N型半导体材料。电感电性耦接于阳极与第二P型半导体材料之间,或是电性耦接于阴极与第一N型半导体材料之间。本发明提供静电放电保护电路可补偿在高频频段下硅控整流器的寄生电容所造成的影响,从而避免失真现象。



1. 一种静电放电保护电路,包括:

一硅控整流器,包括一第一 P 型半导体材料、一第一 N 型半导体材料、一第二 P 型半导体材料及一第二 N 型半导体材料,该第一 P 型半导体材料、该第一 N 型半导体材料、该第二 P 型半导体材料及该第二 N 型半导体材料交错排列,并且电性耦接至一阳极与一阴极,其中该阳极电性耦接该第一 P 型半导体材料,该阴极电性耦接该第二 N 型半导体材料;以及

一电感,电性耦接于该阳极与该第二 P 型半导体材料之间,或是电性耦接于该阴极与该第一 N 型半导体材料之间。

2. 如权利要求 1 所述的静电放电保护电路,还包括至少一二极管,该二极管电性耦接该电感,并与该电感串联于该阳极与该第二 P 型半导体材料之间,或是与该电感串联于该阴极与该第一 N 型半导体材料之间。

3. 如权利要求 1 所述的静电放电保护电路,还包括:

一 PMOS 晶体管,该 PMOS 晶体管电性耦接该电感,并与该电感串联于该阳极与该第二 P 型半导体材料之间,或是与该电感串联于该第一 N 型半导体材料与该阴极之间;以及

一静电放电检测电路,该静电放电检测电路耦接该 PMOS 晶体管的栅极。

4. 如权利要求 1 所述的静电放电保护电路,还包括:

一 NMOS 晶体管,该 NMOS 晶体管电性耦接该电感,并与该电感串联于该阳极与该第二 P 型半导体材料之间,或是与该电感串联于该第一 N 型半导体材料与该阴极之间;以及

一静电放电检测电路,该静电放电检测电路耦接该 NMOS 晶体管的栅极。

5. 如权利要求 1 所述的静电放电保护电路,第一 P 型半导体材料为 P+ 半导体材料,第一 N 型半导体材料为 N 型阱区,第二 P 型半导体材料为 P 型阱区,第二 N 型半导体材料为 N+ 半导体材料;

并且,该静电放电保护电路进一步包括:

一 P 型基底;该 N 型阱区形成在该 P 型基底之中;

该 P 型阱区形成在该 P 型基底之中;

该 P+ 半导体材料形成在该 N 型阱区之中;

该 N+ 半导体材料形成在该 P 型阱区之中;并且,该电感电性耦接于该 P+ 半导体材料与该 P 型阱区之间,或是电性耦接于该 N 型阱区与该 N+ 半导体材料之间。

6. 如权利要求 5 所述的静电放电保护电路,还包括:

至少一二极管,该二极管电性耦接该电感,并与该电感串联于该 P+ 半导体材料与该 P 型阱区之间,或是与该电感串联于该 N 型阱区与该 N+ 半导体材料之间。

7. 如权利要求 5 所述的静电放电保护电路,还包括:

一 PMOS 晶体管,电性耦接该电感,并与该电感串联于该 P+ 半导体材料与该 P 型阱区之间,或是与该电感串联于该 N 型阱区与该 N+ 半导体材料之间;以及

一静电放电检测电路,耦接该 PMOS 晶体管的栅极。

8. 如权利要求 5 所述的静电放电保护电路,还包括:

一 NMOS 晶体管,电性耦接该电感,并与该电感串联于该 P+ 半导体材料与该 P 型阱区之间,或是与该电感串联于该 N 型阱区与该 N+ 半导体材料之间;以及

一静电放电检测电路,耦接该 NMOS 晶体管的栅极。

9. 一种射频接收器,包括:

一天线,接收多个射频信号;

一静电放电保护电路,具有一与天线连接的输入端,用以接收所述多个射频信号,其中该静电放电保护电路释放该射频接收器所接收到的静电放电事件,该静电放电保护电路包括:

一硅控整流器,包括一第一 P 型半导体材料、一第一 N 型半导体材料、一第二 P 型半导体材料及一第二 N 型半导体材料,该第一 P 型半导体材料、该第一 N 型半导体材料、该第二 P 型半导体材料及该第二 N 型半导体材料交错排列,并且电性耦接至一阳极与一阴极,其中该阳极电性耦接该第一 P 型半导体材料,该阴极电性耦接该第二 N 型半导体材料;以及

一电感,电性耦接于该阳极与该第二 P 型半导体材料之间,或是电性耦接于该阴极与该第一 N 型半导体材料之间。

10. 如权利要求 9 所述的射频接收器,其中该射频接收器还包括:

一放大器,其输入端连接至所述静电放电保护电路的输出端,接收并放大所述多个射频信号;

一带通滤波器,接收被放大的所述多个射频信号;以及

一混波器,接收被滤波的所述多个射频信号,并将被滤波的所述多个射频信号与多个本机振荡器信号混合在一起,其中该混波器混合后的结果为一中频信号。

静电放电保护电路、结构及射频接收器

技术领域

[0001] 本发明涉及一种电子电路,特别涉及一种静电放电 (electrostatic discharge) 保护电路。

背景技术

[0002] 连接天线的射频 (radio frequency ;RF) 接收器在操作时,很容易受到静电放电 (electrostatic discharge ;ESD) 脉冲的影响。在集成电路的尺寸不断变小的情况下,具有 RF 接收器的集成电路很容易受到 ESD 的影响。在公知技术中,通常利用互补金属氧化物半导体 (complementary metal oxidesemiconductor ;CMOS) 或是双极性箝制二极管 (bipolar clamp diode),将 ESD 电流引离集成电路。然而,在高频 (如 5GHz) 操作下时,传统的 ESD 保护电路的寄生阻抗可能会扭曲正常信号,而造成失真现象。

发明内容

[0003] 为克服上述现有技术的缺陷,本发明提供一种静电放电保护电路,包括一硅控整流器以及一电感。硅控整流器包括一第一 P 型半导体材料、一第一 N 型半导体材料、一第二 P 型半导体材料及一第二 N 型半导体材料。第一 P 型半导体材料、第一 N 型半导体材料、第二 P 型半导体材料及第二 N 型半导体材料交错排列,并且电性耦接至一阳极与一阴极。阳极电性耦接第一 P 型半导体材料。阴极电性耦接第二 N 型半导体材料。电感电性耦接于阳极与第二 P 型半导体材料之间,或是电性耦接于阴极与第一 N 型半导体材料之间。

[0004] 本发明另提供一种结构,包括一 P 型基底、一 N 型阱区、一 P 型阱区、一 P+ 半导体材料、一 N+ 半导体材料以及一电感。N 型阱区形成在 P 型基底之中。P 型阱区形成在 P 型基底之中。P+ 半导体材料形成在 N 型阱区之中。N+ 半导体材料形成在 P 型阱区之中。P+ 半导体材料、N 型阱区、P 型阱区及 N+ 半导体材料交错排列。电感电性耦接于 P+ 半导体材料与 P 型阱区之间,或是电性耦接于 N 型阱区与 N+ 半导体材料之间。

[0005] 本发明更提供一种射频接收器,包括一天线以及一静电放电保护电路。天线接收多个射频信号。静电放电保护电路具有一输入端,用以接收射频信号。静电放电保护电路释放射频接收器所接收到的静电放电事件。静电放电保护电路包括一硅控整流器以及一电感。硅控整流器包括一第一 P 型半导体材料、一第一 N 型半导体材料、一第二 P 型半导体材料及一第二 N 型半导体材料。第一 P 型半导体材料、第一 N 型半导体材料、第二 P 型半导体材料及第二 N 型半导体材料交错排列,并且电性耦接至一阳极与一阴极。阳极电性耦接第一 P 型半导体材料。阴极电性耦接第二 N 型半导体材料。电感电性耦接于阳极与第二 P 型半导体材料之间,或是电性耦接于阴极与第一 N 型半导体材料之间。

[0006] 根据本发明提供静电放电保护电路,在 ESD 事件发生时,可触发硅控整流器。另外,在射频频段下,可补偿硅控整流器的寄生电容所造成的影响。

[0007] 为使本发明的特征和优点能更明显易懂,下文特举出优选实施例,并配合附图,作详细说明如下:

附图说明

- [0008] 图 1 为本发明的射频接收器的一可能实施例。
- [0009] 图 2 为本发明的 ESD 保护电路的一可能实施例。
- [0010] 图 3 为本发明的 ESD 保护电路的另一可能实施例。
- [0011] 图 4A 为本发明的 ESD 保护电路的另一可能实施例。
- [0012] 图 4B 及图 4C 为本发明的硅控整流器的可能结构示意图。
- [0013] 图 5A- 图 5D 及图 6A- 图 6D 图为本发明的硅控整流器的实施方式。
- [0014] 其中,附图标记说明如下:
- [0015] 100 :射频接收器;
- [0016] 105 :天线;
- [0017] 110 :ESD 保护电路;
- [0018] 115 :低噪声放大器;
- [0019] 120 :带通滤波器;
- [0020] 125 :混波器;
- [0021] 130 :频率合成器;
- [0022] 135 :中频信号;
- [0023] 140 :本机振荡器信号;
- [0024] 145 :射频信号;
- [0025] 200、300、405、410、500A ~ 500D、600A ~ 600D :硅控整流器;
- [0026] 205、350、415、435 :阳极;
- [0027] 215 :半导体材料层;
- [0028] 210、360、425、445 :阴极;
- [0029] 220 :偏压源;
- [0030] 310 :P 型基底;
- [0031] 315、320、325、420、430、440、450 :阱区;
- [0032] 330 :SCR 路径;
- [0033] 335 :二极管路径;
- [0034] 505A ~ 505D :电感;
- [0035] 515A ~ 515D :晶体管;
- [0036] 510A ~ 510D :ESD 检测电路;
- [0037] 605A、605B :二极管。

具体实施方式

[0038] 图 1 为本发明的射频接收器的一可能实施例。如图所示,射频接收器 100 具有 ESD 保护电路 110。射频接收器 100 更具有天线 105。天线 105 接收射频信号 145,并将射频信号 145 传送至 ESD 保护电路 110。一般而言,ESD 保护电路 110 用以避免 ESD 电流进入射频接收器 100 的其它元件中。稍后在图 2- 图 6 中,将详细说明 ESD 保护电路 110。

[0039] ESD 保护电路 110 使射频信号 145 进入低噪声放大器 115。低噪声放大器 115 放

大射频信号,并将放大后的射频信号传送至带通滤波器 (band passfilter)120。带通滤波器 120 对放大后的射频信号进行滤波功能,并将滤波后的结果传送至混波器 (mixer)125。混波器 125 将带通滤波器 120 的滤波结果与本机振荡器 (local oscillator) 信号 140 混合在一起。本机振荡器信号 140 由频率合成器 (frequency synthesizer)130 所产生。混波器 125 产生中频 (intermediate frequency ;IF) 信号 135。中频信号 135 会再经过射频接收器 100 的其它元件 (未显示) 所处理。由于处理中频信号的元件为本领域普通技术人员所深知,故不再赘述。

[0040] 图 2 为本发明的 ESD 保护电路 110 的一可能实施例。在本实施例中,ESD 保护电路 110 为一硅控整流器 (silicon controlled rectifier ;SCR)200。如图所示,硅控整流器 200 由多个 P 型及 N 型半导体材料层 215 所构成,如 PNP 四层。硅控整流器 200 的阳极 205 电性耦接至 P+ 半导体材料。P+ 半导体材料为半导体材料层 215 的其中一层。硅控整流器 200 的阴极 210 电性耦接至 N+ 半导体材料。N+ 半导体层为半导体材料层 215 的其中一层。当偏压源 220 提供电流 I_{bias} 予 P 型基底 P_{sub} 的 P+ 半导体材料时,硅控整流器 200 的阳极 205 所接收到的电流会流过硅控整流器 200 而到阴极 210。这种使电流流过硅控整流器的导通方式称为触发 (triggering)。

[0041] 图 3 为本发明的 ESD 保护电路的另一可能实施例。在本实施例中,ESD 保护电路为硅控整流器 300。硅控整流器 300 具有阳极 350 以及两阴极 360。在本实施例中,硅控整流器 300 具有两硅控整流单元。上述两硅控整流单元以并联方式排列,并具有 P 型基底 310。P 型基底 310 具有阱区 315、320 及 325。阱区 315、320 及 325 形成在 P 型基底 310 之中。阱区 315、320 及 325 分别为 P+、N+ 及 P+ 掺杂区,并且在阱区 315、320 及 325 之间具有浅沟槽隔离 (Shallow Trench Isolation ;STI)。阳极 350 耦接 P+、N+ 及 P+ 半导体材料。阳极 350 所耦接的 P+、N+ 及 P+ 半导体材料被注入在 N 型阱区 320 之中。阴极 360 耦接 P+ 及 N+ 半导体材料。图 3 左侧的阴极 360 所耦接的 P+ 及 N+ 半导体材料被注入在 P 型阱区 315 之中。图 3 右侧的阴极 360 所耦接的 P+ 及 N+ 半导体材料被注入在 P 型阱区 325 之中。图 3 所示的结构图也包括硅控整流器 300 的等效电路图 305。一般而言,当 ESD 事件发生时,硅控整流器 300 的 SCR 路径 330 会将 ESD 电流由阳极 350 引导至阴极 360。硅控整流器 300 可被设计成,在 ESD 电流为中间电平时,才被触发,因而将 ESD 电流从其它电子元件中,引导至硅控整流器 300,然后再由阳极 350 被引导至阴极 360。若发生负 ESD 事件时,则硅控整流器 300 可透过二极管路径 335,将 ESD 电流由阴极 360 引导至阳极 350。

[0042] 图 4A 为本发明的 ESD 保护电路的另一可能实施例。在本实施例中,ESD 保护电路具有硅控整流器 405 及 410。硅控整流器 405 及 410 电性耦接至低噪声放大器 115。图 4B 及图 4C 显示二极管路径 335 及 SCR 路径 330。图 4B 为硅控整流器 405 的一可能结构示意图。在本实施例中,硅控整流器 405 具有阳极 415 以及阴极 425。阳极 415 耦接一 P+ 半导体材料,其中,该 P+ 半导体材料被注入在 N 型阱区 420 之中。阴极 425 耦接一 N+ 半导体材料,其中,该 N+ 半导体材料被注入在 P 型阱区 430 之中。注入在 P 型阱区 430 的 P+ 半导体材料可触发硅控整流器 405。图 4C 为硅控整流器 410 的一可能结构示意图。硅控整流器 410 具有阳极 435 以及阴极 445。阳极 435 耦接一 P+ 半导体材料,其中,该 P+ 半导体材料被注入在 N 型阱区 440 之中。阴极 445 耦接一 N+ 半导体材料,其中,该 N+ 半导体材料被注入在 P 型阱区 450 之中。注入在 N 型阱区 440 的 N+ 半导体材料可触发硅控整流器 410。

然而,硅控整流器 405 及 410 具有寄生电容,其将影响低噪声放大器 115 的效能。硅控整流器 405 及 410 可耦接电感,用以补偿寄生电容所造成的影响。稍后在图 5A- 图 5D 图以及图 6A ~图 6D 将说明硅控整流器与电感的连接方式。

[0043] 图 5A- 图 5D 图分别显示硅控整流器 500A ~ 500D 的实施方式。如图 5A 所示,硅控整流器 500A 耦接电感 505A 及晶体管 515A。晶体管 515A 耦接 ESD 检测电路 510A。如图 5B 所示,硅控整流器 500B 耦接电感 505B 及晶体管 515B。晶体管 515B 耦接 ESD 检测电路 510B。如图 5C 所示,硅控整流器 500C 耦接电感 505C 及晶体管 515C。晶体管 515C 耦接 ESD 检测电路 510C。如图 5D 所示,硅控整流器 500D 耦接电感 505D 及晶体管 515D。晶体管 515D 耦接 ESD 检测电路 510D。请参考图 5A 及图 5B,硅控整流器 500A 及 500B 具有多 P 型及 N 型半导体层 215。阴极 210 电性耦接半导体层 215 的下 N 型半导体材料。电感 505A 及 505B 均电性耦接于阳极 205 与半导体层 215 的两 N 型半导体材料间的 P 型材料。ESD 检测电路 510A 及 510B 分别透过晶体管 515A 及 515B,耦接电感 505A 及 505B。

[0044] 请参考图 5A,当阳极 205 发生 ESD 事件时,硅控整流器 500A 会被触发,因此,ESD 电流流过硅控整流器 500A,以及流过电感 505A 和 ESD 检测电路 510A。在射频频段 (RF bands) 下,电感 505A 可补偿硅控整流器 500A 的寄生电容所造成的影响。电感 505A 也可提供一导通路径,用以触发硅控整流器 500A。同样地,在图 5B 中,当阳极 205 发生 ESD 事件时,硅控整流器 500B 会被触发,因此,ESD 电流流过硅控整流器 500B,以及流过电感 505B 和 ESD 检测电路 510B。在射频频段下,电感 505B 可补偿硅控整流器 500B 的寄生电容所造成的影响。电感 505B 也可提供一导通路径,用以触发硅控整流器 500B。

[0045] 请参考图 5C 及图 5D,硅控整流器 500C 及 500D 具有电感 505C 及 505D。电感 505C 及 505D 电性耦接于阴极 210 与一 N 型半导体材料间。上述 N 型半导体材料位于半导体层 215 的两 P 型半导体材料间。在其它实施例中,PMOS 晶体管 515C 可设置在电感 505C 之上,而 NMOS 晶体管 515D 可设置在电感 505D 之下。

[0046] 请参考图 5C,当阴极 210 发生 ESD 事件时,硅控整流器 500C 会被触发,因此,ESD 电流流过硅控整流器 500C,以及流过电感 505C 和 ESD 检测电路 510C。请参考图 5D,当阴极 210 发生 ESD 事件时,硅控整流器 500D 会被触发,因此,ESD 电流流过硅控整流器 500D,以及流过电感 505D 和 ESD 检测电路 510D。电感 505C 及 505D 与图 5A 及图 5B 图所示的电感 505A 及 505B 相同,均用以在射频频段下,补偿硅控整流器 500C 及 500D 的寄生电容所造成的影响。图 5A- 图 5D 所显示的电感 505A-505D 触发硅控整流器 500A-500D,借由箝制正 ESD 脉冲或是负 ESD 脉冲,便可预防低噪声放大器 115 损坏。

[0047] 图 6A- 图 6D 图为硅控整流器 600A ~ 600D 的实施方式。图 6A 及图 6C 显示硅控整流器 600A 及 600C 与单一电感 505A 及 505C 的连接方式。图 6B 及图 6D 显示硅控整流器 600B 及 600D 与电感 505B、505D 及二极管 605A 及 605B 之间的串联连接方式。图 6A- 图 6D 图显示了硅控整流器与电感的其它可能连接方式。图 6A- 图 6D 图的操作原理与图 5A- 图 5D 图相似。在 ESD 事件发生时,图 6A- 图 6D 图的电感 505A-505D 可触发硅控整流器 600A-600D。另外,在射频频段下,图 6A- 图 6D 图的电感 505A-505D 可补偿硅控整流器 600A-600D 的寄生电容所造成的影响。

[0048] 虽然本发明已以优选实施例揭示如上,然而其并非用以限定本发明,任何本领域普通技术人员,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,因此本发明的保护范围当视随附的权利要求所界定的范围为准。

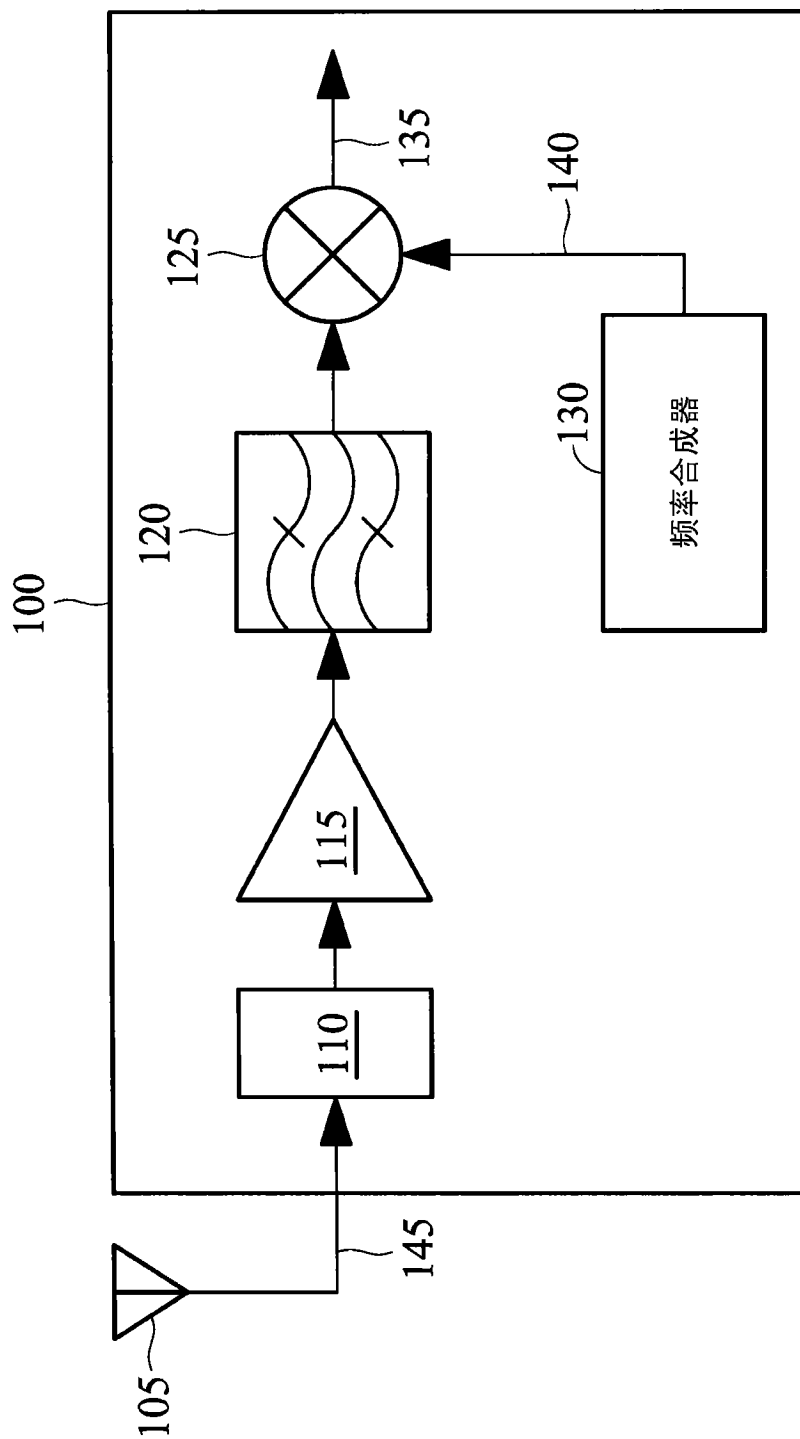


图 1

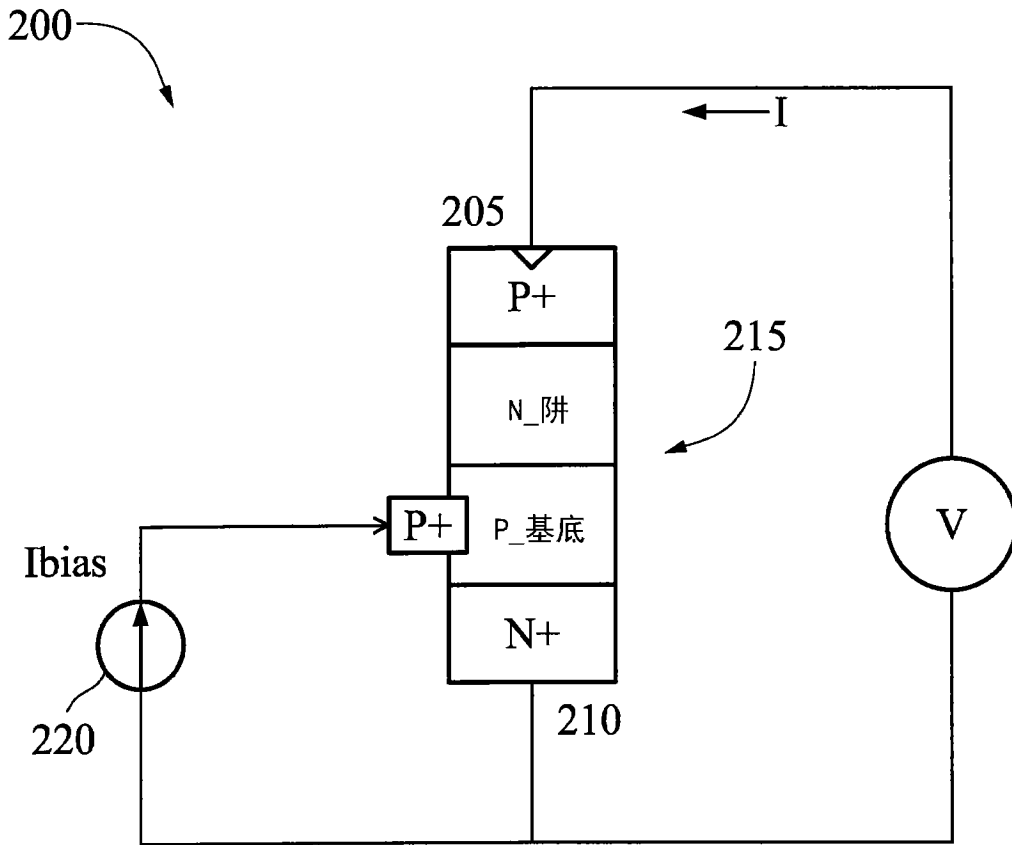


图 2

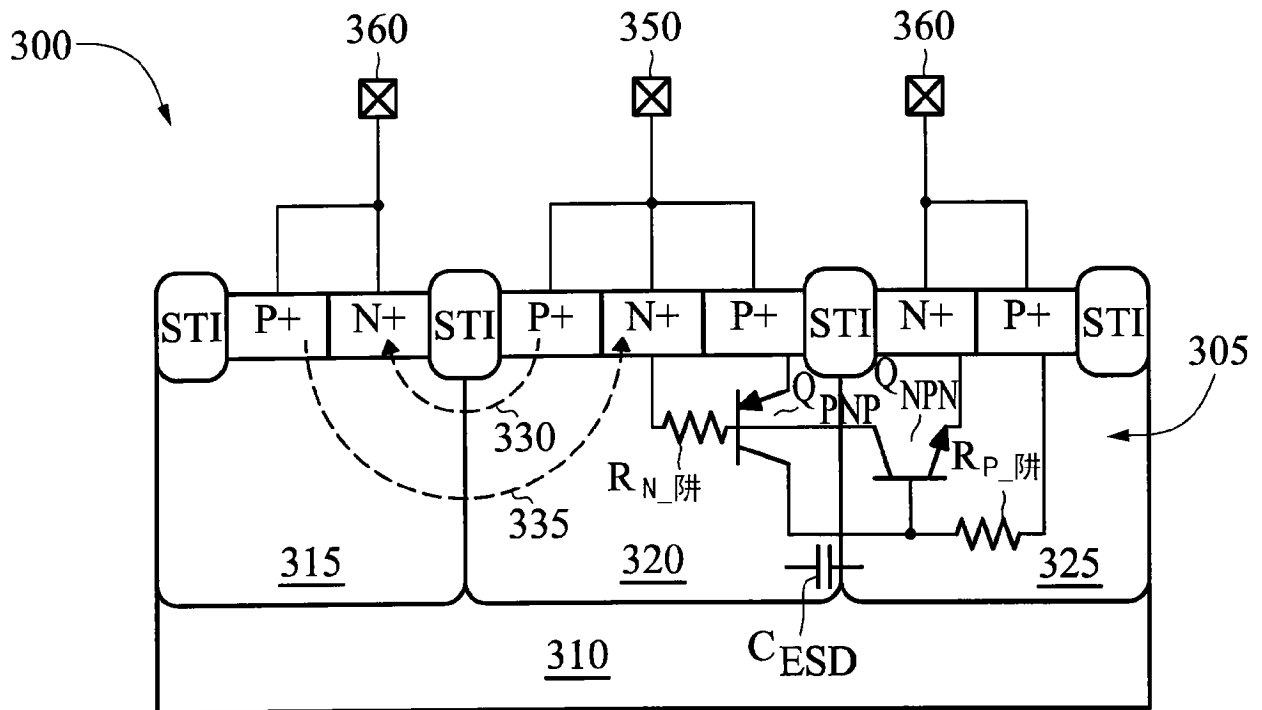


图 3

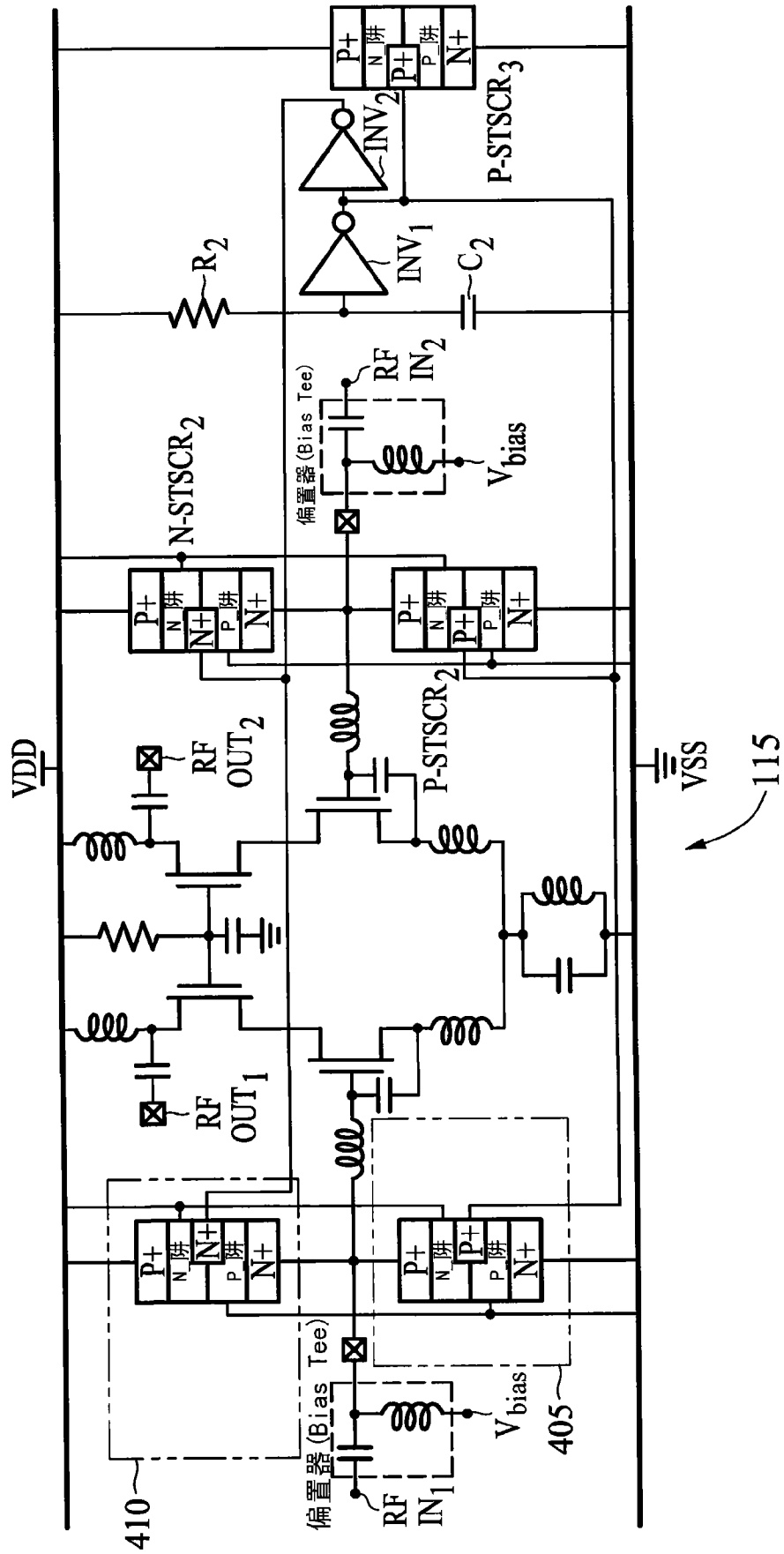


图 4A

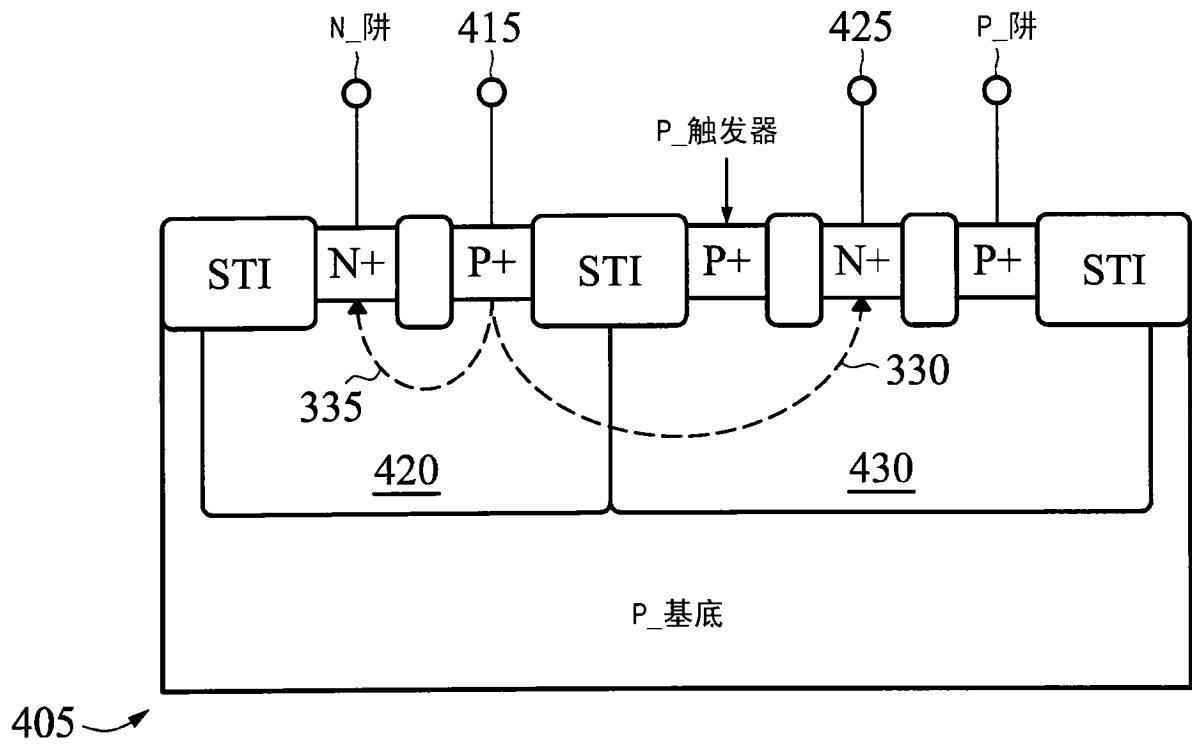


图 4B

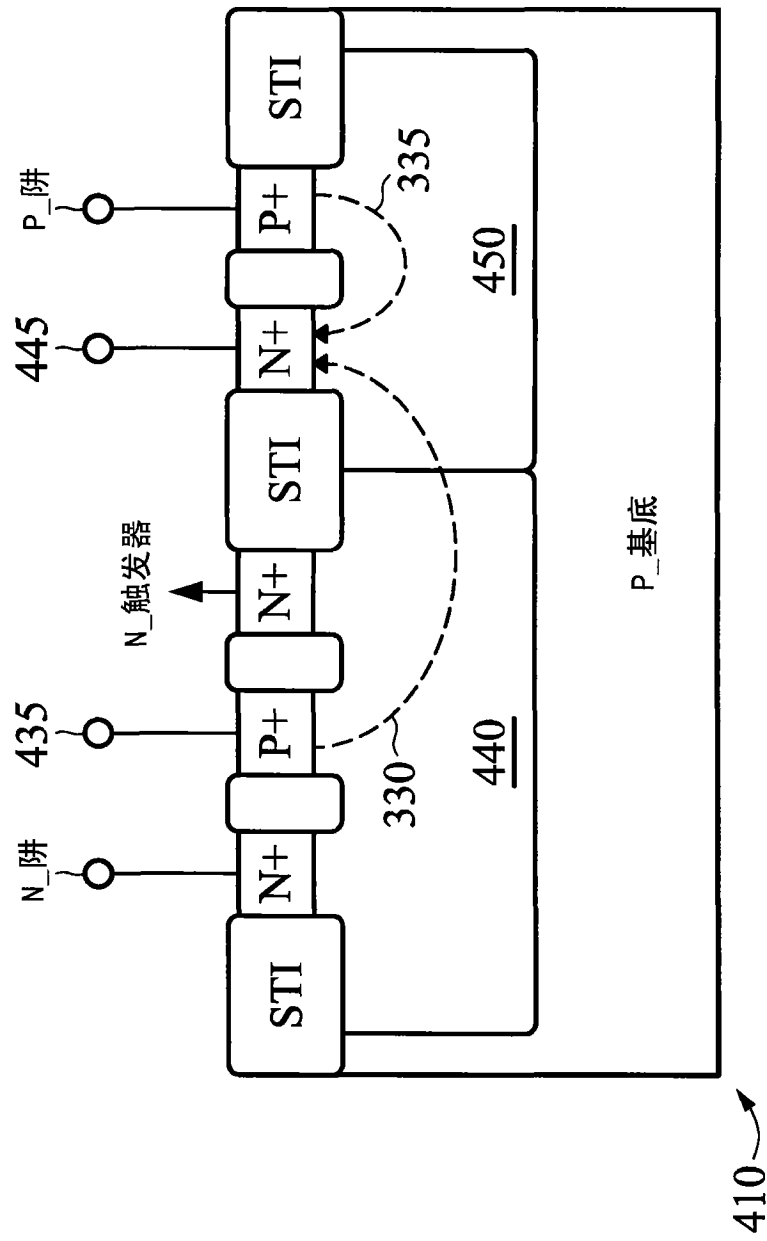


图 4C

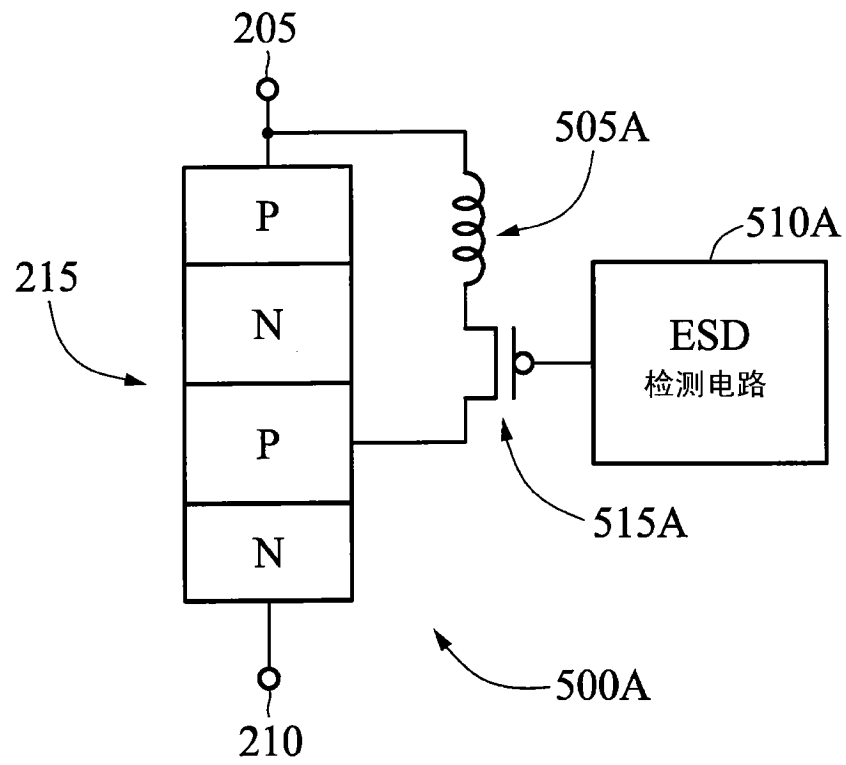


图 5A

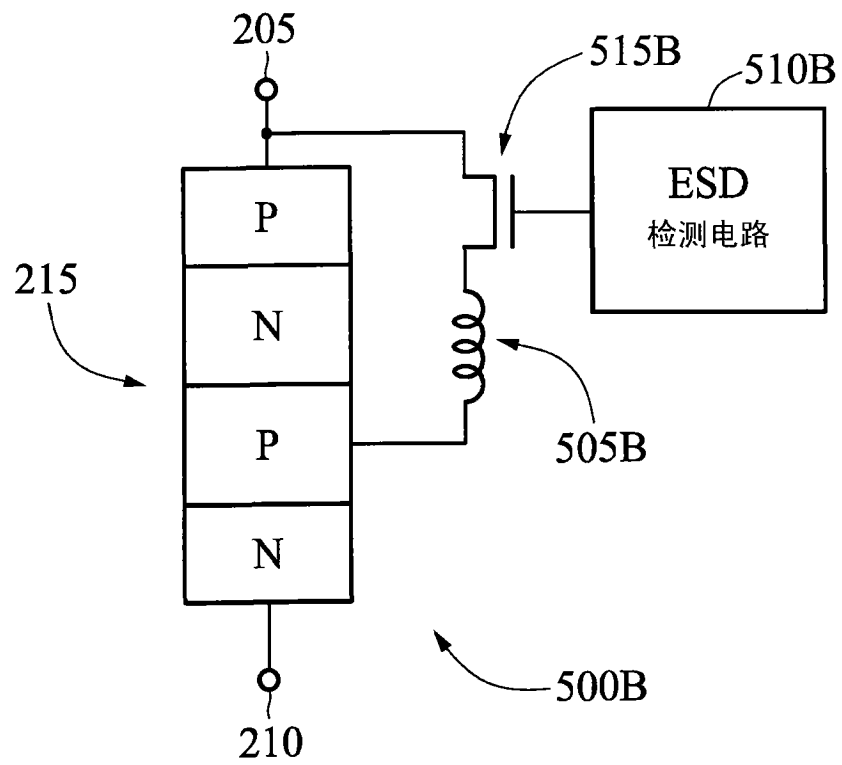


图 5B

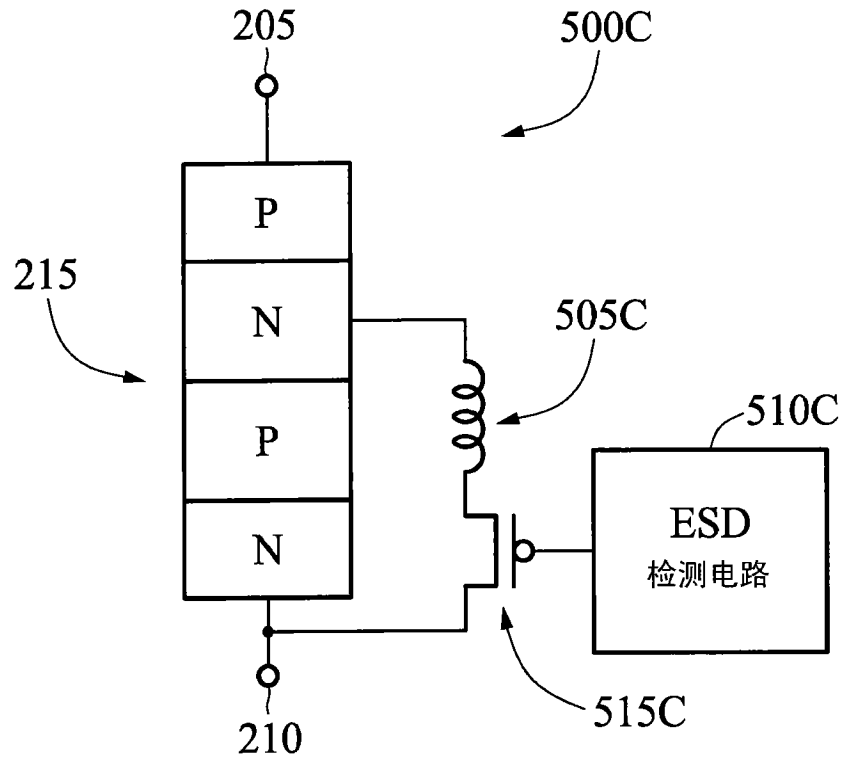


图 5C

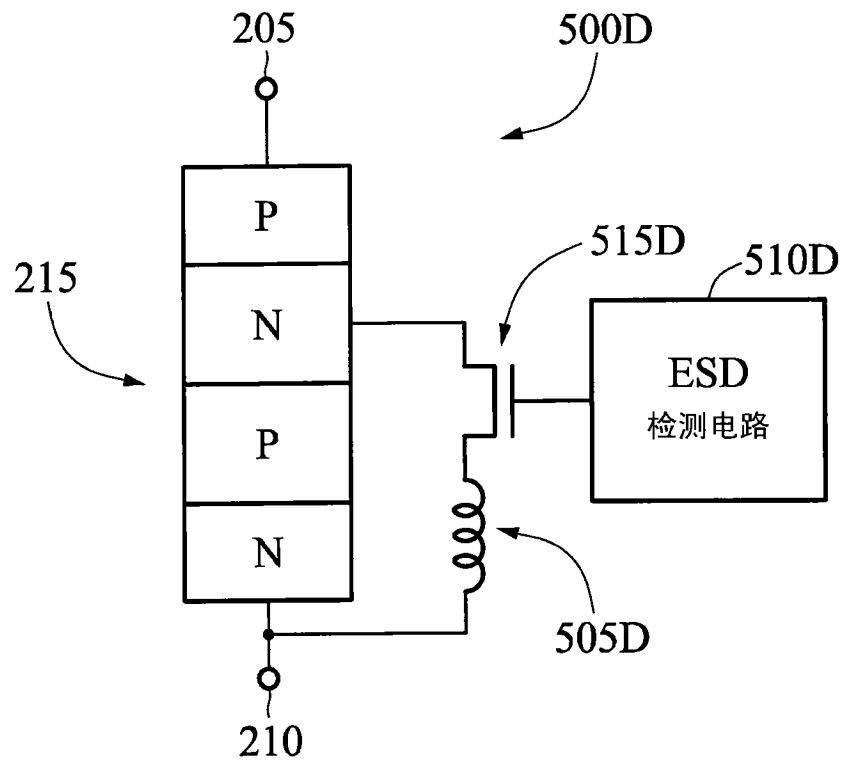


图 5D

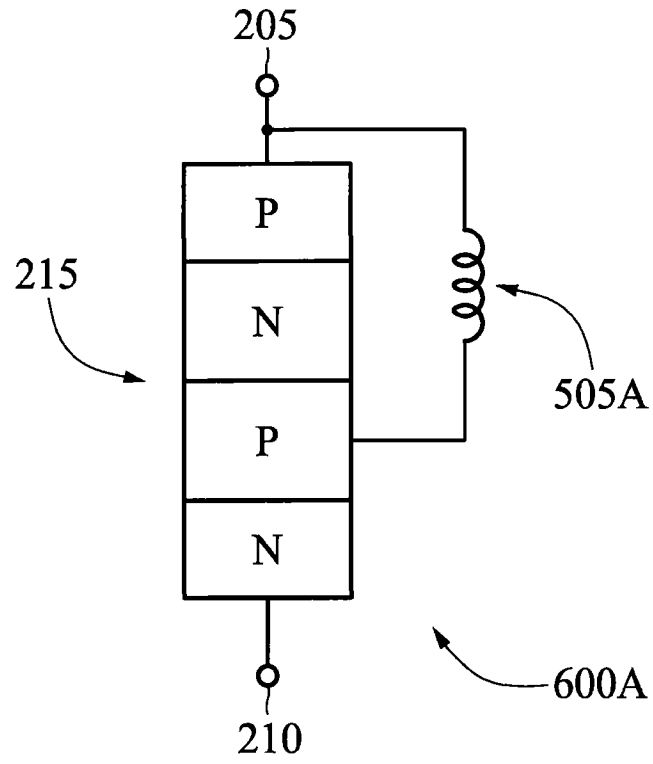


图 6A

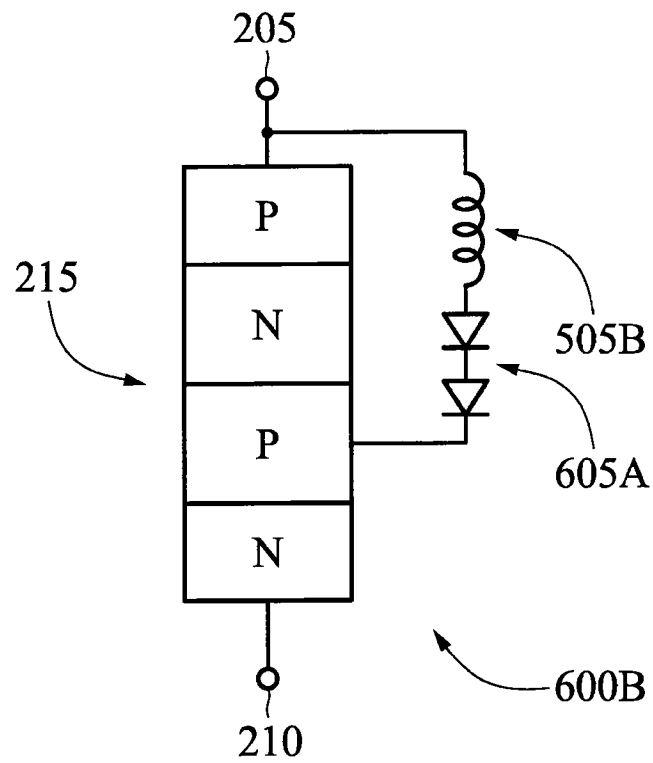


图 6B

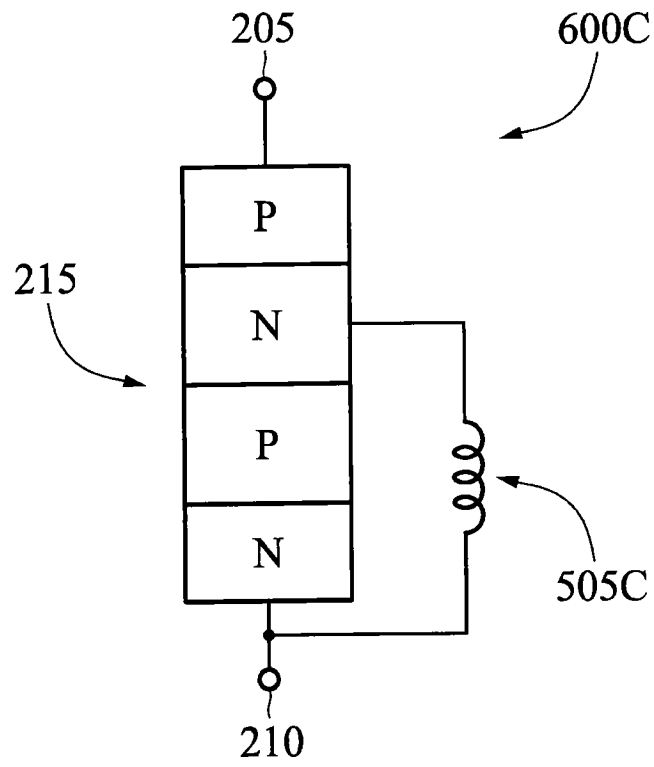


图 6C

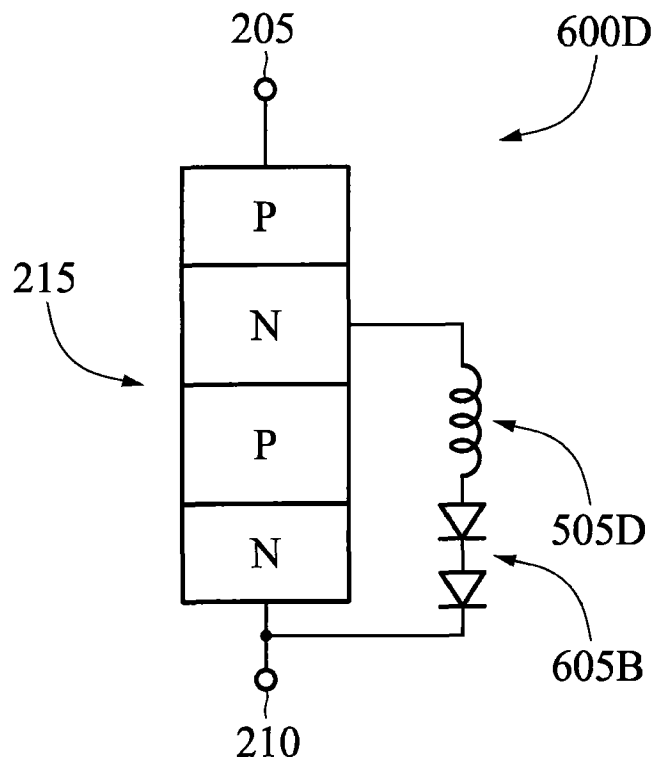


图 6D