



(12) 发明专利

(10) 授权公告号 CN 102270637 B

(45) 授权公告日 2013. 03. 27

(21) 申请号 201010196416. 7

CN 101202281 A, 2008. 06. 18,

(22) 申请日 2010. 06. 02

CN 101290933 A, 2008. 10. 22,

(73) 专利权人 世界先进积体电路股份有限公司

审查员 商纪楠

地址 中国台湾新竹科学工业园区

专利权人 国立交通大学

(72) 发明人 柯明道 许哲纶 陈稳义 周业宁
黄晔仁

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 任默闻

(51) Int. Cl.

H01L 27/04 (2006. 01)

H01L 29/06 (2006. 01)

(56) 对比文件

US 2007122963 A1, 2007. 05. 31,

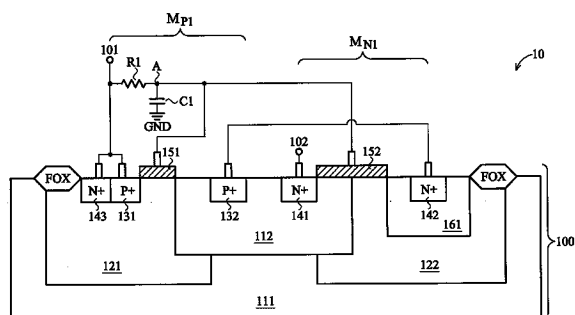
权利要求书 3 页 说明书 5 页 附图 8 页

(54) 发明名称

静电放电防护装置及静电放电防护电路

(57) 摘要

本发明公开了一种静电放电防护装置及电路,包括衬底、第一井区、第二井区、第一、第二、第三及第四扩散区、本体、第一及第二栅极。衬底具有第一导电型。第一及第二井区具有第二导电型,并形成于衬底之中。第一扩散区具有第三导电型,并形成于第一井区之中。本体具有第一导电型,并形成于衬底、第一及第二井区之中。第二扩散区具有第三导电型,并形成于本体之中。第一栅极控制第一扩散区与本体的电连接。第三扩散区具有第四导电型,并形成于本体之中。第四扩散区具有第四导电型,并形成于第二井区之中。第二栅极控制第三与第四扩散区的电连接。本发明实施例的静电放电防护装置及电路,能够防止闩锁现象的发生,避免破坏集成电路。



1. 一种静电放电防护装置,其特征在于,所述的静电放电防护装置包括:
 - 一衬底,具有一第一导电型;
 - 一第一井区,具有一第二导电型,并形成于所述衬底之中;
 - 一第二井区,具有所述第二导电型,并形成于所述衬底之中;
 - 一第一扩散区,具有一第三导电型,并形成于所述第一井区之中;
 - 一第一本体,具有所述第一导电型,并形成于所述衬底、所述第一及第二井区之中;
 - 一第二扩散区,具有所述第三导电型,并形成于所述第一本体之中;
 - 一第一栅极,用以控制所述第一扩散区与所述第一本体的电连接,其中所述第一、第二扩散区及所述第一栅极构成一第一晶体管;
 - 一第三扩散区,具有一第四导电型,并形成于所述第一本体之中;
 - 一第四扩散区,具有所述第四导电型,并形成于所述第二井区之中;以及
 - 一第二栅极,用以控制所述第三与第四扩散区的电连接,其中所述第三、第四扩散区及所述第二栅极构成一第二晶体管,其中所述第一扩散区、所述第一井区、所述第一本体以及所述第三扩散区构成一第一硅控整流器。
2. 如权利要求 1 所述的静电放电防护装置,其特征在于,所述第一及第三导电型为 P 型,所述第二及第四导电型为 N 型。
3. 如权利要求 1 所述的静电放电防护装置,其特征在于,所述的静电放电防护装置更包括:
 - 一第五扩散区,具有所述第四导电型,并形成于所述第一井区之中,用以定义所述第一井区的电位。
4. 如权利要求 1 所述的静电放电防护装置,其特征在于,所述的静电放电防护装置更包括:
 - 一第五扩散区,具有所述第四导电型,并形成于所述第二井区之中,并围绕所述第四扩散区,所述第五扩散区的杂质掺杂浓度小于所述第四扩散区的杂质掺杂浓度,所述第五扩散区的杂质掺杂浓度大于所述第二井区的杂质掺杂浓度。
5. 如权利要求 1 所述的静电放电防护装置,其特征在于,所述的静电放电防护装置更包括:
 - 一第三井区,具有所述第二导电型,并形成于所述衬底之中;
 - 一第五扩散区,具有所述第三导电型,并形成于所述第三井区之中;
 - 一第二本体,具有所述第一导电型,并形成于所述第三井区之中;
 - 一第六扩散区,具有所述第三导电型,并形成于所述第二本体之中;以及
 - 一第三栅极,用以控制所述第五扩散区与所述第二本体的电连接,其中所述第五、第六扩散区及所述第三栅极构成一第三晶体管。
6. 如权利要求 5 所述的静电放电防护装置,其特征在于,所述的静电放电防护装置更包括:
 - 一第七扩散区,具有所述第四导电型,并形成于所述第二本体之中,所述第五扩散区、所述第三井区、所述第二本体以及所述第七扩散区构成一第二硅控整流器;以及
 - 一第八扩散区,具有所述第三导电型,并形成于所述第二本体之中。
7. 一种静电放电防护装置,其特征在于,所述的静电放电防护装置包括:

一衬底,具有一第一导电型;
一第一井区,具有一第二导电型,并形成于所述衬底之中;
一第二井区,具有所述第二导电型,并形成于所述衬底之中;
一第一扩散区,具有一第三导电型,并形成于所述第一井区之中;
一第一本体,具有所述第一导电型,并形成于所述衬底、所述第一及第二井区之中;
一第二扩散区,具有所述第三导电型,并形成于所述第一本体之中;
一第一栅极,用以控制所述第一扩散区与所述第一本体的电连接,其中所述第一、第二扩散区及所述第一栅极构成一第一晶体管;
一第三扩散区,具有一第四导电型,并形成于所述第一本体之中;
一第四扩散区,具有所述第四导电型,并形成于所述第二井区之中;
一第二栅极,用以控制所述第三与第四扩散区的电连接,其中所述第三、第四扩散区及所述第二栅极构成一第二晶体管;
一第五扩散区,具有所述第四导电型,并形成于所述第一井区之中;以及
一第六扩散区,具有所述第三导电型,并形成于所述第一本体之中,所述第五扩散区,所述第一井区、所述第一本体及所述第六扩散区构成一第一硅控整流器。

8. 如权利要求 7 所述的静电放电防护装置,其特征在于,所述第一及第四导电型为 P 型,所述第二及第三导电型为 N 型。

9. 如权利要求 8 所述的静电放电防护装置,其特征在于,所述的静电放电防护装置更包括:

一第七扩散区,具有所述第四导电型,并形成于所述第一本体之中;以及
一第八扩散区,具有所述第三导电型,并形成于所述第一井区之中。

10. 一种静电放电防护装置,其特征在于,所述的静电放电防护装置包括:

一衬底,具有一第一导电型;
一第一井区,具有一第二导电型,并形成于所述衬底之中;
一第二井区,具有所述第二导电型,并形成于所述衬底之中;
一第一扩散区,具有一第三导电型,并形成于所述第一井区之中;
一第一本体,具有所述第一导电型,并形成于所述衬底、所述第一及第二井区之中;
一第二扩散区,具有所述第三导电型,并形成于所述第一本体之中;
一第一栅极,用以控制所述第一扩散区与所述第一本体的电连接,其中所述第一、第二扩散区及所述第一栅极构成一第一晶体管;
一第三扩散区,具有一第四导电型,并形成于所述第一本体之中;
一第四扩散区,具有所述第四导电型,并形成于所述第二井区之中;
一第二栅极,用以控制所述第三与第四扩散区的电连接,其中所述第三、第四扩散区及所述第二栅极构成一第二晶体管;以及
一第五扩散区,具有所述第四导电型,并形成于所述第一井区之中,所述第五扩散区,所述第一井区、所述第一本体及所述第二扩散区构成一第一硅控整流器。

11. 如权利要求 10 所述的静电放电防护装置,其特征在于,所述的静电放电防护装置更包括:

一第三井区,具有所述第二导电型,并形成于所述衬底之中;

一第六扩散区,具有所述第三导电型,并形成于所述第三井区之中;
一第二本体,具有所述第一导电型,并形成于所述第三井区之中;
一第七扩散区,具有所述第三导电型,并形成于所述第二本体之中;以及
一第三栅极,用以控制所述第六扩散区与所述第二本体的电连接,其中所述第六、第七扩散区及所述第三栅极构成一第三晶体管。

12. 如权利要求 11 所述的静电放电防护装置,其特征在于,所述的静电放电防护装置更包括:

一第八扩散区,具有所述第四导电型,并形成于所述第三井区之中,所述第八扩散区、所述第三井区、所述第二本体以及所述第七扩散区构成一第二硅控整流器。

13. 一种静电放电防护电路,其特征在于,所述静电放电防护电路包括:

一如权利要求 1 所述的静电放电防护装置,其中所述第一扩散区耦接到一第一电源线,所述第三扩散区耦接到一第二电源线,所述第二扩散区耦接所述第四扩散区,所述第一栅极耦接所述第二栅极;

一电阻,耦接于所述第一电源线与所述第一栅极之间;以及

一电容,耦接于所述第一栅极与所述第二电源线之间。

14. 一种静电放电防护电路,其特征在于,所述静电放电防护电路包括:

一如权利要求 6 所述的静电放电防护装置,其中所述第五扩散区耦接一第一电源线,所述第六扩散区耦接所述第四扩散区,所述第七扩散区耦接所述第一扩散区,所述第三扩散区耦接一第二电源线,所述第一、第二及第三栅极耦接在一起;

一电阻,耦接于所述第一电源线与所述第一栅极之间;以及

一电容,耦接于所述第一栅极与所述第二电源线之间。

15. 一种静电放电防护电路,其特征在于,所述静电放电防护电路包括:

一如权利要求 7 所述的静电放电防护装置,其中所述第一及第五扩散区耦接到一第一电源线,所述第三及第六扩散区耦接到一第二电源线,所述第一栅极耦接所述第二栅极;

一电容,耦接于所述第一电源线与所述第一栅极之间;以及

一电阻,耦接于所述第一栅极与所述第二电源线之间。

16. 一种静电放电防护电路,其特征在于,所述静电放电防护电路包括:

一如权利要求 12 所述的静电放电防护装置,其中所述第六及第八扩散区耦接一第一电源线,所述第七扩散区耦接所述第一及第五扩散区,所述第三扩散区耦接所述第四扩散区,所述第二扩散区耦接一第二电源线,所述第一、第二及第三栅极耦接在一起;

一电容,耦接于所述第一电源线与所述第一栅极之间;以及

一电阻,耦接于所述第一栅极与所述第二电源线之间。

静电放电防护装置及静电放电防护电路

技术领域

[0001] 本发明涉及一种静电放电防护装置,特别是有关于一种可防止闩锁(latchup)发生的静电放电(electrostatic discharge;ESD)防护装置。

背景技术

[0002] 静电放电(Electrostatic Discharge)所造成的元件损害对集成电路产品来说已经成为最主要的可靠度问题之一。尤其是随着尺寸不断地缩小至深次微米的程度,金属氧化物半导体的栅极氧化层也越来越薄,集成电路更容易因静电放电现象而遭受破坏。为了避免静电放电现象破坏集成电路,一般的解决方式是设置一静电放电防护装置于集成电路之中。

发明内容

[0003] 本发明提供一种静电放电防护装置,包括一衬底、一第一井区、一第二井区、一第一扩散区、一第一本体、一第二扩散区、一第一栅极、一第三扩散区、一第四扩散区以及一第二栅极。衬底具有一第一导电型。第一及第二井区具有一第二导电型,并形成于衬底之中。第一扩散区具有一第三导电型,并形成于第一井区之中。第一本体具有第一导电型,并形成于衬底、第一及第二井区之中。第二扩散区具有第三导电型,并形成于第一本体之中。第一栅极控制第一扩散区与第一本体的电连接。第一、第二扩散区及第一栅极构成一第一晶体管。第三扩散区具有一第四导电型,并形成于第一本体之中。第四扩散区具有第四导电型,并形成于第二井区之中。第二栅极控制第三与第四扩散区的电连接。第三、第四扩散区及第二栅极构成一第二晶体管。

[0004] 本发明实施例的静电放电防护装置及电路,能够防止闩锁现象的发生,避免破坏集成电路。

附图说明

[0005] 图 1A、图 2A、图 3A 及图 4A 为本发明的静电放电防护电路的部分结构示意图;

[0006] 图 1B、图 2B、图 3B、图 4B 为图 1A、图 2A、图 3A 及图 4A 的等效电路图。

[0007] 附图标号:

[0008] 10、20、30、40:静电放电防护电路;

[0009] 100、200、300、400:静电放电防护装置;

[0010] 101、102、201、202、301、302、401、402:电源线;

[0011] 111、311:衬底;

[0012] 121 ~ 125、321 ~ 325:井区;

[0013] 112、113、312、313:本体;

[0014] 131 ~ 136、141 ~ 145、331 ~ 336、341 ~ 346:扩散区;

[0015] 151 ~ 153:栅极;

- [0016] 161、361、362 :N 型漏极漂移区 ;
[0017] $M_{P1} \sim M_{P3}$:P 型晶体管 ;
[0018] $M_{N1} \sim M_{N3}$:N 型晶体管 ;
[0019] R1 $\sim$ R4 :电阻 ;
[0020] C1 $\sim$ C4 :电容。

具体实施方式

[0021] 为让本发明的特征和优点能更明显易懂,下文特举出较佳实施例,并配合附图,作详细说明如下:

[0022] 图 1A 为本发明的静电放电防护电路的部分结构示意图。如图所示,静电放电防护电路 10 包括,电阻 R1、电容 C1 以及静电放电防护装置 100。由于本发明的特征并非在于电阻 R1 及电容 C1 的结构,故图 1A 仅显示电阻 R1 及电容 C1 的等效示意图。

[0023] 如图所示,静电放电防护装置 100 包括,衬底 (substrate)111、井区 (well)121、122、本体 (body)112、扩散区 (doping region)131、132、141、142、栅极 151、152。

[0024] 衬底 111 具有一第一导电型。井区 121 及 122 均具有一第二导电型,并分别形成于衬底 111 之中。在本实施例中,衬底 111 隔离井区 121 及 122。扩散区 131 具有一第三导电型,并形成于井区 121 之中。本体 112 具有第一导电型,并形成于衬底 111、井区 121 及 122 之中。扩散区 132 具有第三导电型,并形成于本体 112 之中。栅极 151 控制扩散区 131 与本体 112 的电连接。

[0025] 扩散区 141 具有第四导电型,并形成于本体 112 之中。扩散区 142 具有第四导电型,并形成于井区 122 之中。栅极 152 控制扩散区 141 与 142 的电连接。

[0026] 在本实施例中,第一及第三导电型为 P 型,第二及第四导电型为 N 型。因此,扩散区 131、132 及栅极 151 可构成 P 型晶体管 M_{P1} 。扩散区 131 作为 P 型晶体管 M_{P1} 的源极,扩散区 132 作为 P 型晶体管 M_{P1} 的漏极。

[0027] 另外,扩散区 141、142 及栅极 152 可构成 N 型晶体管 M_{N1} 。扩散区 141 作为 N 型晶体管 M_{N1} 的源极。扩散区 142 作为 N 型晶体管 M_{N1} 的漏极。在本实施例中,扩散区 131、井区 121、本体 112 以及扩散区 141 可构成一硅控整流器 (silicon controlled rectifier; SCR)。

[0028] 另外,静电放电防护装置 100 更包括, N 型漏极漂移区 (N-type drain drift; NDD) 161 以及扩散区 143。由于扩散区 142 的杂质浓度大于井区 122 的杂质浓度,故利用 N 型漏极漂移区 161 包围扩散区 142,作为一缓冲区。扩散区 143 具有第四导电型 (如 N 型),用以作为井区 121 的电性接触点。

[0029] 在本实施例中,扩散区 131 及 143 耦接到电源线 101。扩散区 141 耦接到电源线 102。扩散区 132 耦接扩散区 142。栅极 151 耦接栅极 152。电阻 R1 耦接于电源线 101 与栅极 151 之间。电容 C1 耦接于栅极 151 与电源线 102 之间。

[0030] 图 1B 为图 1A 的等效电路图。在静电放电模式下 (电源线 101 接收静电放电电压 V_{ESD} ,电源线 102 接收接地电压 GND),节点 A 具有低位准。因此,导通 P 型晶体管 M_{P1} ,用以触发硅控整流器 SCR1,使得 ESD 电流由电源线 101,经过硅控整流器 SCR1,而被释放至地。

[0031] 在正常操作模式下,电源线 101 接收高电压 (如操作电压 V_{CC}),电源线 102 接收低

电压（如接地电压 GND）。操作电压 V_{CC} 大于接地电压 GND。由于电阻 R1 及电容 C1 所造成的延迟（RC delay），将使得节点 A 具有高位准。因此，不触发硅控整流器 SCR1。然而，当硅控整流器 SCR1 因噪声或其它因素而被触发（导通）时，由于 N 型晶体管 M_{N1} 为导通状态，故可协助关闭硅控整流器 SCR1。

[0032] 举例而言，当图 1A 所示的衬底 111 的位准因外界因素（如噪声）而被改变时，可能降低硅控整流器 SCR1 的击穿电压（breakdown voltage），使得硅控整流器 SCR1 不正常导通，进而发生闩锁（latch-up）现象。

[0033] 由于闩锁现象会造成电源线 101 与 102 之间的短路，因此，在正常操作模式下，当硅控整流器 SCR1 不正常被导通时，N 型晶体管 M_{N1} 协助关闭硅控整流器 SCR1。在本实施例中，N 型晶体管 M_{N1} 撷取硅控整流器 SCR1 的部分导通电流，用以降低硅控整流器 SCR1 的导通电流，因此，便可将硅控整流器 SCR1 由导通状态切换至不导通状态。

[0034] 图 2A 为本发明的静电放电防护电路的另一示意图。图 2A 相似图 1A，不同之处在于，图 2A 的静电放电防护装置 200 多了扩散区 133、134、144 以及栅极 153。

[0035] 扩散区 133 的导电型为 P 型，并形成于井区 123 之中。本体 113 的导电型为 P 型，并形成于井区 123 之中。扩散区 134 的导电型为 P 型，并形成于本体 113 之中。栅极 153 控制扩散区 133 与本体 113 的电连接。扩散区 144 的导电型为 N 型，并形成于本体 113 之中。

[0036] 扩散区 133、134 及栅极 153 构成 P 型晶体管 M_{P2} 。扩散区 133 作为 P 型晶体管 M_{P2} 的源极。扩散区 134 作为 P 型晶体管 M_{P2} 的漏极。在本实施例中，扩散区 133、井区 123、本体 113 以及扩散区 144 构成一硅控整流器。另外，扩散区 131、井区 124、本体 112 以及扩散区 141 可构成另一硅控整流器。

[0037] 静电放电防护装置 200 更包括扩散区 135、136 及 145。扩散区 135 的导电型为 P 型，并形成于本体 113 之中，可作为本体 113 的接触点。扩散区 136 的导电型亦为 P 型，并形成于衬底 111 之中。扩散区 145 的导电型为 N 型，用以定义井区 123 的电位。

[0038] 在本实施例中，扩散区 133 及 145 耦接电源线 201。扩散区 134 耦接扩散区 135 及 142。扩散区 144 耦接扩散区 131 及 143。扩散区 141 耦接电源线 202。栅极 151 ~ 153 耦接在一起。电阻 R2 耦接于电源线 201 与栅极 151 之间。电容 C2 耦接于栅极 151 与电源线 202 之间。

[0039] 图 2B 为图 2A 的等效电路图。在静电放电模式下（电源线 201 接收静电放电电压 V_{ESD} ，电源线 202 接收接地电压 GND），节点 A 具有低位准。因此，导通 P 型晶体管 M_{P1} 及 M_{P2} ，用以触发硅控整流器 SCR1 及 SCR2，使得 ESD 电流由电源线 201，经过硅控整流器 SCR1 及 SCR2，而被释放至地。

[0040] 在正常操作模式下，电源线 201 接收高电压（如操作电压 V_{CC} ），电源线 202 接收低电压（如接地电压 GND）。操作电压 V_{CC} 大于接地电压 GND。由于电阻 R2 及电容 C2 所造成的延迟（RC delay），将使得节点 A 具有高位准。因此，不触发硅控整流器 SCR1 及 SCR2。然而，当硅控整流器 SCR1 或 SCR2 因噪声或其它因素而被触发（导通）时，N 型晶体管 M_{N1} 可协助关闭硅控整流器 SCR1 及 SCR2。

[0041] 图 3A 为本发明的静电放电防护电路的部分结构示意图。图 3A 与图 1A 相似，不同之处在于，图 3A 的部分导电型态不同于图 1A 的导电型态。

[0042] 在图 3A 中,静电放电防护装置 300 包括,衬底 311、井区 321、322、本体 312、扩散区 331 ~ 333、341 ~ 344、栅极 351 及 352。衬底 311 具有一第一导电型。井区 321 及 322 均具有一第二导电型,并形成于衬底 311 之中。

[0043] 扩散区 331 具有一第三导电型,并形成于井区 321 之中。本体 312 具有第一导电型,并形成于井区 320、井区 321 及 322 之中。扩散区 332 具有第三导电型,并形成于本体 312 之中。栅极 351 控制扩散区 331 与本体 312 的电连接。

[0044] 扩散区 341 具有第四导电型,并形成于本体 312 之中。扩散区 342 具有第四导电型,并形成于井区 322 之中。栅极 352 控制扩散区 341 与 342 的电连接。

[0045] 扩散区 343 具有该第四导电型,并形成于井区 321 之中。扩散区 333 具有第三导电型,并形成于本体 312 之中。在本实施例中,第一及第四导电型为 P 型,第二及第三导电型为 N 型。因此,扩散区 343、井区 321、本体 312 及扩散区 333 可构成一硅控整流器。

[0046] 另外,扩散区 331、332 及栅极 351 可构成 N 型晶体管 M_{N2} 。扩散区 331 为 N 型晶体管 M_{N2} 的漏极,扩散区 332 为 N 型晶体管 M_{N1} 的源极。

[0047] 再者,扩散区 341、342 及栅极 352 构成 P 型晶体管 M_{P3} 。扩散区 341 作为 P 型晶体管 M_{P3} 的漏极,扩散区 342 作为 P 型晶体管 M_{P3} 的源极。

[0048] 在本实施例中,静电放电防护装置 300 更包括,N 型漏极漂移区 361、扩散区 334 及 344。由于扩散区 331 的杂质浓度大于井区 321 的杂质浓度,故利用 N 型漏极漂移区 361 包围扩散区 331,用以作为一缓冲区。扩散区 334 的导电型为 N 型,可作为井区 322 的金属接触点。扩散区 344 的导电型为 P 型,可作为本体 312 的接触点。

[0049] 在本实施例中,扩散区 331 及 343 耦接到电源线 301。扩散区 341 及 333 耦接到电源线 302。栅极 351 耦接栅极 352。电容 C3 耦接于电源线 301 与栅极 351 之间。电阻 R3 耦接于栅极 351 与电源线 302 之间。扩散区 342、334 及 344 耦接在一起。

[0050] 图 3B 为图 3A 的等效电路图。在静电放电模式下(电源线 301 接收静电放电电压 V_{ESD} ,电源线 302 接收接地电压 GND),节点 B 具有高位准。因此,导通 N 型晶体管 M_{N2} ,用以触发硅控整流器 SCR1,使得 ESD 电流由电源线 301,经过硅控整流器 SCR1,而被释放至地。

[0051] 在正常操作模式下,电源线 301 接收高电压(如操作电压 V_{CC}),电源线 302 接收低电压(如接地电压 GND)。操作电压 V_{CC} 大于接地电压 GND。由于电阻 R3 及电容 C3 所造成的延迟(RC delay),将使得节点 B 具有低位准。因此,不触发硅控整流器 SCR1。然而,当硅控整流器 SCR1 因噪声或其它因素而被触发(导通)时,P 型晶体管 M_{P3} 可协助关闭硅控整流器 SCR1,以避免发生闩锁现象。

[0052] 图 4A 为本发明的静电放电防护电路的另一部分结构示意图。图 4A 相似图 3A,不同之处在于,图 4A 的静电放电防护装置 400 省略图 3A 的扩散区 344、333,但多了扩散区 335、336 以及栅极 353。

[0053] 扩散区 335 的导电型为 N 型,并形成于井区 323 之中。本体 313 的导电型为 P 型,并形成于井区 323 之中。扩散区 336 的导电型为 N 型,并形成于本体 313 之中。栅极 353 控制扩散区 335 与本体 313 的电连接。

[0054] 扩散区 335、336 及栅极 353 构成 N 型晶体管 M_{N3} 。扩散区 335 可作为 N 型晶体管 M_{N3} 的漏极,扩散区 336 作为 N 型晶体管 M_{N3} 的源极。

[0055] 在本实施例中,静电放电防护装置 400 更包括 N 型漏极漂移区 362 以及扩散区

345、346。扩散区 345 的导电型为 P 型。扩散区 335 及 345 形成于 N 型漏极漂移区 362 之中。扩散区 346 的导电型为 P 型,可作为本体 313 的金属接触点。

[0056] 扩散区 345、井区 323、本体 313 以及扩散区 336 可构成一硅控整流器。扩散区 343、井区 324、本体 312 以及扩散区 332 构成另一硅控整流器。

[0057] 在本实施例中,扩散区 335 及 345 耦接电源线 401。扩散区 336 耦接扩散区 343 及 331。扩散区 341 耦接扩散区 342、346。扩散区 332 耦接电源线 402。栅极 351 ~ 353 耦接在一起。电容 C4 耦接于电源线 401 与栅极 351 之间。电阻 R4 耦接于栅极 351 与电源线 402 之间。

[0058] 图 4B 为图 4A 的等效电路图。在静电放电模式下(电源线 401 接收静电放电电压 V_{ESD} ,电源线 402 接收接地电压 GND),节点 B 具有高位准。因此,导通 N 型晶体管 M_{N2} 及 M_{N3} ,用以触发硅控整流器 SCR1 及 SCR2,使得 ESD 电流由电源线 401,经过硅控整流器 SCR1 及 SCR2,而被释放至地。

[0059] 在正常操作模式下,电源线 401 接收高电压(如操作电压 V_{CC}),电源线 402 接收低电压(如接地电压 GND)。操作电压 V_{CC} 大于接地电压 GND。由于电阻 R4 及电容 C4 所造成的延迟(RC delay),将使得节点 B 具有低位准。因此,不触发硅控整流器 SCR1 及 SCR2。然而,当硅控整流器 SCR1 或 SCR2 因噪声或其它因素而被触发(导通)时,P 型晶体管 M_{P3} 可协助关闭硅控整流器 SCR1 及 SCR2。

[0060] 虽然本发明已以较佳实施例揭露如上,然其并非用以限定本发明,任何本领域技术人员,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,因此本发明的保护范围当视权利要求范围所界定者为准。

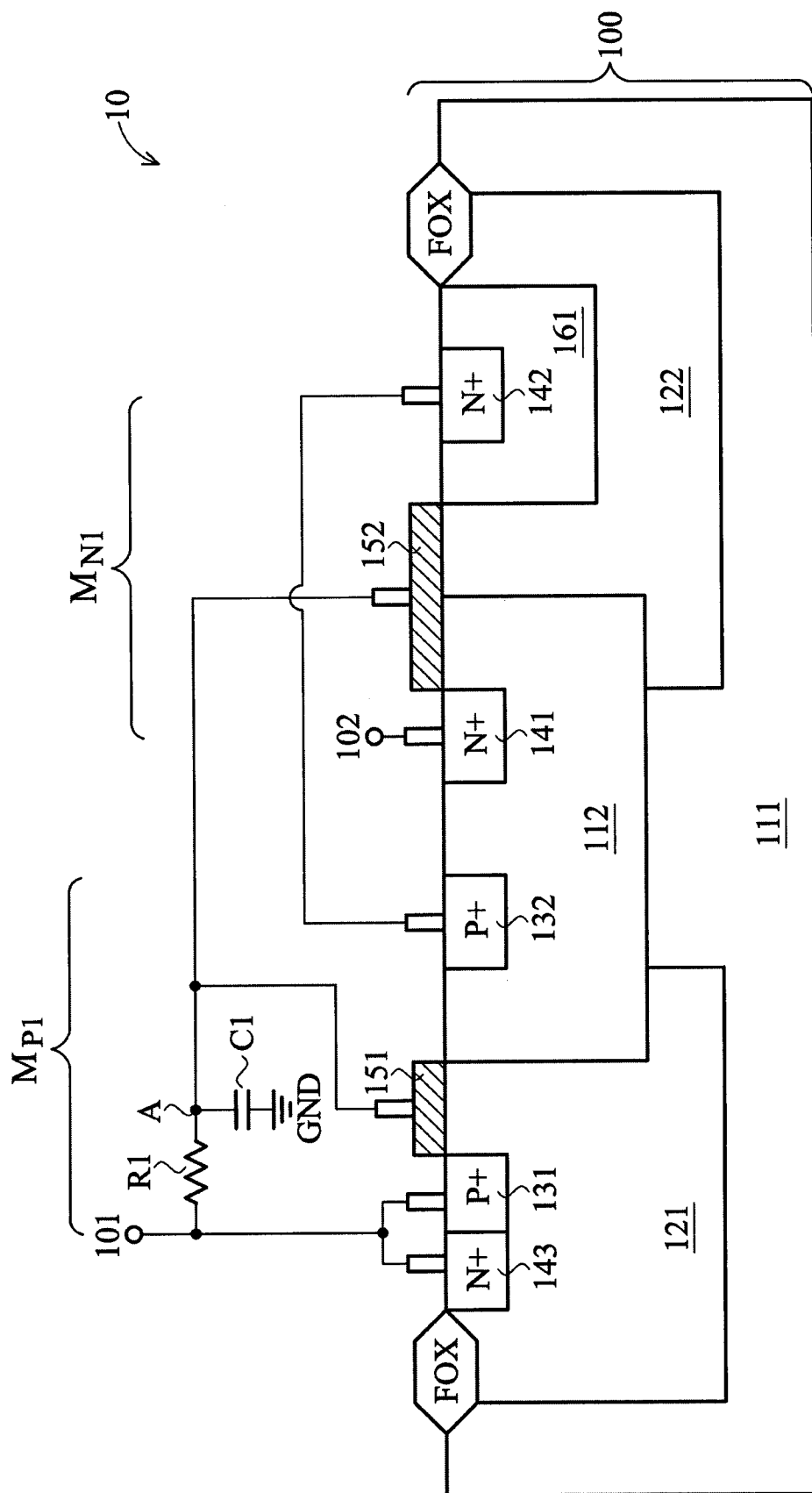


图 1A

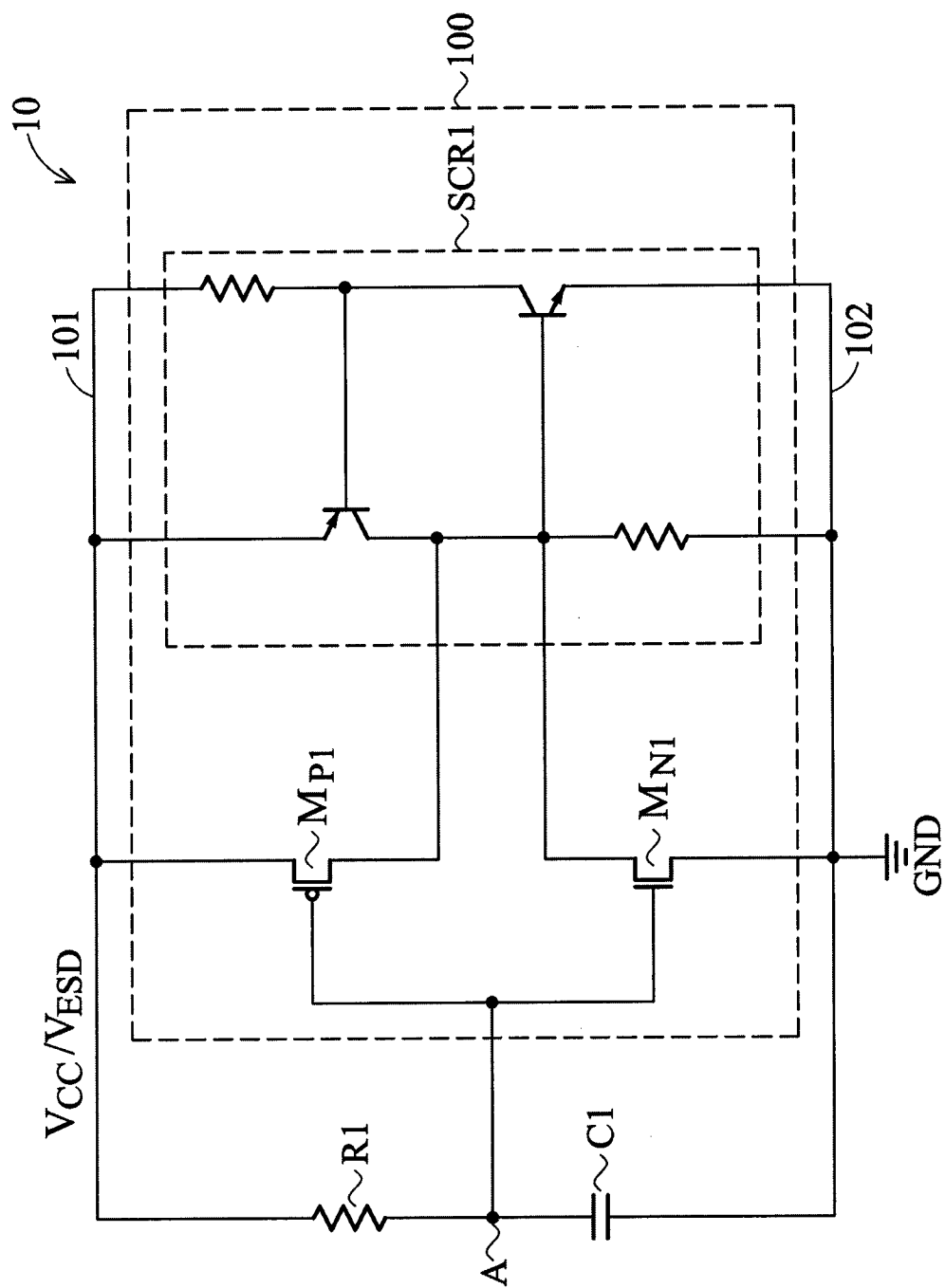


图 1B

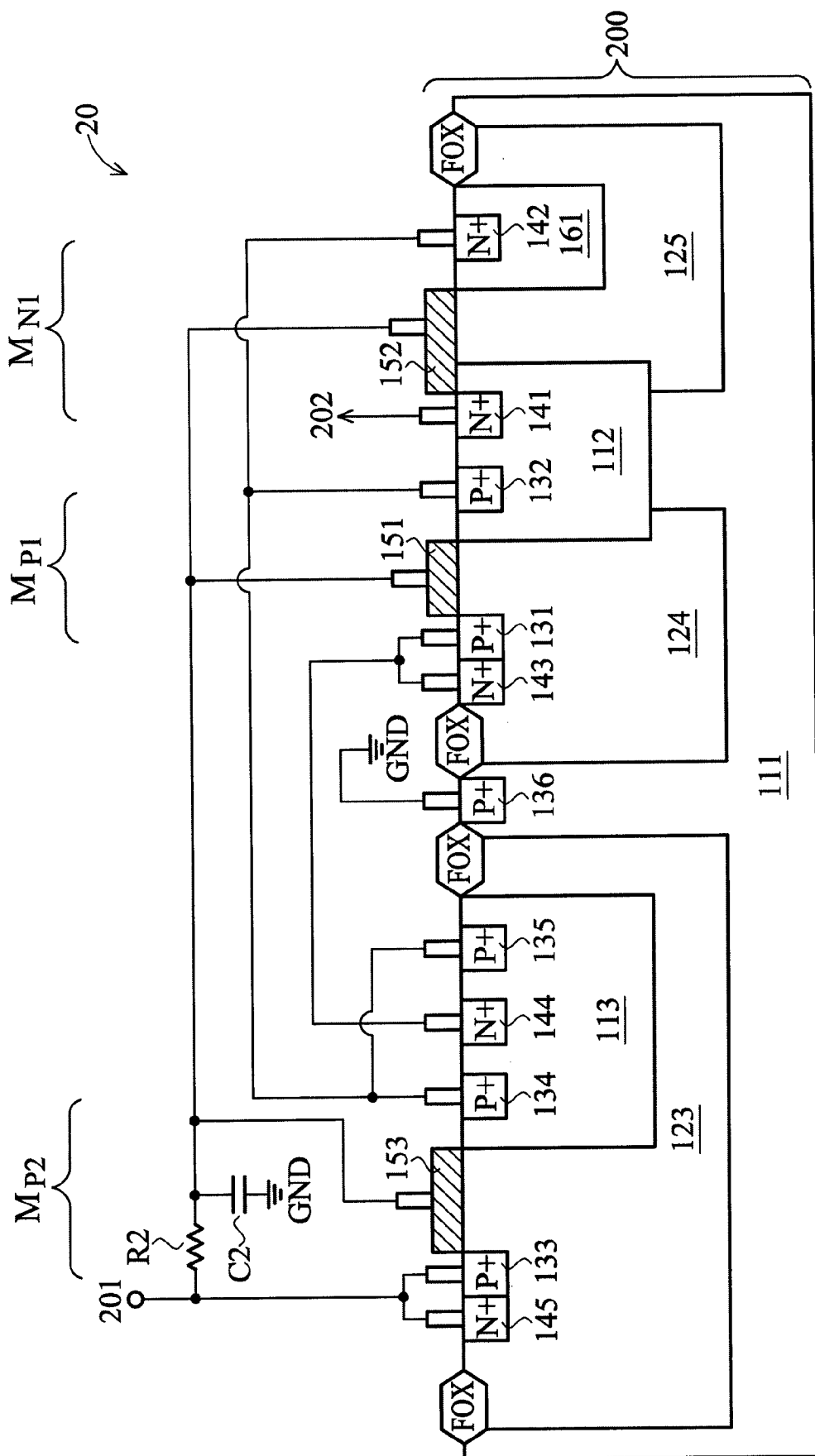


图 2A

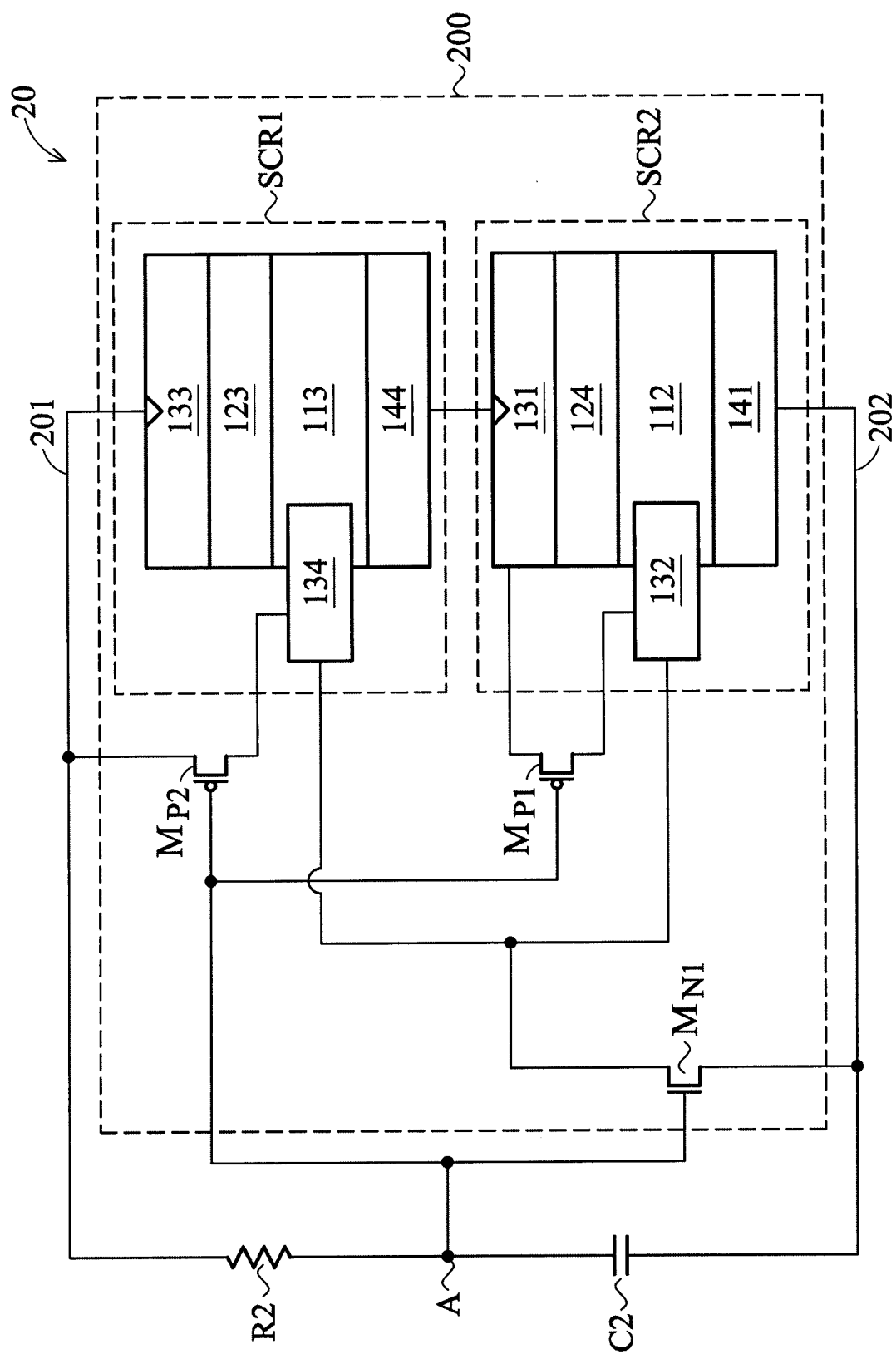


图 2B

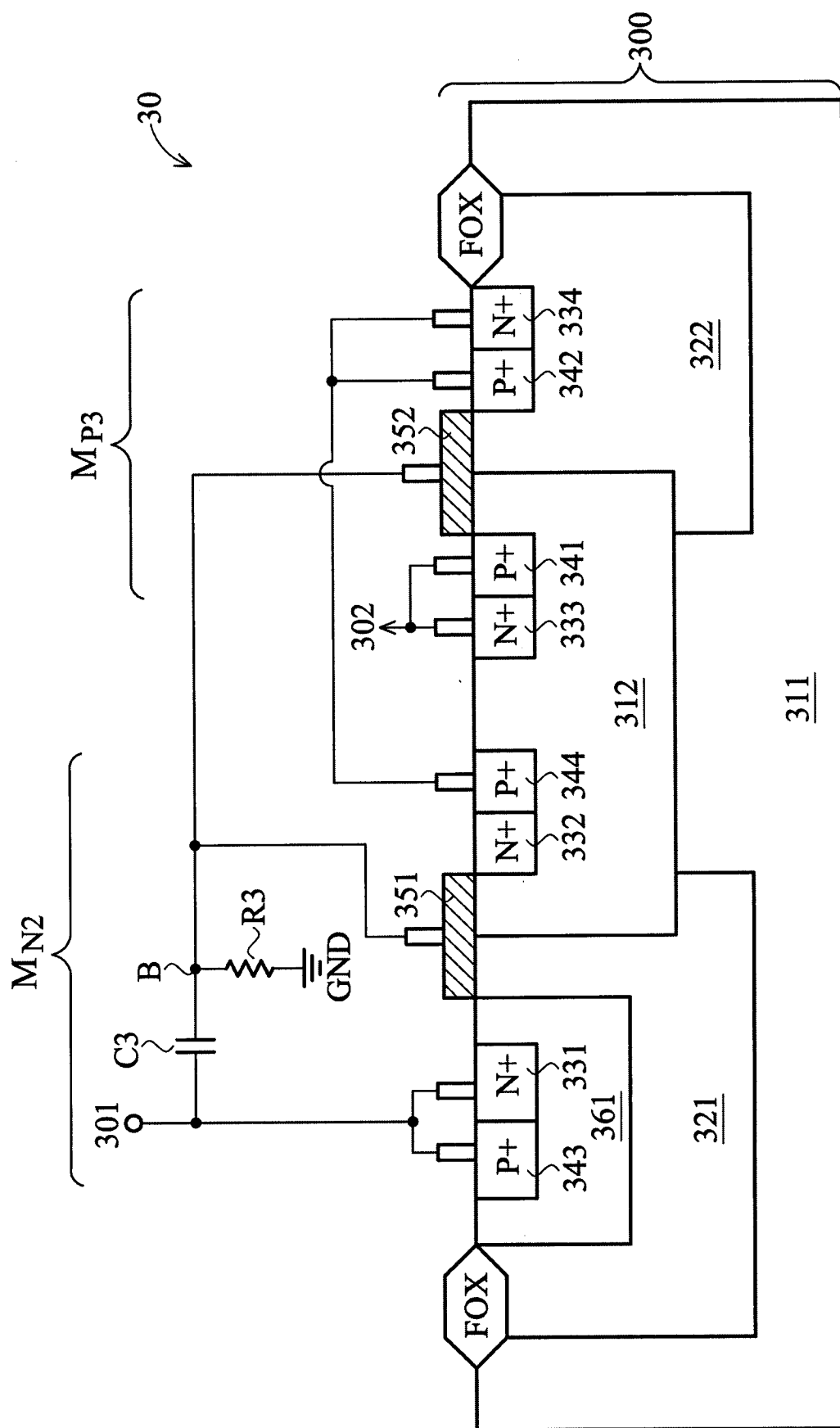


图 3A

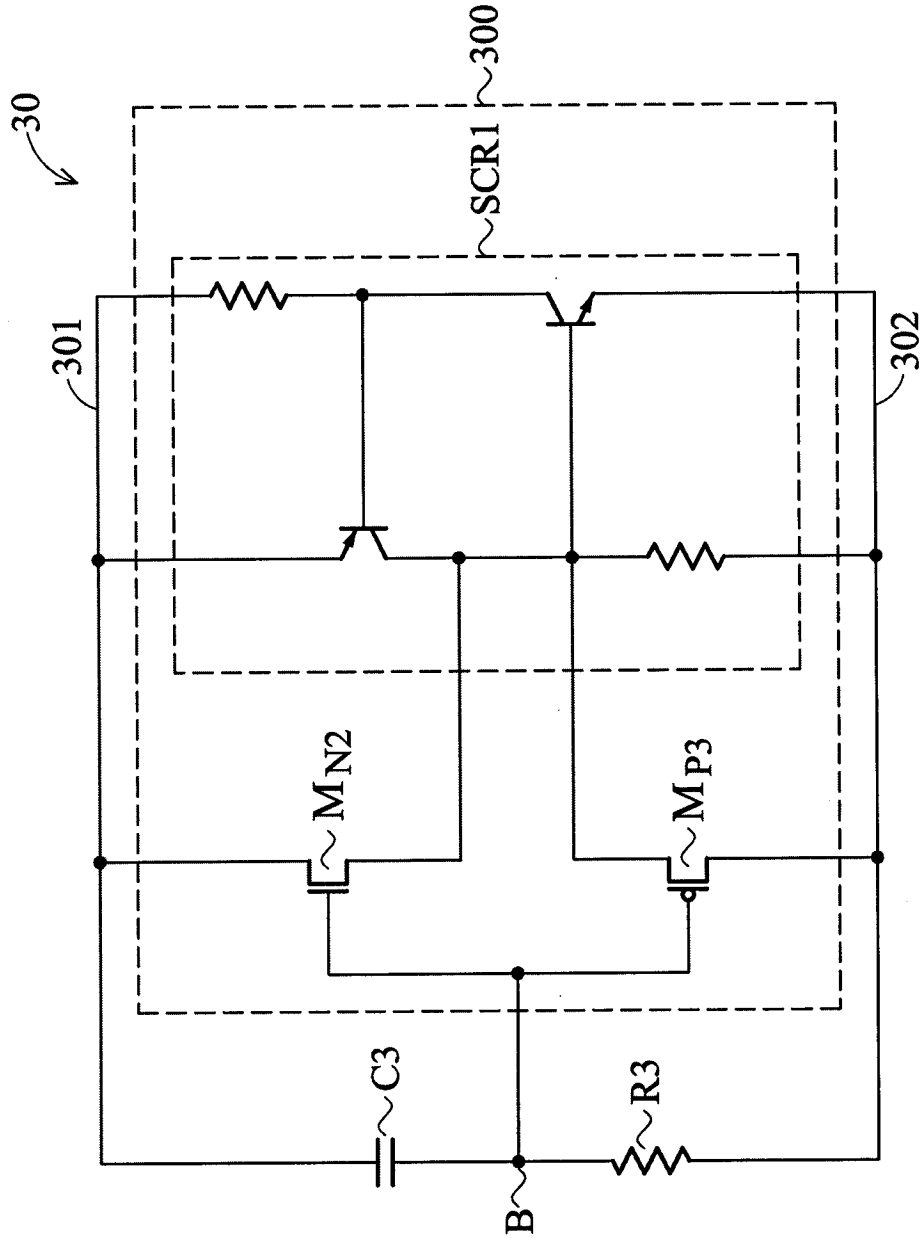


图 3B

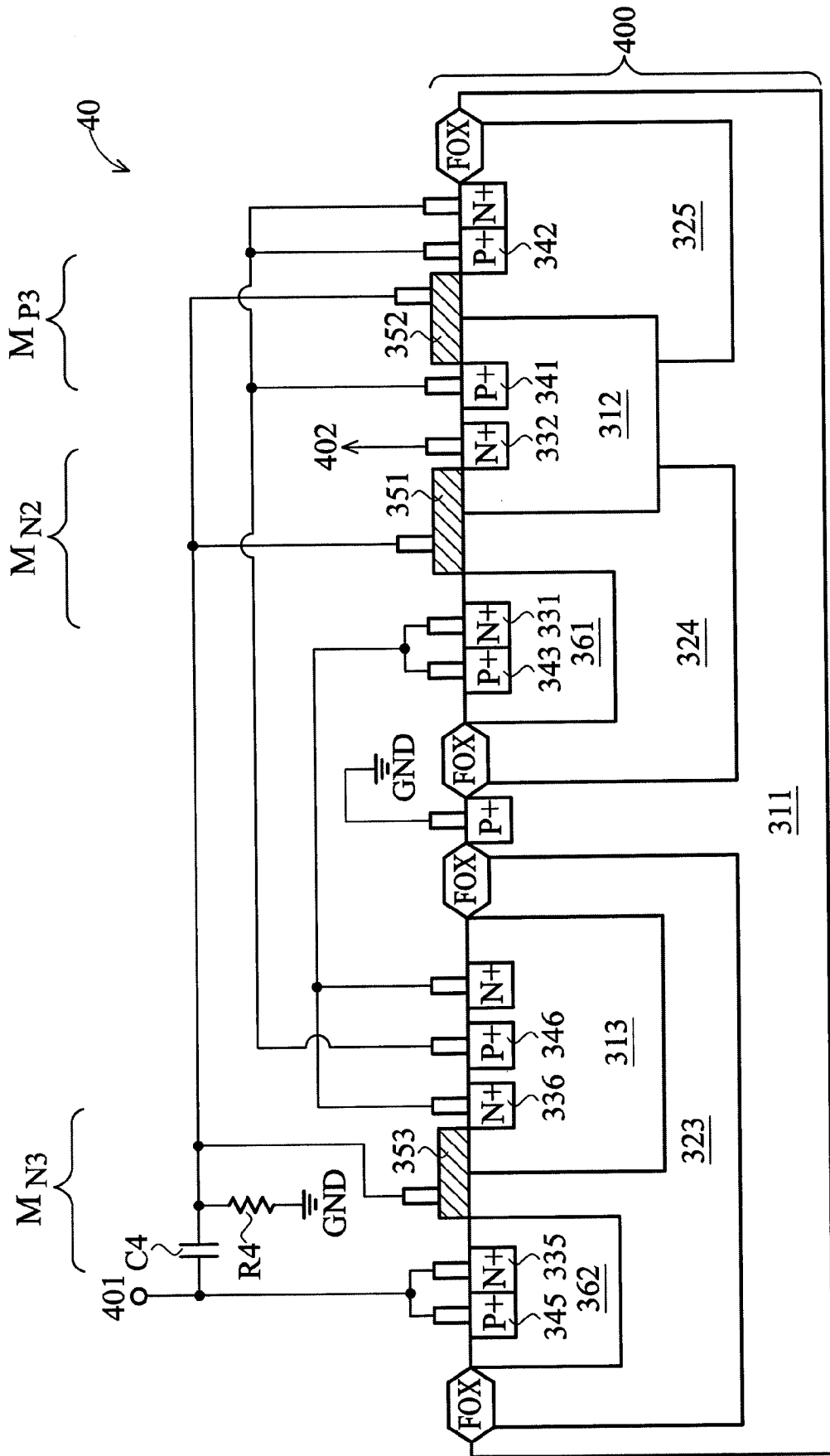


图 4A

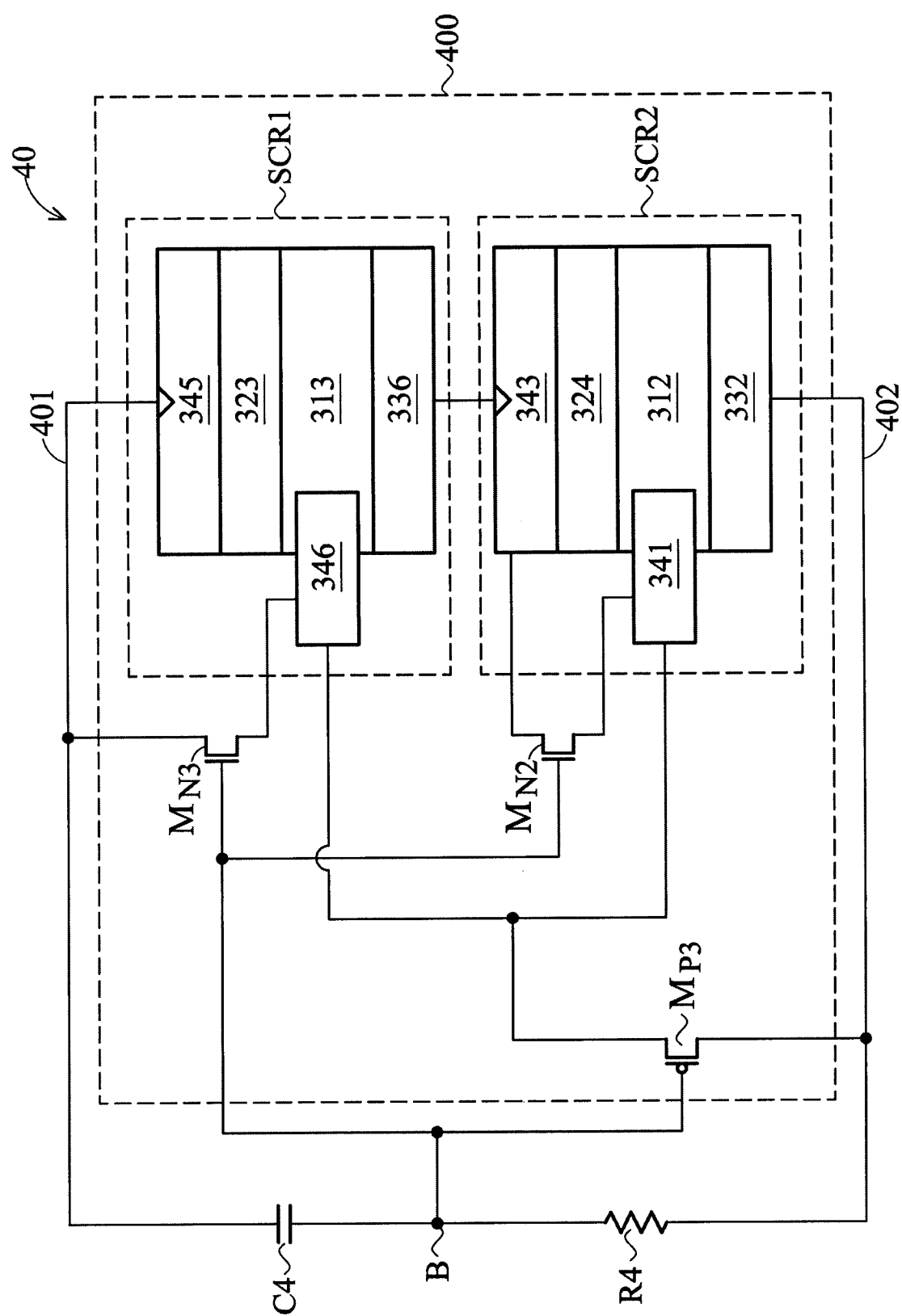


图 4B