



(12) 发明专利

(10) 授权公告号 CN 1476090 B

(45) 授权公告日 2010.05.12

(21) 申请号 03119451.6

US 6015992 A, 2000.01.18, 说明书第3栏第

(22) 申请日 2003.03.12

57行至第6栏第29行及附图3-5.

(30) 优先权数据

审查员 郭强

10/094,814 2002.03.12 US

(73) 专利权人 宇东科技股份有限公司

地址 中国台湾台北市敦化北路207号10楼
之1A

(72) 发明人 张智毅 柯明道 姜信钦

(74) 专利代理机构 北京高默克知识产权代理有
限公司 11263

代理人 刘立天

(51) Int. Cl.

H01L 23/60 (2006.01)

H01L 27/00 (2006.01)

H01L 29/73 (2006.01)

(56) 对比文件

JP 平7-283405 A, 1995.10.27, 说明书第

【0016】段及附图5.

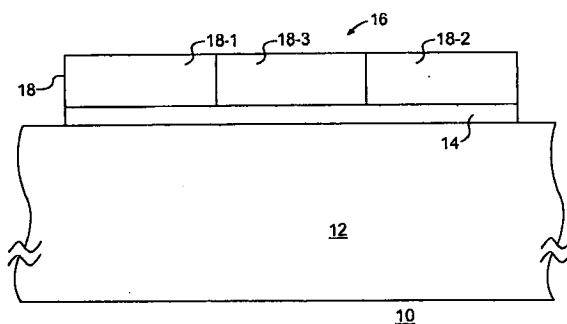
权利要求书2页 说明书7页 附图12页

(54) 发明名称

用于芯片上静电放电保护的双极结晶体管及其方法

(57) 摘要

一种从信号焊盘接收信号的集成电路器件包括:响应来自信号焊盘的信号的至少一个硅双极结晶体管,用于提供静电放电保护;和用于检测来自信号焊盘的信号并给至少一个硅双极结晶体管提供偏置电压的检测电路,其中至少一个硅双极结晶体管包括形成在单个硅层中并与集成电路器件的衬底隔离的发射极、集电极和基极,并且基极耦合到检测电路以接收偏置电压。



1. 一种集成电路器件,包括:

具有与第二绝缘体隔开的第一绝缘体以及设置在第一和第二绝缘体之间的偏置区的衬底;

设置在衬底上的介质层;和

形成在介质层上的硅层,它包括:第一部分、第二部分以及设置在第一和第二部分之间的第三部分,

其中第一部分和第二部分掺杂有相同类型的杂质,第三部分掺杂有不同于第一部分和第二部分的类型的杂质,

其中第一、第二和第三部分形成一个硅双极结晶体管,第一和第二部分是集电极和发射极中的一个,第三部分是硅双极结晶体管的基极,以便给集成电路器件提供静电保护。

2. 根据权利要求1的集成电路器件,其中第一和第二部分是n型部分,第三部分是p型部分。

3. 根据权利要求1的集成电路器件,其中第一和第二部分是p型部分,第三部分是n型部分。

4. 根据权利要求1的集成电路器件,还包括设置在衬底和介质层之间的绝缘层,其中该集成电路器件是绝缘体上硅器件。

5. 根据权利要求1或4的集成电路器件,其中硅层还包括设置在硅层的第二和第三部分之间的第四部分。

6. 根据权利要求5的集成电路器件,其中硅层的第四部分掺杂有具有低于硅层的第一、第二或第三部分中任何一个的掺杂浓度的杂质。

7. 根据权利要求5的集成电路器件,其中硅层的第四部分是未掺杂的。

8. 根据权利要求1的集成电路器件,其中硅双极结晶体管还包括适于接收偏置电压的背栅极,以便控制硅双极结晶体管以提供静电放电保护。

9. 根据权利要求1的集成电路器件,其中硅层的第三部分设置在衬底的偏置区上,以便接收从偏置区耦合的偏置电压。

10. 根据权利要求1的集成电路器件,其中衬底还包括用于接收偏置电压以使偏置区偏置的偏置焊盘,其中偏置焊盘与第一和第二绝缘体邻接。

11. 根据权利要求5的集成电路器件,其中硅层的第三和第四部分设置在衬底的偏置区上,用于接收从偏置区耦合的偏置电压。

12. 根据权利要求5的集成电路器件,其中硅层的第四部分设置在衬底的偏置区上,用于接收从偏置区耦合的偏置电压。

13. 一种从信号焊盘接收信号的集成电路器件,包括:

至少一个硅双极结晶体管,响应来自信号焊盘的信号,用于提供静电放电保护;和检测电路,用于检测来自信号焊盘的信号并给至少一个硅双极结晶体管提供偏置电压,

其中所述硅双极结晶体管包括形成在单个硅层中并与集成电路器件的衬底隔离的发射极、集电极和基极,

其中基极耦合到检测电路以接收偏置电压,

所述的衬底具有与第二绝缘体隔开的第一绝缘体以及设置在第一和第二绝

缘体之间的偏置区。

14. 根据权利要求 13 的集成电路器件,其中至少一个硅双极结晶体管还包括背栅极,其中背栅极耦合到检测电路,以便接收偏置电压。

15. 根据权利要求 13 的集成电路器件,还包括设置在基极和发射极与集电极之一之间的第一硅部分。

16. 根据权利要求 15 的集成电路器件,其中第一硅部分掺杂有具有低于硅层的发射极、基极或集电极中任何一个的掺杂浓度的杂质。

17. 根据权利要求 13 的集成电路器件,其中检测电路包括电阻器-电容器电路,该电阻器-电容器电路的延迟常数比来自信号焊盘的信号的持续时间短。

18. 根据权利要求 17 的集成电路器件,其中检测电路还包括并联耦合到电阻器-电容器电路的二极管-电阻器网络。

19. 根据权利要求 17 的集成电路器件,其中检测电路还包括耦合到硅双极结晶体管的基极并与电阻器-电容器电路并联的反相器。

20. 一种用于保护半导体器件不受静电放电影响的方法,包括:

提供衬底,所述的衬底具有与第二绝缘体隔开的第一绝缘体以及设置在第一和第二绝缘体之间的偏置区:

提供设置在衬底上的介质层;

提供在介质层上的硅层中形成的硅双极结晶体管;

偏置硅双极结晶体管以提供静电放电保护。

21. 根据权利要求 20 的方法,还包括提供在衬底和介质层之间的绝缘层的步骤,其中集成电路器件是绝缘体上硅器件。

22. 根据权利要求 20 的方法,还包括以下步骤:在硅双极结晶体管中提供背栅极,以便接收偏置电压,从而控制硅双极结晶体管以提供静电放电保护。

23. 根据权利要求 20 的方法,还包括以下步骤:提供用于检测静电放电信号和给硅双极结晶体管提供偏置电压的检测电路。

用于芯片上静电放电保护的双极晶体管及其方法

发明领域

[0001] 本发明一般涉及半导体器件,特别涉及用于静电放电保护的硅双极晶体管及其方法。

背景技术

[0002] 半导体集成电路(IC)一般对静电放电(ESD)事件敏感,这可能导致损伤或破坏IC。ESD事件指的是在给IC提供大量电流的短时间内电流(正的或负的)的放电现象。高电流可以由各种源(如人体)产生。为保护IC不受ESD事件的影响,已经实施了很多方案,如在射频(RF)应用中的二极管或二极管耦合晶体管。

[0003] 在RF应用中,芯片上ESD电路应该提供坚固的ESD保护,同时呈现最小的寄生输入电容和低电压相关性。在利用浅沟槽隔离(STI)的深亚微米互补金属氧化物半导体(CMOS)工艺中,采用二极管用于ESD保护。二极管形成得与半导体衬底中的 N^+ 或 P^+ 扩散区邻接。图1A表示形成在IC中的公知二极管ESD保护结构的剖视图。参见图1A, P^+ 扩散区由每侧上的STI界定,因此该二极管还公知为STI界定二极管。然而,已经发现STI界定二极管由于 P^+ 扩散区的硅化物层(未示出)和 P^+ 区周围的STI之间的干扰而具有相当大的漏电流。

[0004] 图1B表示被引入以解决与STI界定二极管相关的漏电流问题的公知多晶硅界定二极管的剖视图。多晶硅界定二极管中的 P^+ 扩散区由多晶硅栅极限定,因此消除了由STI的边缘产生的漏电流。然而,多晶硅界定二极管的总寄生电容比STI界定二极管的大,这是由于附加的侧壁结电容造成的。

[0005] 图2是表示采用双-二极管结构的公知ESD保护方案的电路图。参见图2,双-二极管结构和 $V_{DD}-V_{SS}$ ESD箝位电路的组合提供用于ESD电流2对地放电的通路,防止ESD电流2通过内部电路。当把ESD电流2提供给信号焊盘PAD1,并且信号焊盘PAD2耦合到相对地(relative ground)时,ESD电流2通过二极管Dp1导通到 V_{DD} 。ESD电流2通过 $V_{DD}-V_{SS}$ ESD箝位电路放电到 V_{SS} ,并从二极管Dn2到焊盘PAD2流出IC之外。二极管Dp1具有电容Cp1,二极管Dn1具有电容Cn1。图2中所示电路的总输入电容Cm主要来源于二极管的寄生结电容,并且如下计算:

[0006] $C_{in} = C_{p1} + C_{n1}$

[0007] 其中Cp1和Cn1分别是二极管Dp1和Dn1的寄生结电容。

[0008] 此外,还采用硅控整流器(SCR)用于芯片上ESD保护。SCR的特征是在非外延体CMOS工艺中其电压保持在约1V的能力。另外,SCR可以维持高电流并把SCR两端的电压保持在低电平,并且可以用于对与ESD事件相关的高电流放电进行旁路。然而,常规SCR器件具有大于亚微米CMOS工艺中的30V的开关电压,因此不适合在亚微米CMOS技术中保护栅极氧化物。

[0009] 图3是授予Rountre、名称为“静电放电保护电路”的美国专利US5012317的图3的再现。Rountre描述了由 P^+ 型区48、N型阱46、P型层44、和 N^+ 区52构成的横向SCR结

构。根据 Rountre, 与 ESD 事件相关的正电流流经区 48 并对阱 46 和层 4 之间的 PN 结产生雪崩效应。该电流从层 44 穿过 PN 结流到区 52 并最后到达地以保护 IC 不受 ESD 事件的影响。但是, 这个公知 SCR 结构的缺点是容易被衬底噪声意外触发。

[0010] 此外, SCR 器件 (如图 3 中所示的器件) 的 p-n-p-n 通路在利用硅上绝缘体 (SOI) CMOS 技术形成的 IC 中被绝缘层和浅沟槽隔离 (STI) 阻挡。相应地, 已经提出了在 SOI CMOS 技术基础上的集成电路中的 SCR 器件。图 4 是授予 Chatterjee、名称为“用于硅上绝缘体集成电路的 ESD 保护的双稳态 SCR 型开关”的美国专利 US6015992 的图 4 的再现。Chatterjee 描述了由第一晶体管 42 和第二晶体管 44 提供的“SCR 型开关”, 其中第一晶体管 42 和第二晶体管 44 被绝缘区 60 互相分开。双稳态 SCR 型器件具有用以电连接分离的晶体管的两个附加线 62、64。

[0011] 图 5 是授予本发明的发明人之一 Ker 的美国专利 US5754381 (‘381 专利) 的图 8B 的再现。该 ‘381 专利的名称为“利用高电流触发横向 SCR 的输出 ESD 保护”, 并描述了修改的 PMOS 触发器横向 SCR (PTLSCR) 结构和 NMOS 触发器横向 SCR (NTLSCR) 结构。该 ‘381 专利介绍了通过添加寄生结二极管 Dp2 修改的 NTLSCR 44。该 ‘381 专利描述了修改的 PTLSCR 或 NTLSCR 结构可以防止 SCR 被衬底噪声电流触发, 由此防止器件被闩锁。

发明内容

[0012] 根据本发明, 提供一种集成电路器件, 它包括衬底、设置在衬底上的介质层、和形成在介质层上的硅层, 该硅层包括第一部分、第二部分以及设置在第一和第二部分之间的第三部分, 其中第一和第二部分掺杂有相同类型的杂质, 第三部分掺杂有不同于第一和第二部分的类型的杂质, 并且第一、第二和第三部分形成一个硅双极结晶体管, 第一和第二部分是集电极和发射极中的一个, 第三部分是硅双极结晶体管的基极, 以便对集成电路器件提供静电放电保护。

[0013] 在一个方案中, 集成电路器件还包括设置在衬底和介质层之间的绝缘层, 其中该集成电路器件是硅上绝缘体器件。

[0014] 在另一方案中, 硅层包括设置在硅层的第二和第三部分之间的第四部分。

[0015] 在又一方案中, 硅双极结晶体管包括适于接收偏置电压的背栅极 (back-gate), 以便控制硅双极结晶体管来提供静电放电保护。

[0016] 根据本发明, 提供一种集成电路器件, 包括具有与第二绝缘体隔开的第一绝缘体以及设置在第一和第二绝缘区之间的偏置区的衬底、设置在衬底上的介质层、和形成在介质层上的硅层, 硅层包括第一部分、第二部分以及设置在第一和第二部分之间的第三部分, 其中第一和第二部分掺杂有相同类型的杂质, 第三部分掺杂有不同于第一和第二部分的类型的杂质, 并且第一、第二和第三部分形成一个硅双极结晶体管, 第一和第二部分是集电极和发射极中的一个, 第三部分是硅双极结晶体管的基极, 以便对集成电路器件提供静电放电保护。

[0017] 在一个方案中, 硅层的第三部分设置在衬底的偏置区上面, 以便接收从偏置区耦合的偏置电压。

[0018] 在另一方案中, 衬底包括用于接收偏置电压以使偏置区偏置的偏置焊盘 (biasing pad), 其中偏置焊盘与第一和第二绝缘体之一邻接。

[0019] 在又一方案中,硅层的第三部分和第四部分设置在衬底的偏置区上面,用于接收从偏置区耦合的偏置电压。

[0020] 又根据本发明,提供一种接收来自信号焊盘的信号的集成电路器件,它包括响应来自信号焊盘的信号用于提供静电放电保护的至少一个硅双极结晶体管、和用于检测来自信号焊盘的信号并给至少一个硅双极结晶体管提供偏置电压的检测电路,其中至少一个硅双极结晶体管包括形成在单个硅层中并与集成电路器件的衬底隔离的发射极、集电极和基极,并且基极耦合到检测电路以接收偏置电压。

[0021] 在一个方案中,至少一个硅双极结晶体管还包括背栅极,其中背栅极耦合到检测电路以接收偏置电压。

[0022] 在另一方案中,检测电路包括具有比来自信号焊盘的信号的持续时间短的延迟常数的电阻器-电容器电路。

[0023] 此外,根据本发明,提供一种保护半导体器件不受静电放电影响的方法,包括:提供衬底、提供设置在衬底上的介质层、提供形成在介质层上的硅层中的硅双极结晶体管、偏置硅双极结晶体管以提供静电放电保护。

[0024] 在一个方案中,该方法还包括在硅双极结晶体管中提供背栅极以接收偏置电压,从而控制硅双极结晶体管以提供静电放电保护。

[0025] 本发明的附加目的和优点将部分体现在下面的文字说明中,部分地可从文字说明中很容易得出,或者可以通过实施本发明而学习到。本发明的目的和优点将通过在所附权利要求书中特别指出的元件和组合来实现。

[0026] 应该理解前述一般性的说明和下面的详细说明都只是示意性的,并不限制本发明。

[0027] 被结合并构成本说明书的一部分的附图示出了本发明的几个实施例,并与文字说明一起用于解释本发明的原理。

[0028] 附图的简要说明

[0029] 图 1A 表示公知 ESD 保护器件的剖视图;

[0030] 图 1B 表示另一公知 ESD 保护器件的剖视图;

[0031] 图 2 是公知 ESD 保护器件的电路图;

[0032] 图 3 是公知硅控整流器的剖视图;

[0033] 图 4 表示另一公知硅控整流器的剖视图;

[0034] 图 5 表示公知硅控整流器结构的剖视图;

[0035] 图 6 是根据本发明一个实施例的硅双极结晶体管的剖视图;

[0036] 图 7 是根据本发明另一个实施例的硅双极结晶体管的剖视图;

[0037] 图 8 是根据本发明一个实施例的硅双极结晶体管的剖视图;

[0038] 图 9 是根据本发明另一个实施例的硅双极结晶体管的剖视图;

[0039] 图 10 是根据本发明一个实施例的硅双极结晶体管的剖视图;

[0040] 图 11 是根据本发明另一个实施例的硅双极结晶体管的剖视图;

[0041] 图 12A-12D 表示用于硅双极结晶体管的电路符号;

[0042] 图 13 是根据本发明的 ESD 保护电路的一个实施例的电路图;

[0043] 图 14 是根据本发明的 ESD 保护电路的另一个实施例的电路图;

[0044] 图 15 是根据本发明的 ESD 保护电路的实施例的电路图。

具体实施方式

[0045] 下面参照附图中的例子详细说明本发明的示意实施例。尽可能地,在附图中相同的参考标记表示相同或相似的部件。

[0046] 根据本发明,提供一种用于芯片上 ESD 保护的硅双极结晶体管 (SBJT)。本发明的 SBJT 与 CMOS、SOI CMOS 和 SiGe CMOS 半导体制造工艺完全兼容。此外,SBJT 可包括在利用 CMOS 或 SiGe CMOS 制造工艺制造的 IC 中的衬底触发结构 (substrate-triggered feature),用于 SBJT 的改进的导通速度和减少的漏电流。SBJT 还可包括在利用 SOI CMOS 制造工艺制造的 IC 中的基极触发结构 (base-triggered feature),以便改变 SBJT 的触发电压。此外,由于 SBJT 与 IC 衬底隔离,因此芯片上 ESD 保护电路被衬底噪声的意外触发被最小化,由此保证 IC 的性能。SBJT 还可以具有比在用 SOI CMOS 制造工艺制造的 IC 中具有相同面积的公知主体 BJT (body BJT) 更大的耐热性,这是因为形成 SBJT 的多晶硅比所述主体厚。因此 SBJT 在 ESD 保护电路设计中还提供更强的灵活性。

[0047] 图 6 是根据本发明一个实施例的硅双极结晶体管的剖视图。根据图 6,集成电路 10 包括衬底 12 和形成在衬底 12 上的介质层 14。衬底 12 可以是能用于在其上形成半导体器件的任意衬底,如硅衬底、SOI 衬底、或者 GaAs 衬底。介质层 14 可以由氮化硅 (Si_3N_4)、二氧化硅 (SiO_2)、或足以把衬底 12 与本发明的 SBJT 电隔离的任何介质材料构成。

[0048] 硅层 16 设置在介质层 14 上,以便形成 SBJT 18。在一个实施例中,硅层 16 是一层多晶硅。SBJT 18 包括第一部分 18-1、第二部分 18-2、以及设置在第一和第二部分 18-1 和 18-2 之间的第三部分 18-3。第一和第二部分 18-1 和 18-2 掺杂有相同类型的杂质。在一个实施例中,第一和第二部分 18-1 和 18-2 是 n 型部分,第三部分 18-3 是 p 型部分。在另一个实施例中,第一和第二部分 18-1 和 18-2 是 p 型部分,第三部分 18-3 是 n 型部分。在每个实施例中,n 型区可以在 CMOS 工艺中在形成 n 型 MOS 源 / 漏区期间形成。同样,p 型区可以在 CMOS 工艺中在形成 p 型 MOS 源 / 漏区期间形成。在另一实施例中,p 型区是用外延工艺制造的 SiGe 区。

[0049] 在工作中,SBJT 18 响应 ESD 信号,以便提供静电放电保护。第一部分 18-1 用做集电极,第二部分 18-2 用做 SBJT 18 的发射极,或者第一部分 18-1 用做发射极,第二部分 18-2 用做 SBJT 18 的集电极。第三部分 18-3 用做 SBJT 的基极。

[0050] 图 7 是根据本发明另一实施例的硅双极结晶体管的剖视图。参见图 7,集成电路 20 包括衬底 22、设置在衬底 22 上的绝缘层 24、以及设置在绝缘层 24 上的介质层 26。衬底 22 可以是能用于在其上形成半导体器件的任意衬底,如硅衬底、SOI 衬底、或者 GaAs 衬底。绝缘层 24 可以是浅沟槽隔离 (STI)。介质层 26 可以由氮化硅 (Si_3N_4)、二氧化硅 (SiO_2)、或足以把衬底 12 与本发明的 SBJT 电隔离的任何介质材料构成。绝缘层 24 实质上比介质层 26 厚。硅层 16 设置在介质层 26 上,以便形成 SBJT 18。在一个实施例中,硅层 28 是一层多晶硅。SBJT 18 包括第一部分 18-1、第二部分 18-2、以及设置在第一和第二部分 18-1 和 18-2 之间的第三部分 18-3。第一和第二部分 18-1 和 18-2 掺杂有相同类型的杂质。在一个实施例中,第一和第二部分 18-1 和 18-2 是 n 型部分,第三部分 18-3 是 p 型部分。在另一个实施例中,第一和第二部分 18-1 和 18-2 是 p 型部分,第三部分 18-3 是 n 型部分。

[0051] 在工作中, SBJT 18 响应 ESD 信号, 以便提供静电放电保护。第一部分 18-1 用做集电极, 第二部分 18-2 用做 SBJT 18 的发射极, 或者第一部分 18-1 用做发射极, 第二部分 18-2 用做 SBJT 18 的集电极。第三部分 18-3 用做 SBJT 的基极。此外, 绝缘层 24 附加地隔离 SBJT 18 与衬底 22, 以便最小化耦合到 SBJT 18 的衬底噪声。

[0052] 图 8 是与图 7 中所示的 SBJT 相似的硅双极晶体管的剖视图。参见图 8, SBJT118 另外还包括设置在第二部分 118-2 和第三部分 118-3 之间的第四部分 118-4。第四部分 118-4 可以是本征的即未掺杂的部分或轻掺杂 p 型或 n 型部分。在另一实施例中, 第四部分 118-4 设置在第一和第二部分 118-1 和 118-3 之间。此外, 本发明的 SBJT 118 可以形成在图 6 中所示的集成电路 10 中, 而没有设置在衬底 12 和介质层 14 之间的绝缘层。

[0053] 在工作中, SBJT118 的第四部分 118-4 用做相邻的 n 型和 p 型区例如第二部分 118-2 和第三部分 118-3 之间的缓冲器, 以便减少 SBJT 118 的漏电流。此外, 第四部分 118-4 增加了 SBJT118 的击穿电压。

[0054] 图 9 表示根据本发明另一实施例的 SBJT 的剖视图。参见图 9, 集成电路 40 包括衬底 42。衬底 42 可以是能用于在其上形成半导体器件的任意衬底, 如硅衬底、SOI 衬底、或者 GaAs 衬底。衬底 42 包括第一绝缘体 46、与第一绝缘体 46 隔开的第二绝缘体 48、以及设置在第一绝缘体和第二绝缘体 48 之间的偏置区 50。衬底 42 还包括与第一绝缘体 46 邻接形成的偏置焊盘 52。

[0055] 集成电路 40 还包括形成在衬底 42 上的介质层 44。介质层 44 可以由氮化硅 (Si_3N_4)、二氧化硅 (SiO_2)、或足以把衬底 12 与本发明的 SBJT 电隔离的任何介质材料构成。硅层 16 设置在介质层 44 上, 以便形成 SBJT18。在一个实施例中, 硅层 16 是一层多晶硅。SBJT 18 包括第一部分 18-1、第二部分 18-2、以及设置在第一和第二部分 18-1 和 18-2 之间的第三部分 18-3。参见图 9, 第三部分 18-3 设置在偏置区 50 上。第一和第二部分 18-1 和 18-2 掺杂有相同类型的杂质。在一个实施例中, 第一和第二部分 18-1 和 18-2 是 n 型部分, 第三部分 18-3 是 p 型部分。在另一个实施例中, 第一和第二部分 18-1 和 18-2 是 p 型部分, 第三部分 18-3 是 n 型部分。

[0056] 在工作中, SBJT 18 响应 ESD 信号, 以便提供静电放电保护。第一部分 18-1 用做集电极, 第二部分 18-2 用做 SBJT 18 的发射极, 或者第一部分 18-1 用做发射极, 第二部分 18-2 用做 SBJT 18 的集电极。第三部分 18-3 用做 SBJT 18 的基极并设置在偏置区 50 上。在一个实施例中, 集成电路 40 是基于 CMOS 或 SiGe CMOS 技术制造的, 当电压施加于偏置焊盘 56 以使偏置区 50 偏置时, 可以偏置衬底 42。然后偏置 SBJT 18 的基极 18-3, 以便提高 SBJT 18 的导通速度和减少漏电流。因此, 通过控制在 SBJT 18 下面的区域的偏置条件, 可以控制 SBJT 18 的漏电流和导通电压。因此 SBJT 18 在集成电路 40 的正常工作条件下维持低水平漏电流, 并且可以在 ESD 事件下快速触发。在另一实施例中, 集成电路 40 是基于 SOI CMOS 技术制造的, 当电压施加于偏置焊盘 52 以使偏置区 50 偏置时, 可以偏置衬底 42。然后偏置 SBJT 18 的基极 18-3, 以便改变 SBJT18 的导通电压和提高 SBJT 18 的坚固性以用于 ESD 保护。

[0057] 图 10 表示根据本发明另一实施例的 SBJT 的剖视图。图 10 中所示的 SBJT 118 与图 8 中所示的相同。参见图 10, SBJT 118 的第三和第四部分 118-3 和 118-4 设置在偏置区 54 上。因此, 当偏置集成电路 60 的衬底 42 时, 第三和第四部分 118-3 和 118-4 被偏置, 以

便改善 SBJT118 的性能。在另一实施例中,只有 SBJT 118 的第四部分 118-4 设置在偏置区 54 上,因此在偏置集成电路 60 的衬底 42 时,只偏置第四部分 118-4。

[0058] 图 11 是根据本发明另一实施例的 SBJT 的剖视图。图 11 中所示的集成电路 70 与图 10 的集成电路 60 基本相同,不同之处是偏置区 54 形成在衬底 72 中的阱 74 内。在一个实施例中,衬底 72 是 p 型衬底,阱 74 是 n 阱。偏置焊盘 52 用 n 型杂质重掺杂,或者是 n^+ 区。在另一实施例中,衬底 72 是 n 型衬底,阱 74 是 p 阱。偏置焊盘 52 用 p 型杂质重掺杂,或者是 p^+ 区。

[0059] 图 12 表示 SBJT 的电路符号。图 12A 和 12B 表示没有任何偏置结构的两种类型 SBJT,图 12C 和 12D 表示具有偏置结构的两种类型 SBJT。没有偏置结构的 SBJT 包括三个端子,即集电极、基极和发射极。具有偏置结构的 SBJT 另外还包括第四端子,即“背栅极”。

[0060] 通常,本发明的 SBJT 的集电极和发射极端子的每一个耦合到一个键合焊盘上,其中一个键合焊盘从另一个键合焊盘相对接地。在 ESD 事件期间,ESD 电流在任一个键合焊盘接收, SBJT 可以进入击穿模式或旁路两个键合焊盘之间的 ESD 电流。此外,可以通过将基极端子连接到发射极端子把 SBJT 进行二极管耦合 (diode-coupled)。基极端子还可以耦合到地。

[0061] 因此,本发明还包括用于保护半导体器件不受静电放电影响的方法。该方法通过包括至少一个 SBJT 的半导体电路给半导体器件提供信号,以便保护半导体器件不受静电放电影响。SBJT 的衬底可以被偏置以改善 SBJT 的性能。同样,本发明还包括用于保护芯片上绝缘体 (SOI) 半导体器件不受静电放电影响的方法。该方法通过包括至少一个 SBJT 的芯片上绝缘体电路给该器件提供信号,以便保护半导体器件不受静电放电影响。SBJT 的基极还可以被偏置以改善 SOI 器件中的 SBJT 的性能。

[0062] 图 13 是具有本发明的 SBJT 的 ESD 保护电路的一个实施例的电路图。参见图 13,集成电路 80 包括本发明的 SBJT 82、第一键合焊盘 84、第二键合焊盘 86、以及 ESD 检测电路 88。集成电路 80 从焊盘 84 和 86 中的任何一个接收信号。SBJT 82 包括耦合到键合焊盘 84 的集电极 82-1、耦合到键合焊盘 86 的发射极 82-2、以及基极 82-3。此外, SBJT 82 可包括背栅极 (未示出)。SBJT 82 响应来自焊盘 84 和 86 的信号以提供静电放电保护。SBJT 82 的基极 82-3 耦合到 ESD 检测电路 88。在一个实施例中,基极 82-3 和背栅极耦合到 ESD 检测电路 88 上。在另一实施例中,只有背栅极耦合到 ESD 检测电路 88。

[0063] 检测电路 88 包括电阻器 - 电容器 (R-C) 电路,即电容器 90 和电阻器 92。电阻器 - 电容器电路与 SBJT 82 并联耦合。

[0064] 参见图 13,电容器 90 耦合到键合焊盘 84,电阻器 92 耦合到键合焊盘 86。检测电路 88 检测来自键合焊盘 84 的 ESD 信号,并且一部分信号电压被电容器 90 耦合到电容器 90 和电阻器 92 之间的节点 A。然后耦合电压作为偏置电压提供给 SBJT 82,以便减小 SBJT 82 的触发电压,因此提高了 SBJT 82 的导通速度。键合焊盘 86 相对于键合焊盘 84 耦合到地 (例如 VSS), ESD 信号从键合焊盘 84 流到键合焊盘 86。在一个实施例中,电容器 90 耦合到键合焊盘 86,电阻器 92 耦合到键合焊盘 84。这个实施例提供 ESD 保护,其中 ESD 信号在键合焊盘 86 被接收。

[0065] 图 14 是根据本发明的 ESD 保护电路的另一实施例的电路图。参见图 14,集成电路 100 基本上与图 3 中所示的集成电路 80 相同,不同之处是 ESD 保护电路 188 附加地包括反

相器 102。ESD 保护电路 188 必须将 ESD 信号与正常工作信号区别开来。这样,ESD 保护电路 188 的延迟常数应该比静电信号的持续时间长,但比正常工作信号的持续时间短。优选地,ESD 检测电路 188 的时间常数应该在约 0.1 μ S 到 2nS 之间,最好为 1.5 μ S。

[0066] SBJT 82 的基极 82-3 耦合到反相器 102。在一个实施例中, SBJT 82 的基极 82-3 和背栅极(未示出)耦合到反相器 102。在另一实施例中,只有背栅极耦合到反相器 102。利用上述延迟常数,在 ESD 事件中,电阻器 92 和电容器 90 之间的节点 B 处于低电压,触发反相器 102 以给 SBJT 82 提供偏置电压,由此提供 ESD 保护。在正常工作中,节点 B 处于高电压,保持反相器 102 的输出信号为低。

[0067] 图 15 是根据本发明的 ESD 保护电路的另一实施例的电路图。参见图 15,集成电路 110 与图 13 中所示的集成电路 80 基本上相同,不同之处是 ESD 检测电路 288 附加地包括并联耦合到 R-C 电路的二极管 112 和电阻器 114。键合焊盘 84 耦合到 SBJT 82 的集电极 82-1、二极管 112 和电容器 90,键合焊盘 86 耦合到 SBJT 82 的发射极 82-2 和电阻器 114 和 92。SBJT 82 的基极 82-3 耦合到二极管 112 和电阻器 114 之间的节点 C, SBJT82 的背栅极 82-4 耦合到电容器 90 和电阻器 92 之间的节点 D。键合焊盘 86 相对于键合焊盘 84 耦合到地,例如 VSS。在 ESD 事件中,键合焊盘 84 接收 ESD 信号,二极管 112 以击穿模式工作,一部分击穿电流提供给电阻器 114,由此提高了节点 C 的电位。这个电位被提供给 SBJT 82 的基极 82-3,以便触发 SBJT 82。在一个实施例中,ESD 检测电路 288 在没有电阻器 114 的情况下工作。

[0068] 对于本领域技术人员来说,本发明的其它实施例可以从说明书中和这里公开的本发明的实施而得到。说明书和例子只是示意性的,本发明的实际范围和精神由所附权利要求书表示。

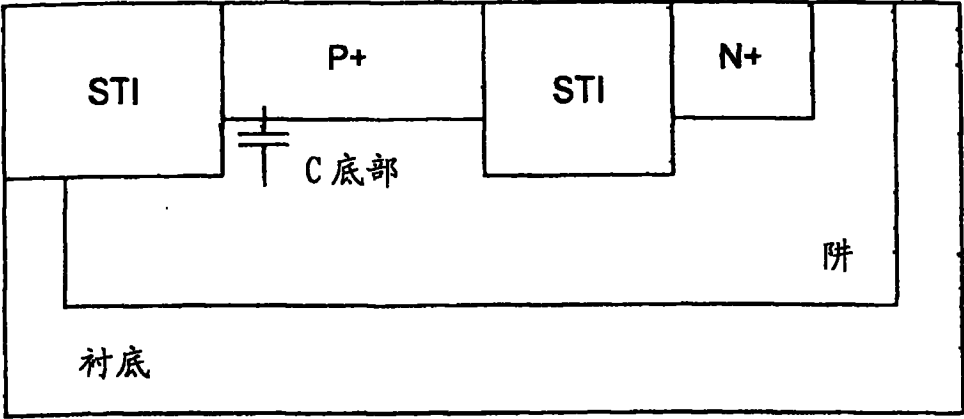


图 1A 现有技术

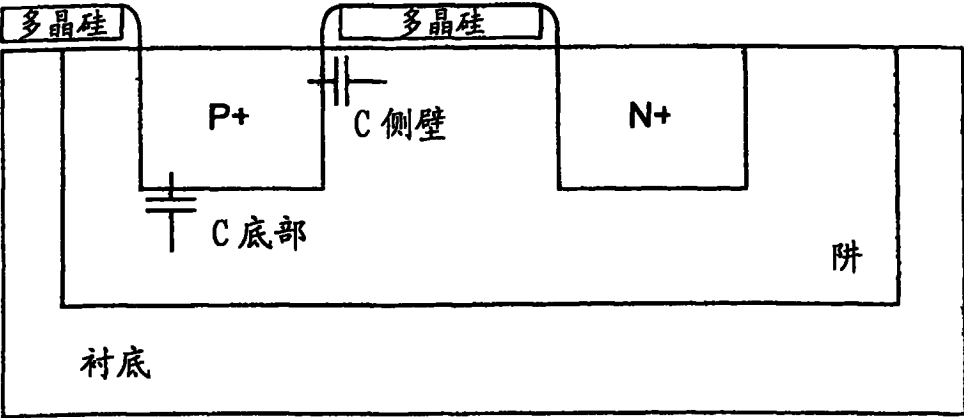


图 1B 现有技术

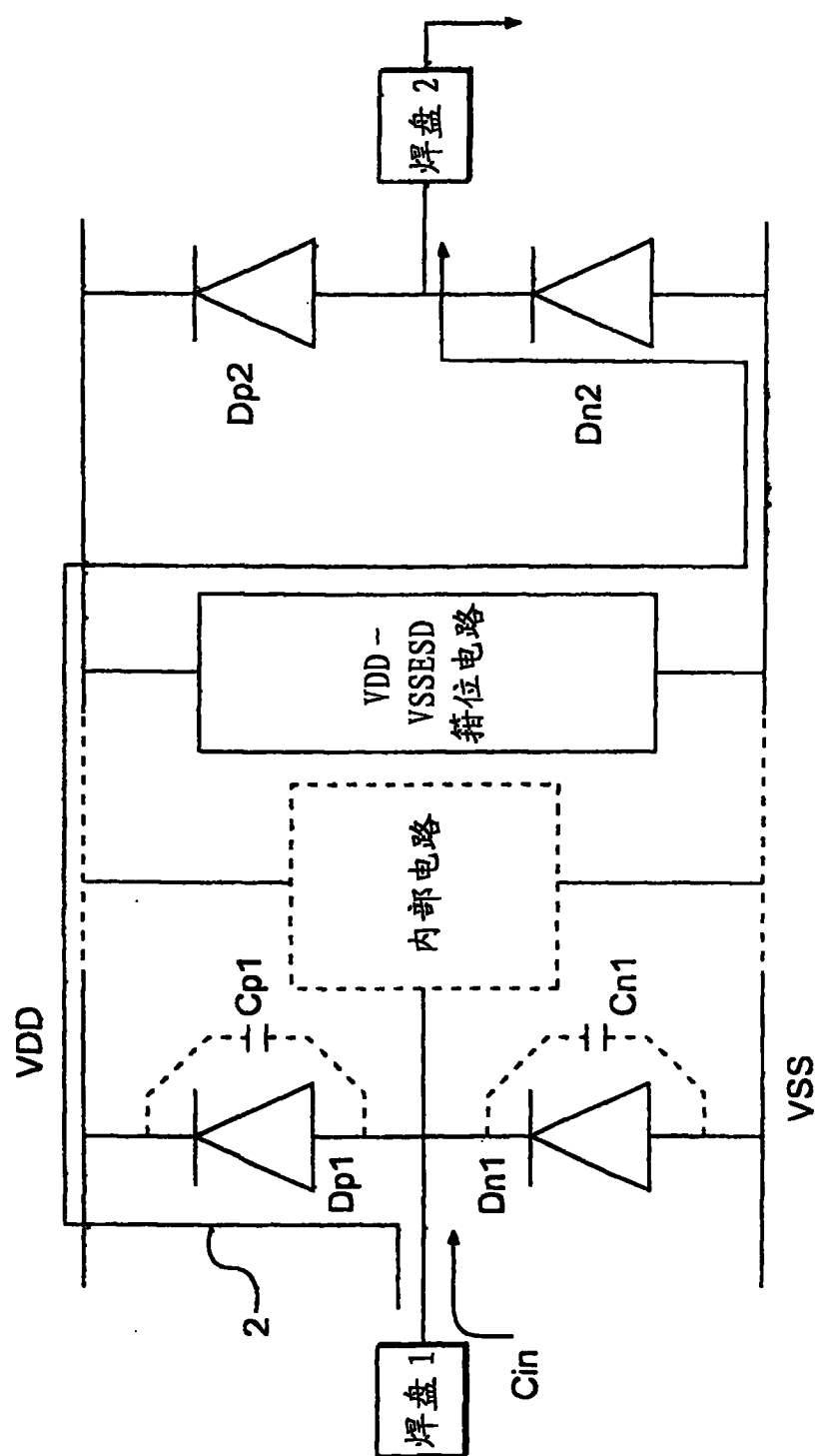


图 2 现有技术

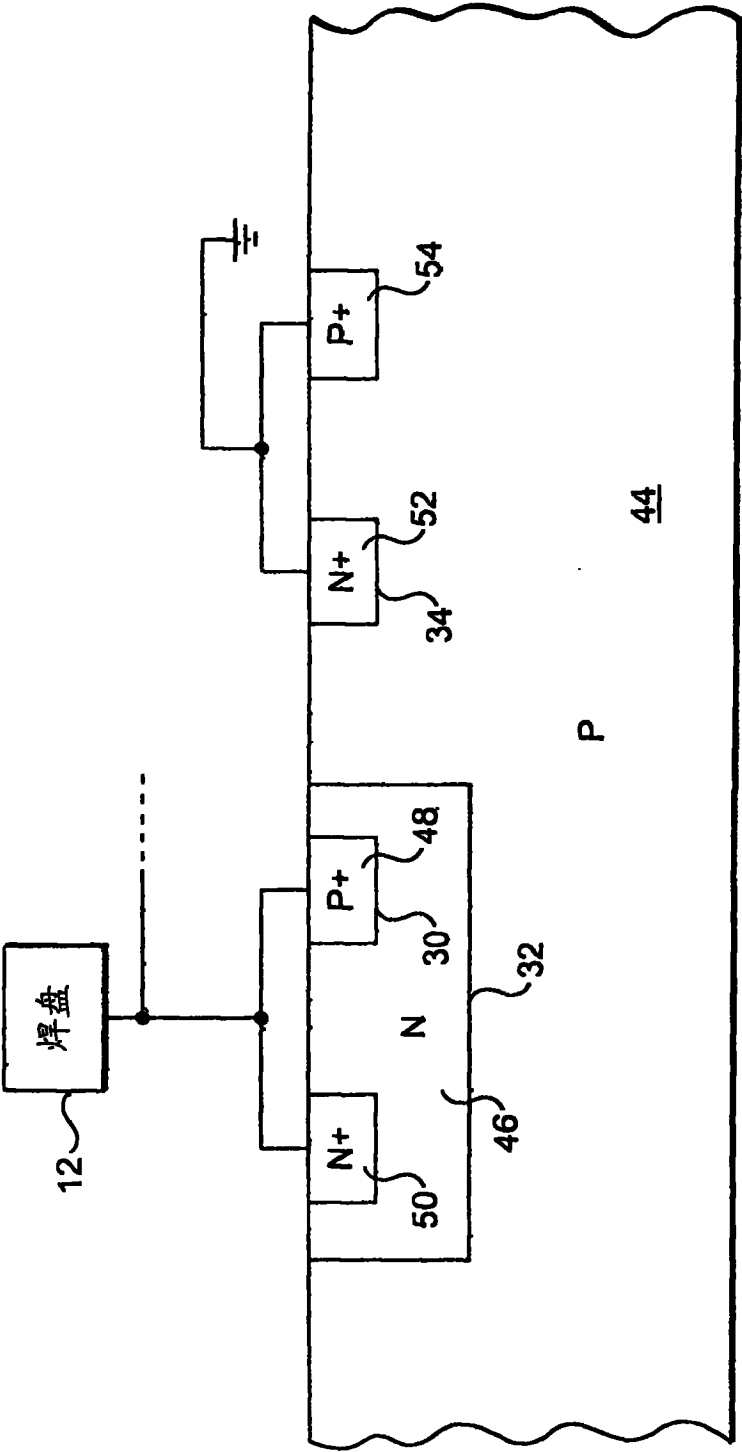


图 3 现有技术

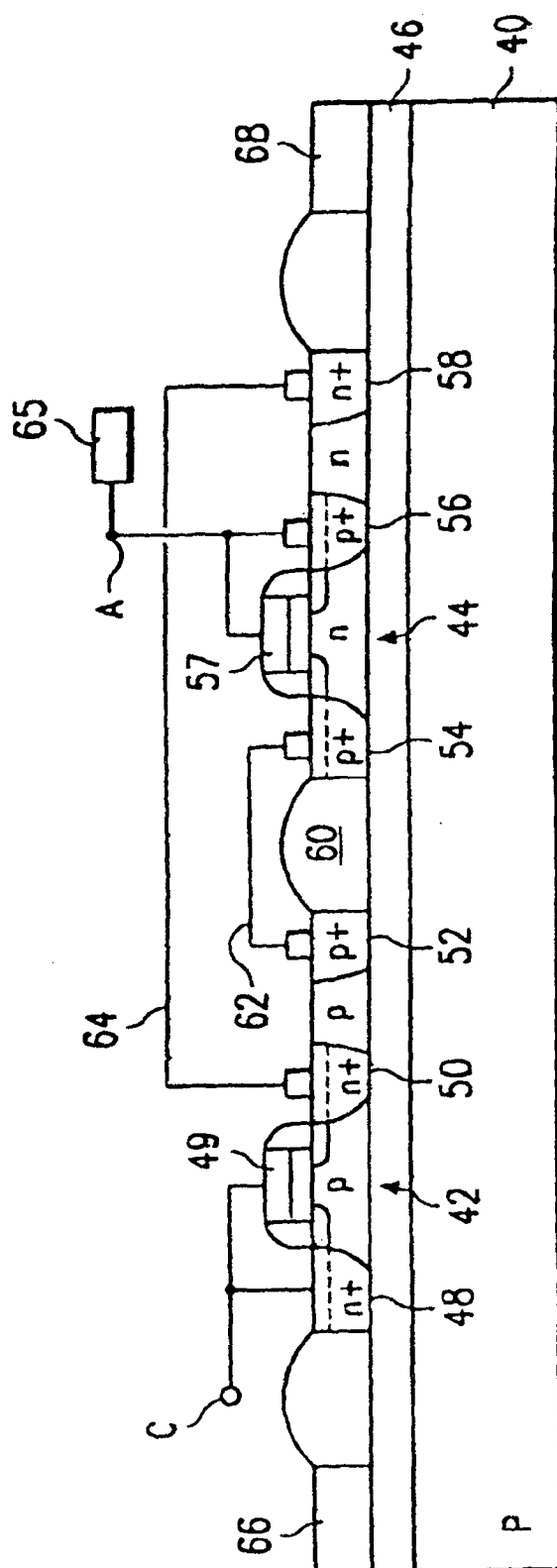


图 4 现有技术

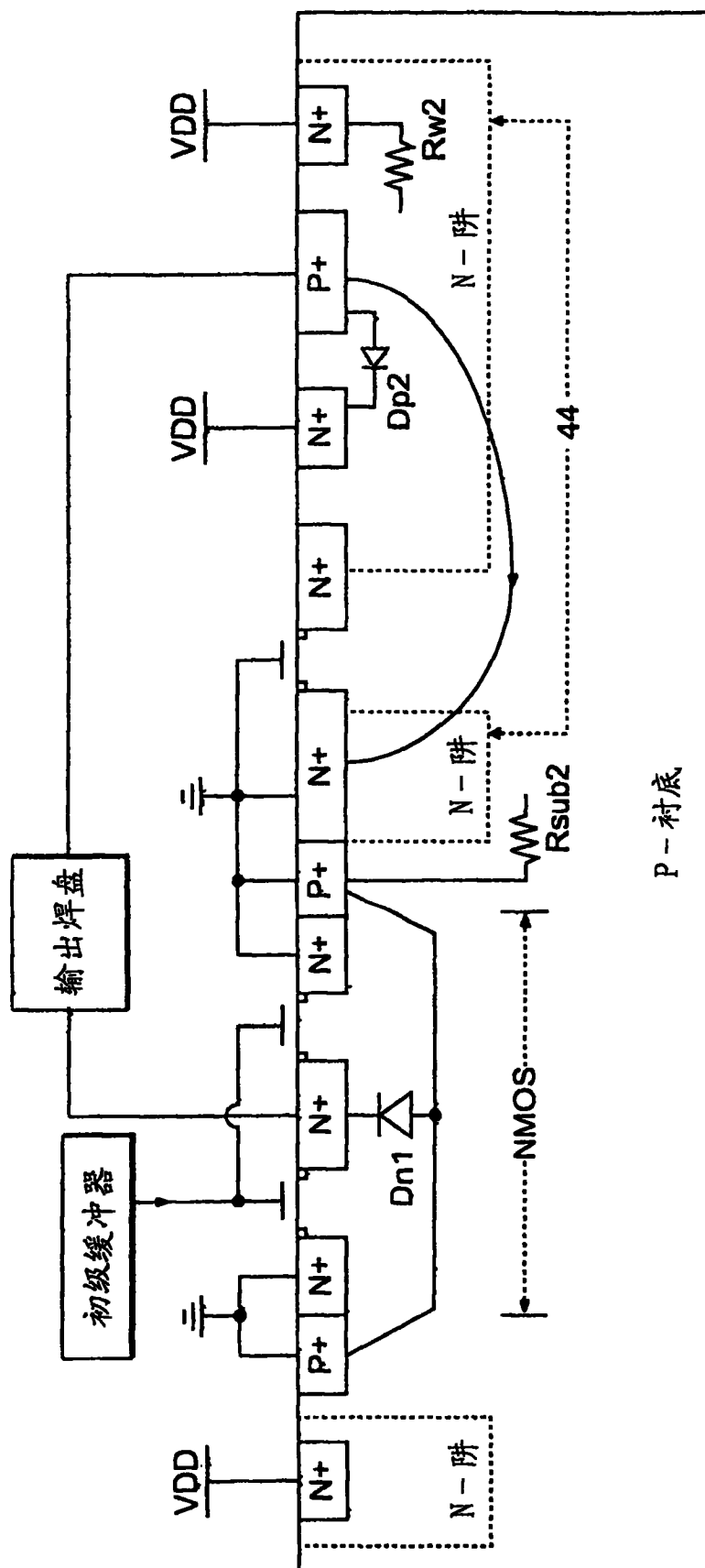


图 5 现有技术

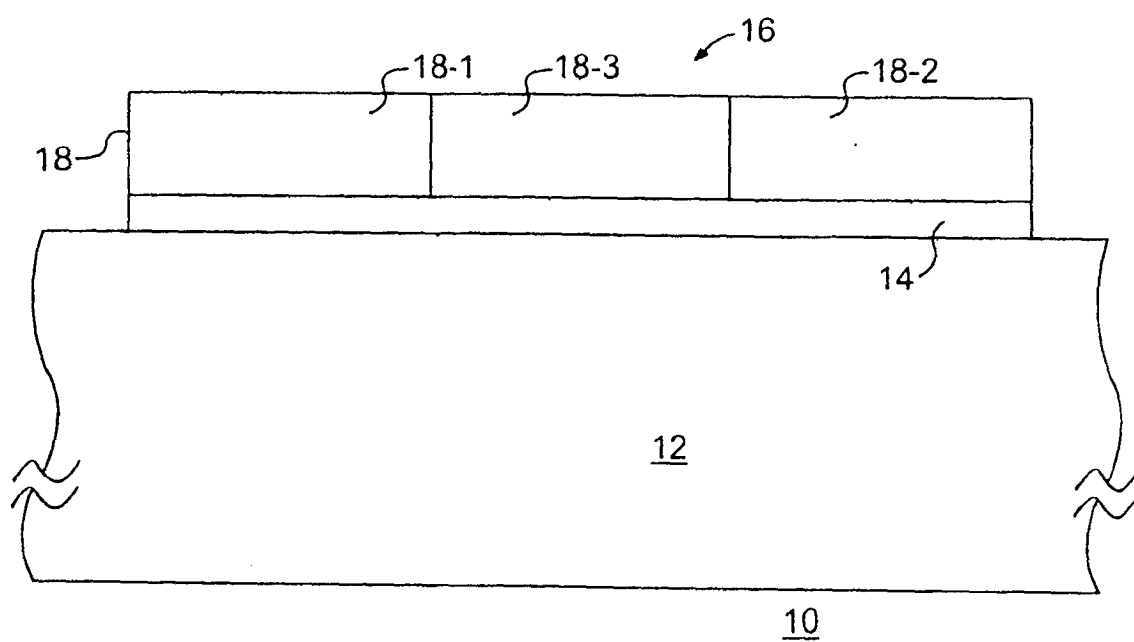


图 6

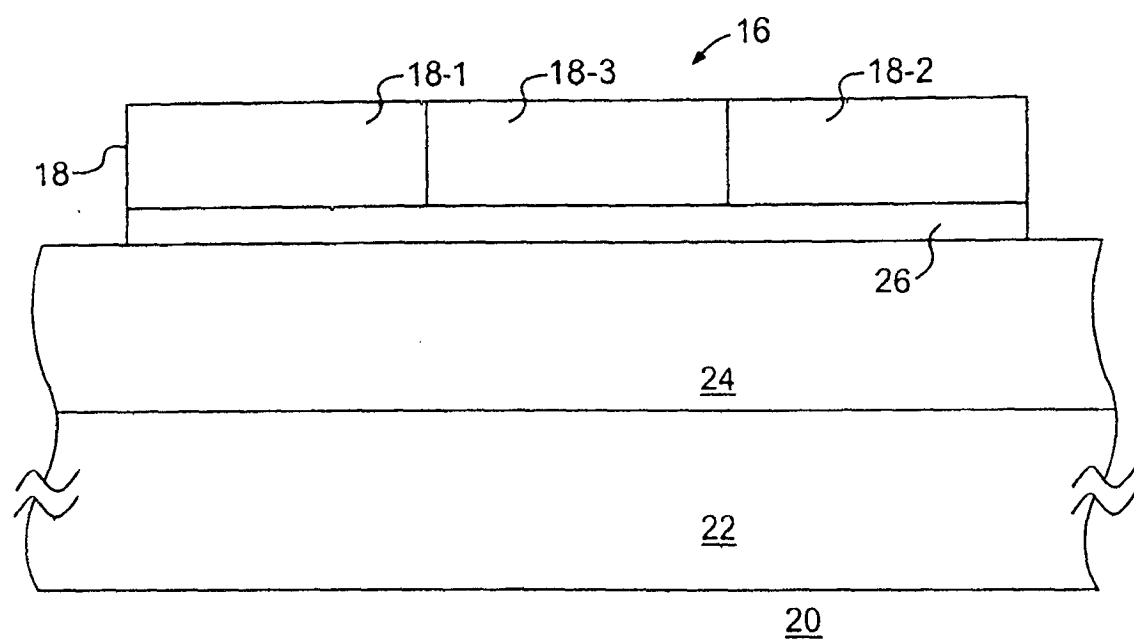


图 7

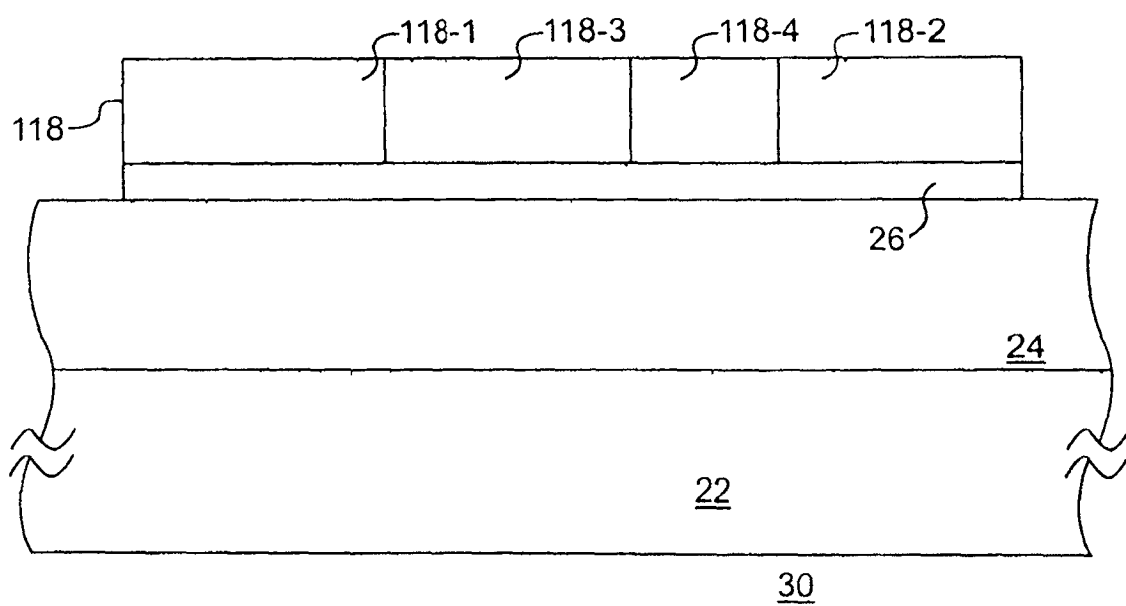


图 8

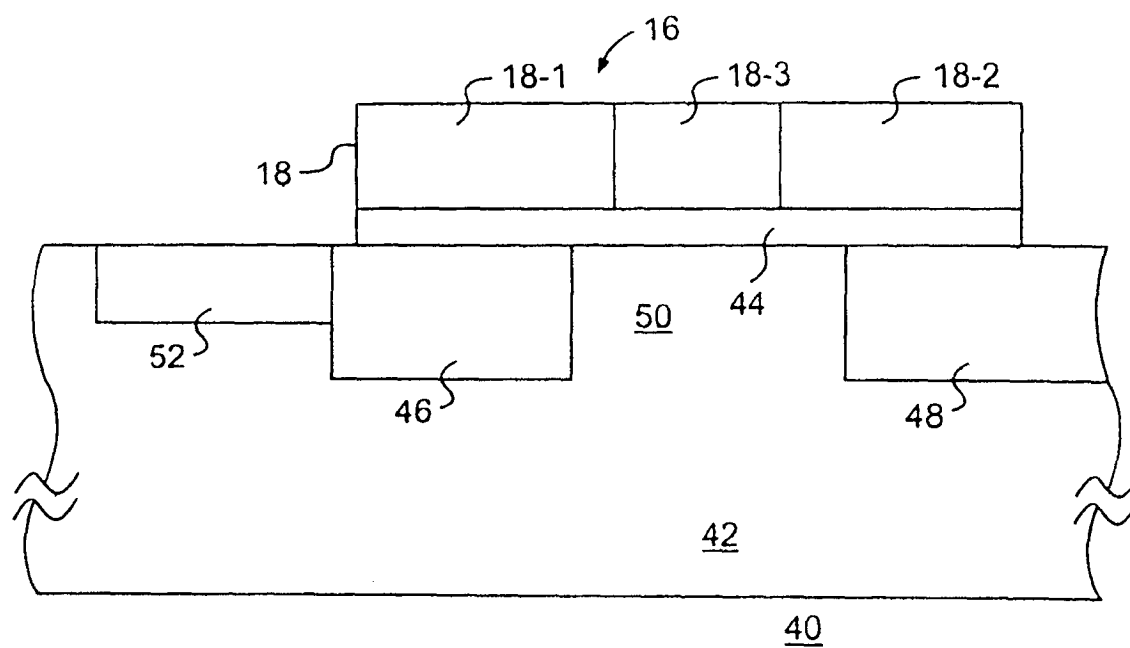


图 9

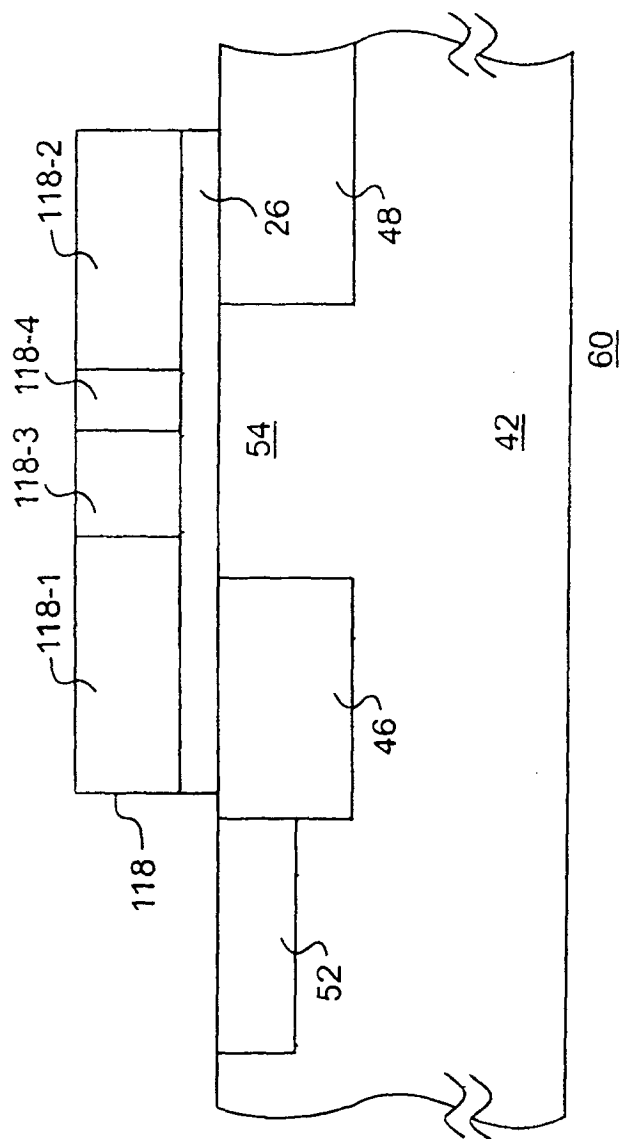


图 10

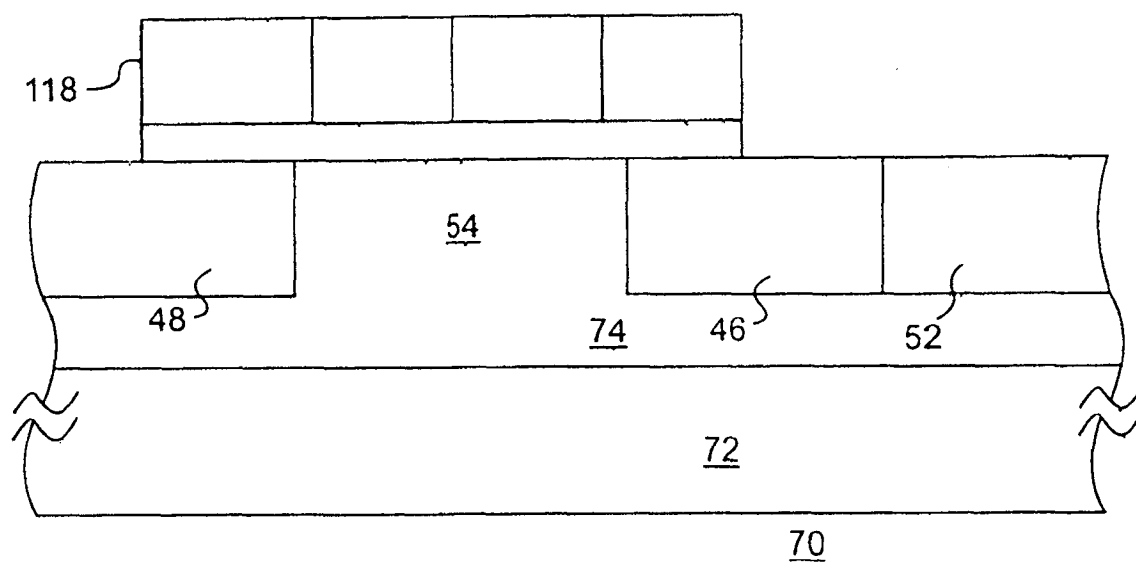


图 11

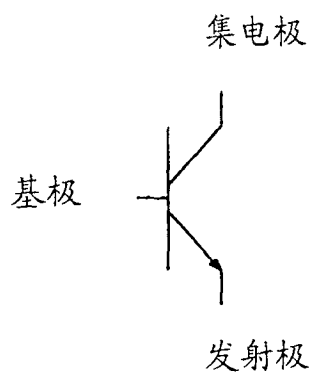


图 12A

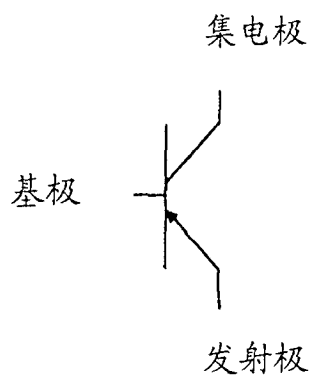


图 12B

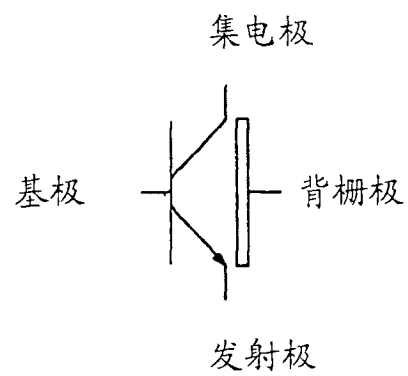


图 12C

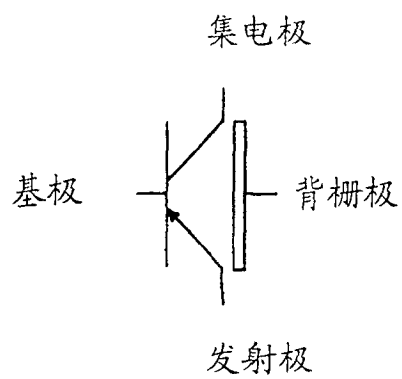


图 12D

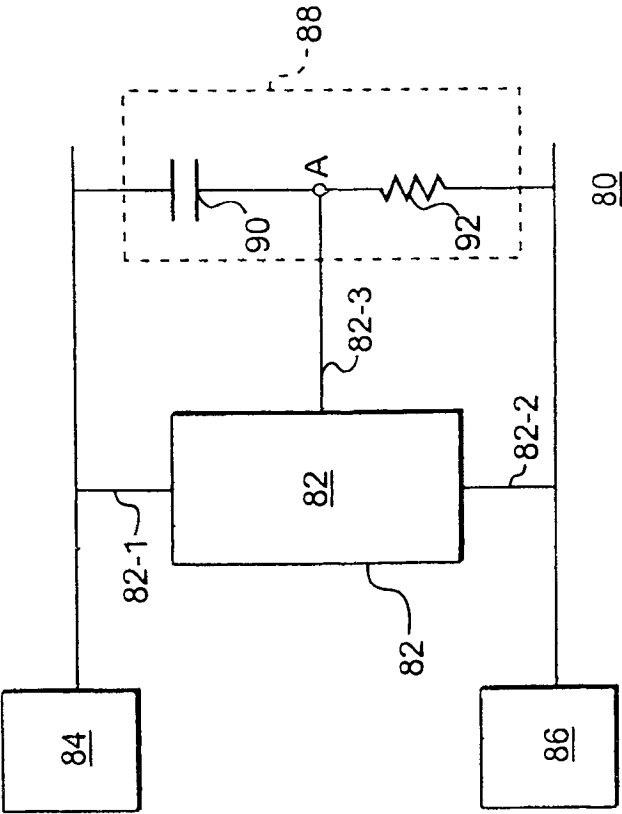


图 13

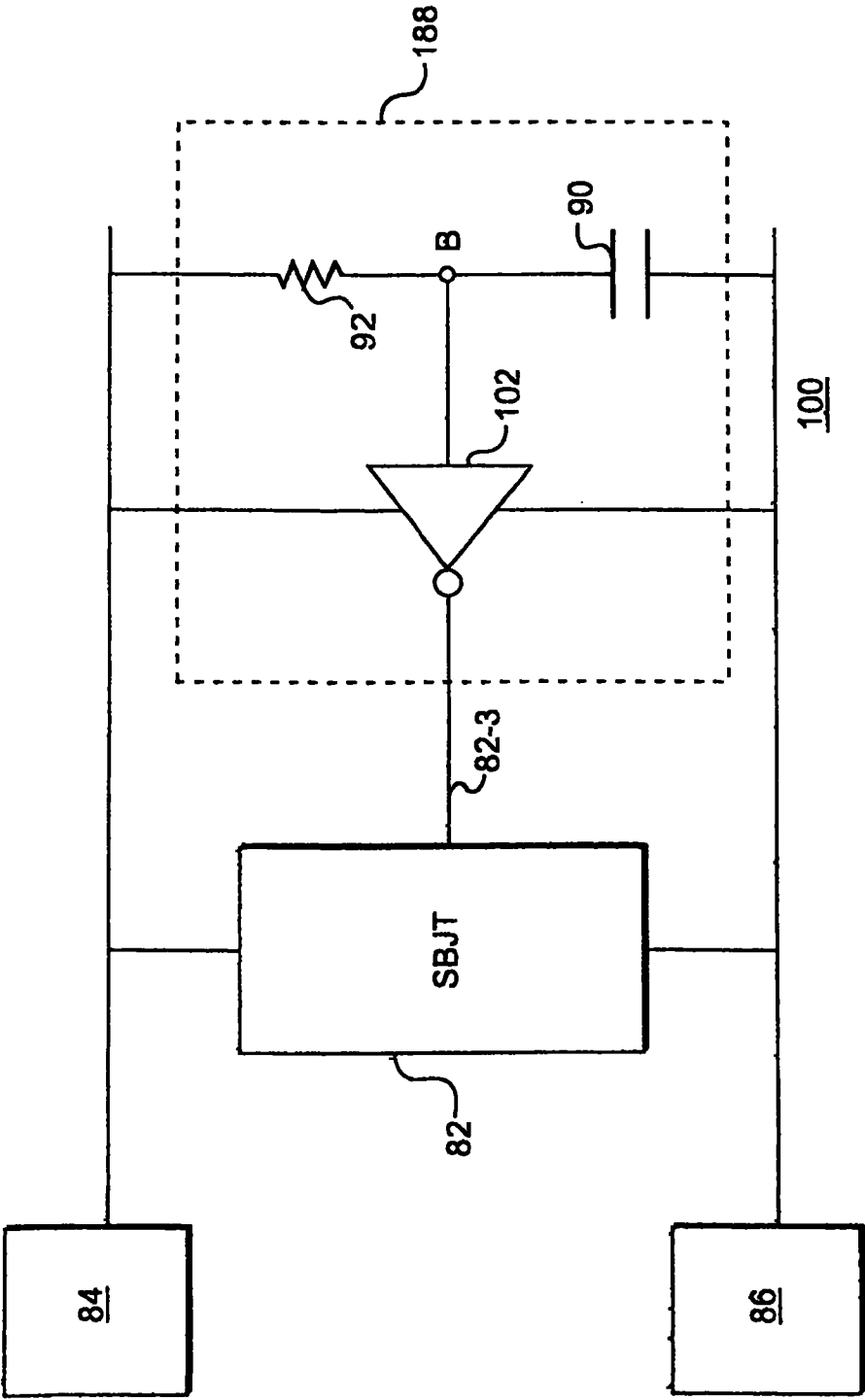


图 14

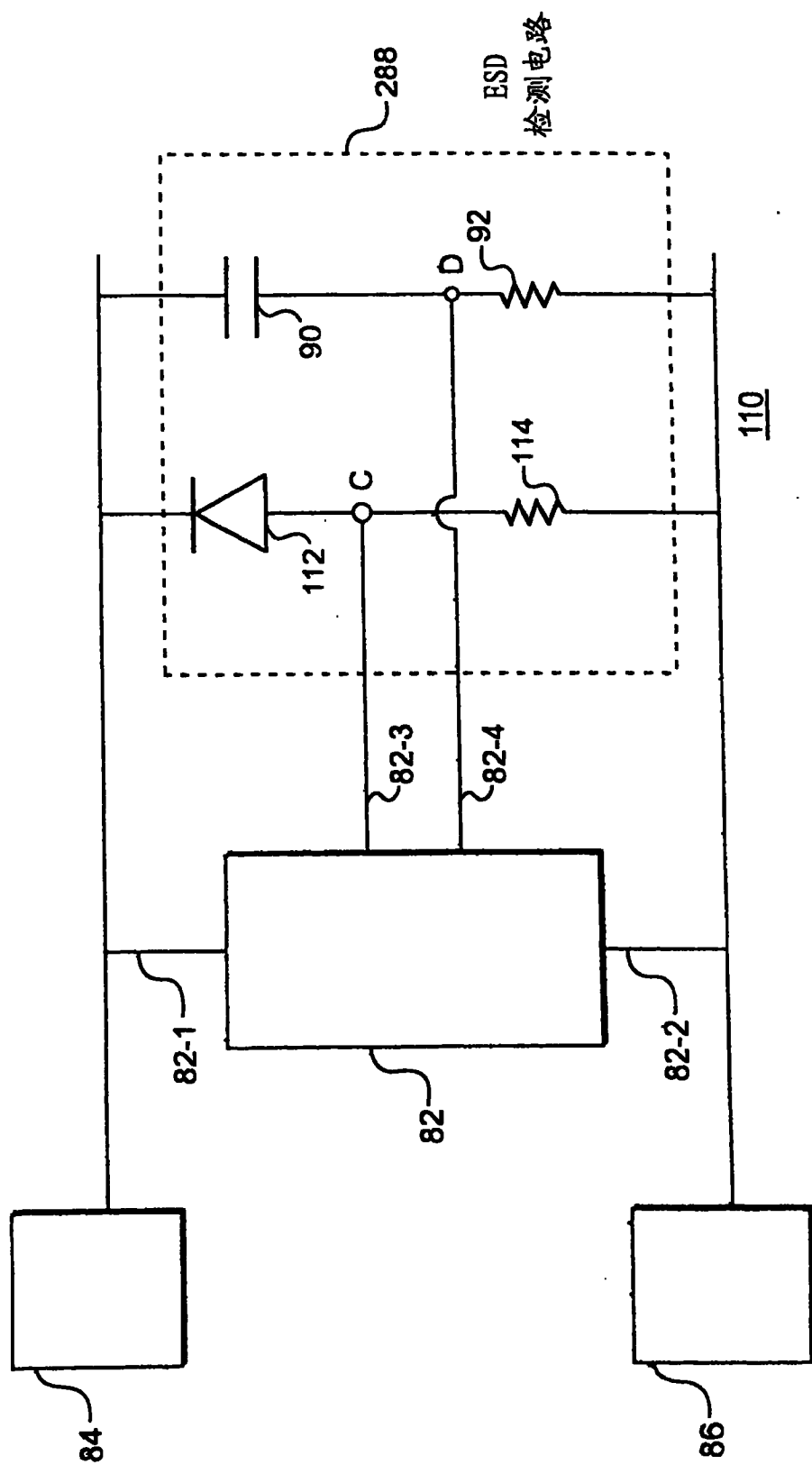


图 15