

1. 一种静电放电保护电路,其中包含:

一触发电流产生电路,用以产生一触发电流,且包含一第一电源端与一第二电源端;

一堆叠 MOS 电路,用以接收该触发电流,然后导通作为静电放电第一路径;其中该触发电流产生电路包含:

一第一电阻,该第一电阻的第一端连结至一第一电源端;

一第一电容,该第一电容的第一端连结至该第一电阻的第二端;

一第一 NMOS,该第一 NMOS 的栅极连结至该第一电阻的第二端,该第一 NMOS 的基底与源极相连结;

一第二电阻,该第二电阻的第一端连结至该第一 NMOS 的漏极,该第二电阻的第二端连结至该第一 NMOS 的源极以及该第一电容的第二端,且该第二电阻的第二端连结至一接地端;

一第三电容,该第三电容的第二端连结至该第二电阻的第一端;

一第二电容,该第二电容的第二端连结至该第三电容的第一端,该第二电容的第一端连结至一第二电源端;

一第四电容,该第四电容的第一端连结至该第二电容的第一端以及该第二电源端;及

一第三电阻,该第三电阻的第二端连结至该第四电容的第二端,该第三电阻的第一端连结至该第一电源端。

2. 根据权利要求 1 所述的静电放电保护电路,其特征在于,上述的第一电容、第二电容、第三电容,以及第四电容是利用金属氧化物半导体场效应晶体管所构成的电容。

3. 根据权利要求 1 所述的静电放电保护电路,其特征在于,上述的堆叠 MOS 电路包含:

一第 NMOS,该第二 NMOS 的漏极连结至该第二电源端,该第二 NMOS 的栅极连结至该第四电容的第二端;及

一第三 NMOS,该第三 NMOS 的漏极连结至该第二 NMOS 的源极,该第三 NMOS 的基底与源极彼此相连结,该第三 NMOS 的基底与该第二 NMOS 的基底相连结而且连结至该接地端,该第三 NMOS 的栅极与该第二电阻的第一端相连结。

4. 根据权利要求 1 所述的静电放电保护电路,其特征在于,更包含一二极管,该二极管的第一端连结至该第二电源端,该二极管的第二端连结至该接地端。

5. 根据权利要求 4 所述的静电放电保护电路,其特征在于,当静电产生而使该接地端的电压高于该第二电源端的电压,则该二极管便作为静电放电第二路径。

6. 根据权利要求 1 所述的静电放电保护电路,其特征在于,当静电产生而使该第二电源端的电压大于该接地端的电压,则该堆叠 MOS 电路会导通作为该静电放电第一路径。

静电放电保护电路

【技术领域】

[0001] 本发明系有关一种静电放电 (ESD) 的保护电路,特别是有关于一种利用低压元件于静电产生时将其排除的静电放电保护电路。

【先前技术】

[0003] 在精密的电子装置中,由于电路元件的微小化,以及精密的程度大幅提升,所以这类精密电子装置,特别是内部的微小电子元件对于来自工作环境中所产生的,或是来自使用者接触该电子装置时所引入的静电,都非常的敏感且需要受到保护。

[0004] 因此,在多数的精密电子装置之中,皆需要额外设计一静电放电保护电路来适当地排除可能发生的静电,以保护在电子装置内的电路,其中的电子元件不会因为静电所带来的高压而受到破坏。

[0005] 如图 1 所显示,为一个传统堆叠 NMOS 的静电放电电路的 I-V 曲线图。在图 1 中,横向座标为漏极至源极的电压差,而纵向座标为漏极电流值。图中表示,当漏极至源极的电压差逐步的累积上升时,漏极电流值也会相应地上升;而直到漏极至源极的电压差值超出了一触发电压 (trigger voltage) 值之后,则会发生穿透 (punch through) 效应因而始得漏极至源极的电值差值开始弹回 (snap-back),直到下降至一维持电压 (holding voltage) 值为止。从触发电压到维持电压之间的电压值差距则称为弹回区 (snap-back region)。此外,当漏极至源极的电压差回到维持电压后,之后的电压差值则是呈现平缓地增加,且此时漏极电流也会相应性地上升。

[0006] 由以上所述可知,当静电电压值若大过于触发电压值时,则会因会穿透效应的缘故而使得作为静电保护电路的堆叠 NMOS 被导通,故静电电流可以通过堆叠 NMOS 而被接地释放,达到保护内部电子元件不受静电破坏的目的。但传统的堆叠 NMOS 静电保护电路的缺点在于,如果静电电压值并未大于触发电压值,则此静电保护电路无法被导通,亦即无法排除静电电流因而该静电电流会持续被保留在电子装置之中成为一个不稳定的因素,使得使用者无法预期何时会对电子装置造成重大的破坏。

[0007] 图 2 显示一集成电路之中的传统堆叠 NMOS 静电保护电路。该集成电路的目的是作为连结不同工作电压的半导体芯片或是次系统的介面,所以内部具有混合电压,电压值分别为 V_{dd} 以及 V_{ss} 。从图 2 中可以看到在集成电路其中的一个 I/O 焊垫连结到内部电路之外,也连结到第一个 NMOS (即 N1) 的漏极 (drain),而 N1 的栅极 (gate) 则连结至电源 V_{dd} , N1 的源极 (source) 与第二个 NMOS (即 N2) 的漏极相连结, N2 的栅极 (gate) 则连结至电源 V_{ss} ,最后, N2 的源极连结到接地端。

[0008] 在图 2 中的第一个 NMOS 与第二个 NMOS 以串联结构 (cascade configuration) 作堆叠,两者相连的节点形成一共扩散区,所以在堆叠 NMOS 的内部可视为存在一个寄生的侧边 NPN 双极性晶体管 (lateral NPN bipolar transistor)。当静电电压值大过于触发电压时,则此侧边 NPN 双极性晶体管会被导通而使得静电可以被排出内部电路。但如图 1 中所述,若静电电压值并未超过触发电压时,则此时侧边 NPN 双极性晶体管无法被导通而造成静电持续被保留在集成电路内,最后会造成 I/O 焊垫内部的 I/O 缓冲器的 MOS 栅极氧

化层 (gate oxide) 损坏。因为在一个混合电压 I/O 电路中, MOS 栅极氧化层的崩溃电压 (breakdown voltage) 会变小, 所以会被堆积在集成电路内部的静电破坏。

[0009] 鉴于上述在传统静电放电保护电路中, 当静电电流存在于电路中但又不大于触发电压时, 会造成该保护电路无法被启动的情形, 因此亟需要提出一个对于静电存在以及静电的排除更灵敏的静电保护电路, 能够对于未达到触发电压值的静电作排除以保护集成电路内部的电子元件免于被损坏。

【发明内容】

[0010] 鉴于上述的先前技术中, 传统静电放电保护电路的诸多缺点, 本发明的主要目的在于提出一种静电放电保护电路, 其对于静电排除的灵敏度更高, 可以对较小的静电电压立即作反应。

[0011] 本发明的另一目的在提出一种静电放电保护电路, 电路是由低耐压的电子元件所构成, 但可以负荷高电压值的静电通过, 以达到释放静电的效果。

[0012] 根据以上所述的目的, 本发明提供了一种静电放电保护电路, 主要包含一堆叠 MOS 电路, 一触发电流产生电路。堆叠 MOS 电路的目的在于用作静电电流的第一释放路径; 而触发电流产生电路的目的在于产生触发电流以导通堆叠 MOS 电路, 使堆叠 MOS 电路形成第一释放路径以释放静电电流。

【附图说明】

[0013] 图 1 显示传统堆叠 NMOS 电路的 I-V 曲线图;

[0014] 图 2 显示一传统堆叠 NMOS 的电路图; 及

[0015] 图 3 显示符合本发明的一较佳实施例的静电放电保护电路图。

【具体实施方式】

[0016] 本发明的一些实施例会详细描述如下。然而, 除了详细描述外, 本发明还可以广泛地在其他的实施例中施行, 且本发明的范围不受到限定, 其以之后的专利范围为准。

[0017] 本发明揭露一种静电放电 (ESD) 保护电路。可以应用于具有混合电源的集成电路之中。而通常这类集成电路的目的是作为连结不同工作电压的半导体芯片或是次系统的介面, 所以内部具有混合电压。图 3 中显示符合本发明一实施例的静电放电保护电路图, 其中包含: 一触发电流产生电路 10、一堆叠 MOS 电路 20, 以及一二极管 D1。

[0018] 其中触发电流产生电路 10 包含: 第一电阻 R1、第二电阻 R2、第三电阻 R3、第一电容 C1、第二电容 C2、第三电容 C3、第四电阻 C4、第三 NMOS (本文以下称 N3)。而堆叠 MOS 电路 20 中包含第三 NMOS (本文以下称 N4) 以及第四 NMOS (本文以下称 N5)。如图 3 中所显示的本发明实施例, 首先第一电阻 R1 与第三电阻 R3 的第一端连结至第一电源 (Reg3.3 伏特), 而第一电阻的第二端连结至第一电容 C1 的第一端。第一电容 C1 的第二端、N3 的源极、第二电阻的第二端、N5 的源极, 以及二极管 D1 的正极, 以上五个端点皆共同连结至接地端 (即 Vss)。而在本实施例中所述的第一电容 C1、第二电容 C2、第三电容 C3, 以及第四电容 C4 皆为利用 PMOS 所构成的电容, 但本发明并不限定仅能使用 PMOS 构成电容, 也可以使用 NMOS 加以替代的。此外, 在本实施例中的第一电阻 R1、第二电阻 R2、第三电阻 R3 并不限

定仅能使用电阻,也可以使用其它阻抗元件如晶体管来替代。

[0019] 第一电阻 R1 的第二端也连结至 N3 的栅极,而 N3 的基底 (substrate) 与 N3 的源极相连结。N3 的漏极、第二电阻 R2 的第一端、第三电容 C3 的第二端,以及 N5 的栅极四个端点彼此为相互连结的。第三电容 C3 的第一端连结至第二电容 C2 的第二端。而第二电容 C2 的第一端、第四电容 C4 的第一端、N4 的漏极,以及二极管 D1 的负极这四个端点都共同连结至第二电源 (Reg5 伏特)。第四电容 C4 的第二端同时连结至第三电阻 R3 的第二端以及 N4 的栅极。N4 的基底、N5 的基底以及 N5 的源极三者为共同连结,N4 的源极连结至 N5 的漏极。

[0020] 当一集成电路中,每一个焊垫具有如图 3 中的静电放电保护电路,则当该集成电路芯片未连结于电路板时,若有外部的静电从第一电源端点以及第二电源端点进入至本静电放电保护电路时,那么节点 A 以及节点 B 此时具有一电压值,而此电压会使得堆叠 NMOS 电路 20 之中的 N4 以及 N5 导通,故静电放电电流将会经由堆叠 NMOS 电路 20 而被释放到接地端。而当该集成电路芯片已连结于电路板上,则此时第一电源与第二电源皆分别有实际的电压输入,故此时节点 A 的电位等同于第一电源的电位而使得 N4 被导通;但节点 C 的电位等同于第一电源的电位而使得 N4 被导通,故 N4 的漏极电位等于源极的电位,亦即视作为接地。所以此时节点 B 的电位因为接地,因而造成 N5 的不导通。当 N5 不导通时,则此静电放电保护电路便不会因为电路中具有漏电流而造成集成电路中的内部电路(未显示)工作异常。

[0021] 此外,在本发明中的堆叠 MOS 电路 20 并未限制仅能使用 NMOS 元件,本发明的另一实施例(未显示)也可以使用 PMOS 元件来组成堆叠 MOS 电路 20。而本发明图 3 实施例中的二极管 D1 亦可加以省略,其原因在于堆叠 MOS 电路 20 之中已具有一寄生二极管存在。

[0022] 以上所述仅为本发明的较佳实施例而已,并非用以限定本发明的申请专利范围;凡其它未脱离本发明所揭示的精神下所完成的等效改变或修饰,均应包含在下述的申请专利范围中。

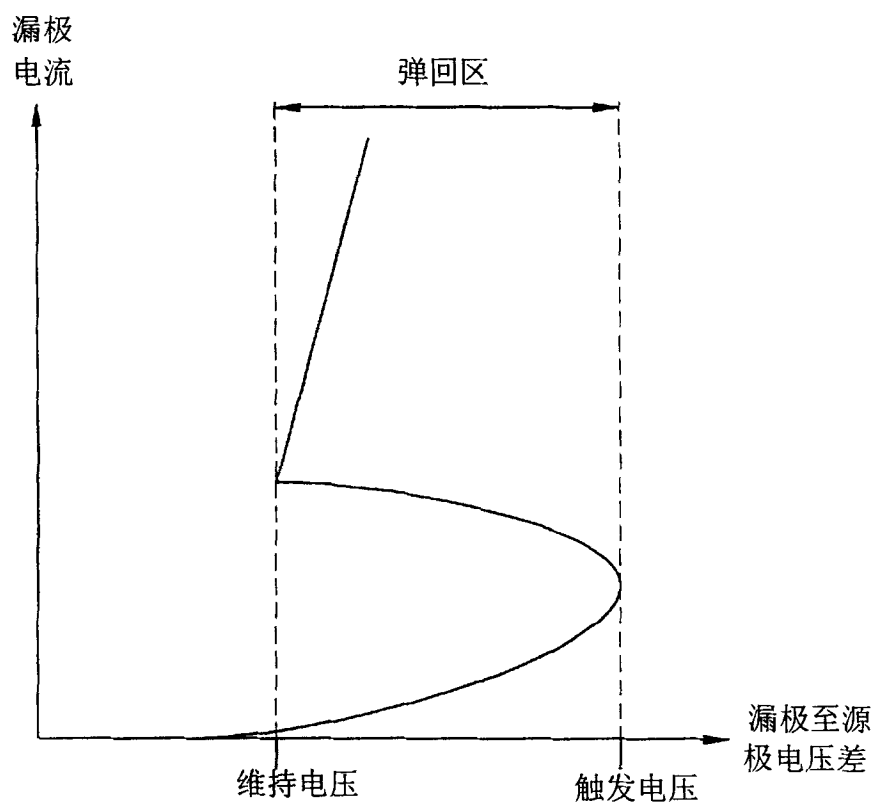


图 1

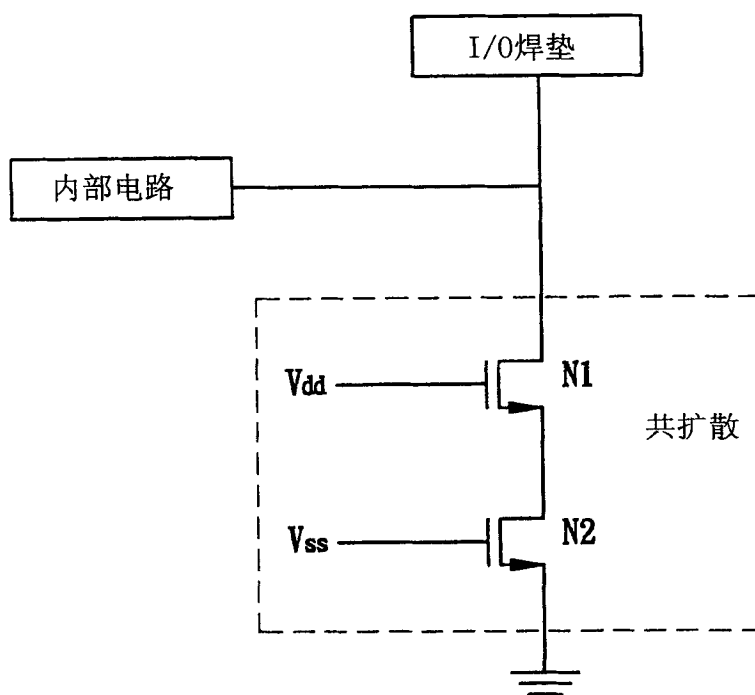


图 2

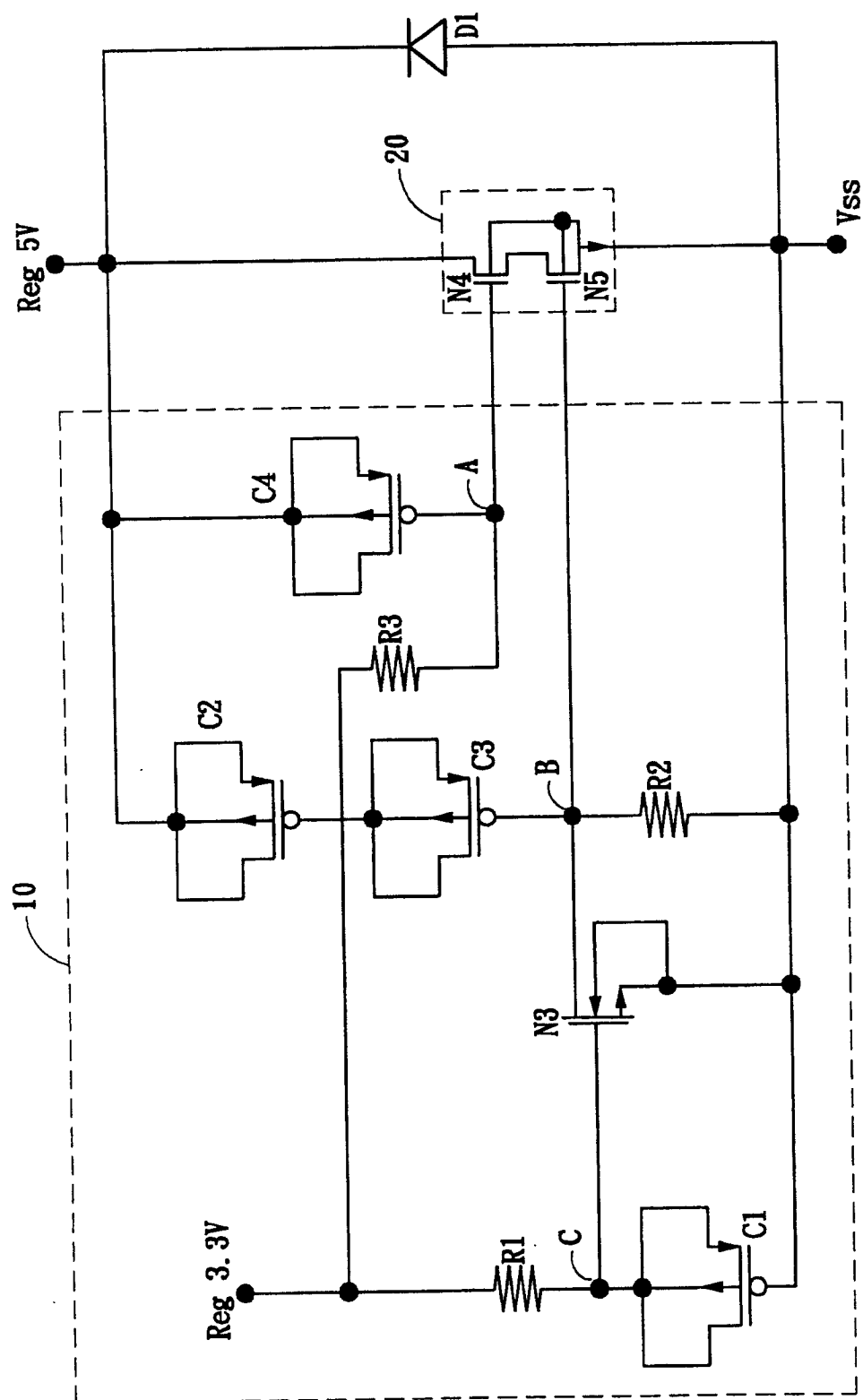


图 3