



(12) 发明专利

(10) 授权公告号 CN 102013672 B

(45) 授权公告日 2014. 04. 16

(21) 申请号 200910171691. 0

(22) 申请日 2009. 09. 08

(73) 专利权人 智原科技股份有限公司

地址 中国台湾新竹市科学园区力行三路 5 号

(72) 发明人 林群祐 柯明道 蔡富义

(74) 专利代理机构 北京中原华和知识产权代理有限公司 11019

代理人 寿宁 张华辉

(51) Int. Cl.

H02H 9/00 (2006. 01)

H02H 9/04 (2006. 01)

(56) 对比文件

CN 101506976 A, 2009. 08. 12, 说明书第 2 页第 6 行 - 第 3 页第 14 行、图 1.

CN 101506976 A, 2009. 08. 12, 说明书第 2 页第 6 行 - 第 3 页第 14 行、图 1.

CN 101506976 A, 2009. 08. 12, 说明书第 2 页第 6 行 - 第 3 页第 14 行、图 1.

US 2009015974 A1, 2009. 01. 15, 说明书第 0016-0021 段、图 2.

US 7545614 B2, 2009. 06. 09, 说明书第 3 栏第 49 行 - 第 5 栏第 7 行、图 3.

CN 1663091 A, 2005. 08. 31, 全文.

审查员 郭春春

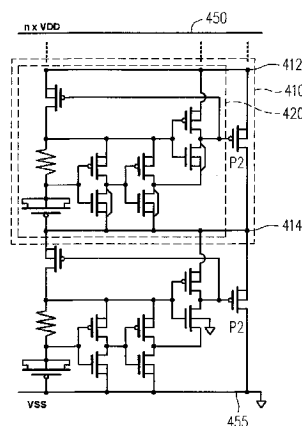
权利要求书 2 页 说明书 8 页 附图 10 页

(54) 发明名称

利用低压元件实现的低漏电高压电源静电放电保护电路

(57) 摘要

本发明是有关于一种利用低压元件实现的低漏电高压电源静电放电保护电路, 包括完全相同的多个模块电路, 其中第一个模块电路的电源端耦接静电放电保护电路的电源端, 其余每一个模块电路的电源端耦接上一个模块电路的接地端, 最后一个模块电路的接地端耦接静电放电保护电路的接地端。每一上述模块电路包括一传导路径以及一侦测电路。侦测电路耦接所属模块电路的电源端、接地端与上述传导路径。若模块电路的电源端的电压上升速度超过一临界值, 则侦测电路使传导路径导通。藉此本发明可解决传统电路在先进制程的漏电问题, 适用于有多种工作电压的电子系统。



1. 一种利用低压元件实现的低漏电高压电源静电放电保护电路,其特征在于其包括:
完全相同的多个模块电路,其中第一个模块电路的电源端耦接该静电放电保护电路的电源端,其余每一个模块电路的电源端耦接上一个模块电路的接地端,最后一个模块电路的接地端耦接该静电放电保护电路的接地端,每一上述模块电路包括:

一传导路径,耦接所属模块电路的电源端;以及

一侦测电路,耦接所属模块电路的电源端、接地端与该传导路径,若所属模块电路的电源端的电压上升速度超过一临界值,则该侦测电路使该传导路径导通,其中每一上述侦测电路包括:

一第一 PMOS 晶体管,耦接于所属模块电路的电源端与一第一节点之间;

一电阻,耦接于该第一节点与一第二节点之间;

一电容,耦接于该第二节点与所属模块电路的接地端之间;

一第一反相器,耦接该第二节点,接收该第二节点的电压;

一第二反相器,耦接该第一反相器,接收该第一反相器的输出;以及

一第三反相器,耦接该第一节点与该第二反相器,接收该第一节点的电压,该第三反相器的输出使对应的该传导路径导通或截止。

2. 根据权利要求 1 所述的利用低压元件实现的低漏电高压电源静电放电保护电路,其特征在于其中所述的传导路径包括一第二 PMOS 晶体管,该第二 PMOS 晶体管根据该侦测电路的输出而导通或截止。

3. 根据权利要求 1 所述的利用低压元件实现的低漏电高压电源静电放电保护电路,其特征在于其中每一上述模块电路的传导路径耦接于所属模块电路的电源端与接地端之间,将一静电放电脉冲自所属模块电路的电源端传导至所属模块电路的接地端。

4. 根据权利要求 1 所述的利用低压元件实现的低漏电高压电源静电放电保护电路,其特征在于更包括:

一放电路径,耦接于该静电放电保护电路的电源端与接地端之间,将一静电放电脉冲自该静电放电保护电路的电源端导入该静电放电保护电路的接地端;其中

最后一个模块电路的传导路径耦接该放电路径,输出一触发信号,使该放电路径导通;

其余每一模块电路的传导路径耦接于所属模块电路的电源端与接地端之间,传送该触发信号。

5. 根据权利要求 1 所述的利用低压元件实现的低漏电高压电源静电放电保护电路,其特征在于其中所述的第一反相器和该第二反相器的高压端皆耦接该第一节点,该第一反相器和该第二反相器的低压端皆耦接所属模块电路的接地端,该第三反相器的高压端耦接所属模块电路的电源端,该第三反相器的低压端耦接该第二反相器的输出端。

6. 根据权利要求 1 所述的利用低压元件实现的低漏电高压电源静电放电保护电路,其特征在于更包括:

一分压电路,耦接于该静电放电保护电路的电源端与接地端之间,并耦接每一上述模块电路的电源端与接地端,将该静电放电保护电路的电源端与接地端之间的跨压均分,使每一上述模块电路的电源端与接地端之间的跨压相等。

7. 一种利用低压元件实现的低漏电高压电源静电放电保护电路,其特征在于其包括:

- 一第一 PMOS 晶体管,耦接于一电源端与一第一节点之间;
- 一电阻,耦接于该第一节点与一第二节点之间;
- 一电容,耦接于该第二节点与一接地端之间;
- 一第一反相器,耦接该第二节点,接收该第二节点的电压;
- 一第二反相器,耦接该第一反相器,接收该第一反相器的输出;
- 一第三反相器,耦接该第一节点与该第二反相器,接收该第一节点的电压;以及
- 一传导路径,耦接该电源端,根据该第三反相器的输出而导通或截止。

8. 根据权利要求 7 所述的利用低压元件实现的低漏电高压电源静电放电保护电路,其特征在于其中所述的传导路径包括一第二 PMOS 晶体管,该第二 PMOS 晶体管根据该第三反相器的输出而导通或截止。

9. 根据权利要求 7 所述的利用低压元件实现的低漏电高压电源静电放电保护电路,其特征在于更包括:

一放电路径,耦接该传导路径与该接地端,将一静电放电脉冲导入该接地端,其中该传导路径输出一触发信号,使该放电路径导通。

10. 一种利用低压元件实现的低漏电高压电源静电放电保护电路,其特征在于其包括:

- 一第一 PMOS 晶体管,耦接于一电源端与一第一节点之间;
- 一电阻,耦接于该第一节点与一第二节点之间;
- 一电容,耦接于该第二节点与一接地端之间;
- 一第一反相器,耦接该第二节点,接收该第二节点的电压;
- 一第二反相器,耦接该第一反相器,接收该第一反相器的输出;以及
- 一第三反相器,耦接该第一节点与该第二反相器,接收该第一节点的电压,以根据该第一节点与该第二节点的电压作对应的输出;以及
- 一传导路径,耦接该电源端,根据该第三反相器的输出而导通或截止。

利用低压元件实现的低漏电高压电源静电放电保护电路

技术领域

[0001] 本发明涉及一种静电放电 (electrostatic discharge, 简称 ESD) 保护电路 (clamp circuit), 特别是涉及一种利用低压元件实现的低漏电高压电源静电放电保护电路。

背景技术

[0002] 一般的静电放电保护电路都配置在电子系统的电源端和接地端之间。理想的静电放电保护电路在电子系统正常操作时必须完全关闭, 不应该有漏电。如果出现静电放电脉冲 (ESD pulse), 静电放电保护电路必须导通, 将静电放电脉冲自电源端导入接地端, 以保护电子系统。

[0003] 在纳米级的互补金属氧化物半导体 (complementary metal oxide semiconductor, 简称 CMOS) 制程中, 栅极氧化物 (gate oxide) 随着制程技术的演进而变薄, 工作电压也随着降低。然而在一个电子系统中, 经常存在多个操作在不同工作电压的子系统, 集成电路为了相容于不同的工作电压, 传统方法会以较厚的栅极氧化层来制造可承受较高电压的子系统, 藉此避免栅极氧化层遭受过度电性应力 (electrical overstress, EOS) 的问题。然而, 在制造过程中增加一道额外的光掩膜来制造厚栅极氧化层, 会增加制程复杂度, 产品良率可能因此下降, 整体生产成本也随之增加。

[0004] 为了降低生产成本, 只使用薄栅极氧化层的低压元件来实现可耐高工作电压的电路已经是热门的研究主题, 静电放电保护电路也不例外。

[0005] 图 1 是现有习知的一种静电放电保护电路的电路图。图 1 的静电放电保护电路全部使用低压元件, 假设这些低压元件本身只能承受 VDD 的工作电压, 图 1 的电路则能承受两倍 VDD 的工作电压。也就是说, 电源端 210 所提供的工作电压 $Hi-V_{cc}$ 为 VDD 的两倍。

[0006] 图 1 的静电放电保护电路分为三部分: 放电路径 202、控制电路 204、以及 P 通道金属氧化物半导体场效应晶体管 (p-channel metal oxide semiconductor field effect transistor, 简称 PMOS 晶体管) 302 和 304 组成的分压电路。PMOS 晶体管 302 和 304 皆以二极管方式连接 (diode-connected)。上述的分压电路将工作电压 $Hi-V_{cc}$ 均分为二等份, 使电源端 210 和节点 303 之间的跨压等于 VDD, 并且使节点 303 和接地端之间的跨压也等于 VDD。如此就能使图 1 电路中的每一个低压元件正常操作, 不至于遭受过度电性应力。

[0007] 控制电路 204 在电子系统正常工作时关闭 PMOS 晶体管 206 和 208, 使放电路径 202 截止。如果电源端 210 出现静电放电脉冲, 控制电路 204 会开启 PMOS 晶体管 206 和 208, 使放电路径 202 导通, 将静电放电脉冲导入接地端, 以保护电子系统。

[0008] 图 2 是现有习知的另一种静电放电保护电路的电路图。图 2 和图 1 的静电放电保护电路有相同的工作原理, 差别是图 2 的控制电路 204 比较简化。

[0009] 在传统的制程下, 电路元件的漏电都很轻微。以图 1 和图 2 的电路为例, 其中的控制电路 204 和放电路径 202 漏电并不明显, 所以分压电路不需要提供太大的驱动电流, 静电放电保护电路的整体漏电并不严重。

[0010] 然而,在目前的纳米级先进制程,因为低压元件各方面的尺寸都有缩减,控制电路 204 和放电路径 202 的漏电会显著增加,因此分压电路必须提供很大的驱动电流,来维持正确的分压,例如将节点 303 的电压维持在 VDD。由于分压电路必须提供大电流,而且分压电路本身也是由低压元件组成,使得分压电路的漏电更加严重,占了整个静电放电保护电路的漏电流 (leakage current) 的绝大部分;此外,分压电路所占用的电路布局面积也无法缩减。由于漏电问题,在先进制程中使用如图 1 和图 2 所示的静电放电保护电路,已经不符合节约能源和降低成本的考量原则。

[0011] 图 3 是现有习知的另一种静电放电保护电路的电路图。图 3 的静电放电保护电路同样使用低压元件,假设这些低压元件本身只能承受 VDD 的工作电压,图 3 的电路则能承受三倍 VDD 的工作电压。

[0012] 图 3 的静电放电保护电路,其工作原理和图 1、图 2 的静电放电保护电路相同。图 3 的静电放电保护电路包括放电路径 110、控制电路 120、以及分压电路 130,其中放电路径 110 包括硅控整流器 (silicon-controlled rectifier,简称 SCR)115。分压电路 130 利用六个串联的以二极管方式连接的 PMOS 晶体管 Md1-Md6,将三倍 VDD 的工作电压均分为三等份,以确保图 3 电路中的每一个低压元件不会遭受过度电性应力。控制电路 120 会在发生静电放电脉冲时,输出触发电流 I_{trig},使放电路径 110 导通,将静电放电脉冲导入接地端。

[0013] 由于工作原理和图 1、图 2 的静电放电保护电路相同,图 3 的静电放电保护电路在先进制程下同样有严重漏电的问题。

[0014] 由此可见,上述现有的静电放电保护电路在结构与使用上,显然仍存在有不便与缺陷,而亟待加以进一步改进。为了解决上述存在的问题,相关厂商莫不费尽心思来谋求解决之道,但长久以来一直未见适用的设计被发展完成,而一般产品又没有適切结构能够解决上述问题,此显然是相关业者急欲解决的问题。因此如何能创设一种新型结构的利用低压元件实现的低漏电高压电源静电放电保护电路,实属当前重要研发课题之一,亦成为当前业界极需改进的目标。

发明内容

[0015] 本发明的目的在于,克服现有的静电放电保护电路存在的缺陷,而提供一种新型结构的利用低压元件实现的低漏电高压电源静电放电保护电路,所要解决的技术问题是使其以低压元件构成,可承受高压电源,而且可解决传统电路在先进制程的漏电问题,适用于有多种工作电压的电子系统,非常适于实用。

[0016] 本发明的目的及解决其技术问题是采用以下技术方案来实现的。为达到上述目的,依据本发明的利用低压元件实现的低漏电高压电源静电放电保护电路,包括完全相同的多个模块电路,其中第一个模块电路的电源端耦接静电放电保护电路的电源端,其余每一个模块电路的电源端耦接上一个模块电路的接地端,最后一个模块电路的接地端耦接静电放电保护电路的接地端。每一上述模块电路包括一传导路径以及一侦测电路。传导路径耦接所属模块电路的电源端。侦测电路耦接所属模块电路的电源端、接地端与上述传导路径。若模块电路的电源端的电压上升速度超过一临界值,则侦测电路使传导路径导通。

[0017] 在本发明的一实施例中,每一上述模块电路的传导路径耦接于模块电路的电源端与接地端之间,将一静电放电脉冲自模块电路的电源端传导至模块电路的接地端。

[0018] 在本发明的一实施例中,上述的静电放电保护电路更包括一放电路径。此放电路径耦接于静电放电保护电路的电源端与接地端之间,将静电放电脉冲自上述电源端导入上述接地端。其中,最后一个模块电路的传导路径耦接此放电路径,并输出一触发信号,使放电路径导通。其余每一模块电路的传导路径耦接于所属模块电路的电源端与接地端之间,传送上述触发信号。

[0019] 在本发明的一实施例中,每一上述侦测电路包括 PMOS 晶体管、电阻、电容、以及三个反相器。PMOS 晶体管耦接于所属模块电路的电源端与第一节点之间。电阻耦接于第一节点与第二节点之间。电容耦接于第二节点与所属模块电路的接地端之间。第一反相器耦接第二节点,接收第二节点的电压。第二反相器耦接第一反相器,接收第一反相器的输出。第三反相器耦接第一节点与第二反相器,接收第一节点的电压。第三反相器的输出使对应的传导路径导通或截止。

[0020] 在本发明的一实施例中,上述的第一反相器和第二反相器的高压端皆耦接第一节点。第一反相器和第二反相器的低压端皆耦接所属模块电路的接地端。第三反相器的高压端耦接所属模块电路的电源端。第三反相器的低压端耦接第二反相器的输出端。

[0021] 在本发明的一实施例中,上述的静电放电保护电路更包括一分压电路。此分压电路耦接于静电放电保护电路的电源端与接地端之间,并耦接每一上述模块电路的电源端与接地端。此分压电路将静电放电保护电路的电源端与接地端之间的跨压均分,使每一上述模块电路的电源端与接地端之间的跨压相等。

[0022] 本发明的目的及解决其技术问题还采用以下的技术方案来实现。为达到上述目的,依据本发明的利用低压元件实现的低漏电高压电源静电放电保护电路,包括 PMOS 晶体管、电容、电阻、三个反相器、以及传导路径。PMOS 晶体管耦接于电源端与第一节点之间。电阻耦接于第一节点与第二节点之间。电容耦接于第二节点与接地端之间。第一反相器耦接第二节点,接收第二节点的电压。第二反相器耦接第一反相器,接收第一反相器的输出。第三反相器耦接第一节点与第二反相器,接收第一节点的电压。传导路径耦接电源端,根据第三反相器的输出而导通或截止。

[0023] 本发明的目的及解决其技术问题另外还采用以下技术方案来实现。为达到上述目的,依据本发明提出的利用低压元件实现的低漏电高压电源静电放电保护电路,包括 PMOS 晶体管、电阻、电容、三个反相器、以及传导路径。PMOS 晶体管耦接于电源端与一第一节点之间。电阻耦接于第一节点与第二节点之间。电容耦接于第二节点与接地端之间。第一反相器耦接第二节点,接收第二节点的电压。第二反相器耦接第一反相器,接收第一反相器的输出。第三反相器耦接第一节点与第二反相器,接收第一节点的电压,以根据第一节点与第二节点的电压作对应的输出。传导路径耦接电源端,根据第三反相器的输出而导通或截止。

[0024] 本发明与现有技术相比具有明显的优点和有益效果。借由上述技术方案,本发明利用低压元件实现的低漏电高压电源静电放电保护电路至少具有下列优点及有益效果:本发明的静电放电保护电路以完全对称的模块电路达成自我分压,将较高的工作电压均分至低压元件可承受的范围,因此可完全以低压元件组成。在制程中不需要厚栅极氧化层的额外光掩膜,可简化制程,提高产品良率,降低成本。本发明的静电放电保护电路不需要额外的分压电路,所以能大幅改善传统电路在先进制程的漏电问题,每一个模块电路中也有降低漏电的设计。

[0025] 综上所述,本发明是有关于一种利用低压元件实现的低漏电高压电源静电放电保护电路,包括完全相同的多个模块电路,其中第一个模块电路的电源端耦接静电放电保护电路的电源端,其余每一个模块电路的电源端耦接上一个模块电路的接地端,最后一个模块电路的接地端耦接静电放电保护电路的接地端。每一上述模块电路包括一传导路径以及一侦测电路。侦测电路耦接所属模块电路的电源端、接地端与上述传导路径。若模块电路的电源端的电压上升速度超过一临界值,则侦测电路使传导路径导通。

[0026] 上述说明仅是本发明技术方案的概述,为了能够更清楚了解本发明的技术手段,而可依照说明书的内容予以实施,并且为了让本发明的上述和其他目的、特征和优点能够更明显易懂,以下特举较佳实施例,并配合附图,详细说明如下。

附图说明

[0027] 图 1 至图 3 是现有习知的三种静电放电保护电路的电路图。

[0028] 图 4 是依照本发明一实施例的一种静电放电保护电路的示意图。

[0029] 图 5 是依照本发明另一实施例的一种静电放电保护电路的示意图。

[0030] 图 6 是图 4 的静电放电保护电路的电路图。

[0031] 图 7 是图 5 的静电放电保护电路的电路图。

[0032] 图 8 是依照本发明另一实施例的一种静电放电保护电路的电路图。

[0033] 图 9 是图 8 的静电放电保护电路在正常启动时的各节点电压和漏电流。

[0034] 图 10 和图 11 是图 8 的静电放电保护电路遭遇静电放电脉冲时的各节点电压和触发电流。

[0035] 图 12 是现有习知的一种静电放电保护电路遭遇电源杂讯时的工作电压和触发电压。

[0036] 图 13 是图 8 的静电放电保护电路遭遇电源杂讯时的工作电压和触发电压。

[0037] 110 :放电路径 115 :硅控整流器

[0038] 120 :控制电路 130 :分压电路

[0039] 202 :放电路径 204 :控制电路

[0040] 210、303、315、346 :电路节点 300 :静电放电保护电路

[0041] 206、208、302、304、306、318、340、344、348 :PMOS 晶体管

[0042] 312、316、322、342 :NMOS 晶体管 307 :电阻

[0043] 308、324、326、345 :电容 410、430 :模块电路

[0044] 420 :侦测电路 412、450 :电源端

[0045] 414、455 :接地端 470 :放电路径

[0046] 801-805 :电路节点 810 :模块电路

[0047] 820 :侦测电路 850 :电源端

[0048] 855 :接地端 870 :放电路径

[0049] a-v :电路节点 C1 :电容

[0050] D1、D2 :二极管 I_trig :电流信号

[0051] I1、I2、I3 :反相器 M1-M4、M6、Md1-Md6、Mp1-Mp5 :PMOS 晶体管

[0052] M5、Mn1 :NMOS 晶体管 Mc1 :电容

- [0053] P1、P2 :PMOS 晶体管 R1、R2 :电阻
[0054] Hi-Vcc、VDD :工作电压 VSS :接地电压

具体实施方式

[0055] 为更进一步阐述本发明为达成预定发明目的所采取的技术手段及功效,以下结合附图及较佳实施例,对依据本发明提出的利用低压元件实现的低漏电高压电源静电放电保护电路其具体实施方式、结构、特征及其功效,详细说明如后。

[0056] 有关本发明的前述及其他技术内容、特点及功效,在以下配合参考图式的较佳实施例的详细说明中将可清楚呈现。通过具体实施方式的说明,当可对本发明为达成预定目的所采取的技术手段及功效获得一更加深入且具体的了解,然而所附图式仅是提供参考与说明之用,并非用来对本发明加以限制。

[0057] 图4是依照本发明一实施例的一种静电放电保护电路的示意图,图6则是图4的静电放电保护电路的电路图,以下说明请参照图4和图6。

[0058] 本实施例的静电放电保护电路包括多个完全相同的模块电路,例如图4所绘示的模块电路410和430,这些模块电路以串联方式耦接;各模块电路具有相同的电路架构、元件组合与组态配置(configuration)。每个模块电路有一个电源端和接地端,例如模块电路410有电源端412和接地端414。这些模块电路之中,第一个模块电路的电源端耦接静电放电保护电路的电源端450,其余每一个模块电路的电源端耦接上一个模块电路的接地端,最后一个模块电路的接地端耦接静电放电保护电路的接地端455。

[0059] 本实施例的静电放电保护电路可以完全用低压元件组成。因为有多多个完全相同的模块电路串接在静电放电保护电路的电源端450与接地端455之间,这些模块电路本身就有分压功能,可将电源端450提供的工作电压均分至低压元件可承受的程度。例如,假设每个低压元件在设计时的工作电压是VDD,而静电放电保护电路的工作电压是n倍VDD,n为2以上的正整数,则静电放电保护电路可以包括n个模块电路,将每个模块电路的跨压均分为VDD。如此就能使每一个低压元件正常操作,不至于遭受过度电性应力。

[0060] 由于模块电路自身具有分压功能,本实施例的静电放电保护电路不需要图1、图2的202以及图3的130这一类传统的分压电路。省去传统的分压电路,也就除去了传统分压电路的严重漏电和大面积,如此可大幅改善整个静电放电保护电路的漏电问题,也能减少电路面积。

[0061] 每个模块电路包括一个传导路径和一个侦测电路,例如图6的模块电路410包括侦测电路420以及PMOS晶体管P2所构成的传导路径。PMOS晶体管P2根据侦测电路420的输出而导通或截止。侦测电路420耦接模块电路410的电源端412、接地端414与传导路径P2。侦测电路420的作用是侦测静电放电脉冲,如果电源端412的电压上升速度超过预设的临界值,表示有静电放电脉冲,侦测电路420会开启PMOS晶体管P2,使传导路径导通。

[0062] 如图4所示,每一个模块电路的传导路径P2耦接于所属模块电路的电源端与接地端之间。如果静电放电保护电路的电源端450出现静电放电脉冲,每一个模块电路其中的侦测电路都会使对应的传导路径导通,将静电放电脉冲自所属模块电路的电源端传导至所属模块电路的接地端。如此,静电放电脉冲就会从电源端450被导入接地端455,达到保护电子系统的目的。

[0063] 为了减少漏电,本发明可适当地限制上述 PMOS 晶体管 P2 的尺寸,虽然这可能会使传导路径的导电能力降低,但本发明可使用如图 5 和图 7 所示的增强性设计。图 5 是依照本发明另一实施例的一种静电放电保护电路的示意图,而图 7 是图 5 的静电放电保护电路的电路图。图 5 的静电放电保护电路增加了放电路径 470。放电路径 470 耦接于静电放电保护电路的电源端 450 与接地端 455 之间。除了最后一个模块电路以外,每一个模块电路的传导路径 P2 耦接于所属模块电路的电源端与接地端之间,如模块电路 410 所示。最后一个模块电路的传导路径 P2 则耦接于所属模块电路的电源端与放电路径 470 之间,如模块电路 430 所示。请注意模块电路 430 和各模块电路 410 仍可以是相同的电路,具有相同的电路架构与元件组合。

[0064] 当静电放电保护电路的电源端 450 出现静电放电脉冲,每一个模块电路内的侦测电路会使对应的传导路径导通。静电放电脉冲会产生触发信号,触发信号会沿着每一个模块电路的传导路径一路传送至放电路径 470,使放电路径 470 导通,将静电放电脉冲自静电放电保护电路的电源端 450 导入静电放电保护电路的接地端 455。上述的触发信号可以是电流信号或电压信号。放电路径 470 可以使用硅控整流器 (SCR) 或场氧化层晶体管 (field-oxide device, 简称 FOD) 等元件来组成。如果放电路径 470 使用不含氧化层的元件,例如硅控整流器,则其漏电量可以忽略不计,可兼具提高导电能力与减少漏电的功效。

[0065] 以下配合图 8 至图 11 说明本发明一实施例其中,侦测电路的细节与其运作原理。图 8 为依照本发明一实施例的一种静电放电保护电路的电路图。为了简洁起见,图 8 的静电放电保护电路仅包括一个模块电路 810。模块电路 810 包括侦测电路 820 以及 PMOS 晶体管 P2 构成的传导路径。850 是图 8 的静电放电保护电路和模块电路 810 的共同电源端,855 是图 8 的静电放电保护电路和模块电路 810 的共同接地端。

[0066] 侦测电路 820 包括 PMOS 晶体管 P1、电阻 R1、电容 C1、以及三个反相器 I1、I2、I3。每个反相器有四个端点,分别是输入端、输出端、高压端、以及低压端。其中,高压端也就是反相器的 PMOS 晶体管的源极 (source),低压端也就是反相器的 N 通道金属氧化物半导体场效应晶体管 (n-channel metal oxide semiconductor field effect transistor, 简称 NMOS 晶体管) 的源极。PMOS 晶体管 P1 耦接于电源端 850 与节点 801 之间。电阻 R1 耦接于节点 801 与节点 802 之间。电容 C1 耦接于节点 802 与接地端 855 之间。电阻 R1 与电容 C1 可形成一反应电路,节点 801 与 802 可分别视为一第一节点与一第二节点。反相器 I1 的高压端耦接节点 801,低压端耦接接地端 855,输入端耦接节点 802,接收节点 802 的电压,输出端耦接节点 803,提供节点 803 的电压。反相器 I2 的高压端同样耦接节点 801,低压端同样耦接接地端 855,输入端耦接节点 803,接收节点 803 的电压,输出端耦接节点 804,提供节点 804 的电压。反相器 I1 与 I2 可视为一组合电路。反相器 I3 的高压端耦接电源端 850,低压端耦接节点 804,输入端耦接节点 801,接收节点 801 的电压,输出端耦接节点 805,提供节点 805 的电压。节点 805 的电压也就是 PMOS 晶体管 P2 的栅极 (gate) 电压。因此,反相器 I3 的输出可使传导路径 P2 导通或截止。

[0067] 侦测电路 820 是利用电容 C1 的充电速度来区分正常的工作电压和突发的静电放电脉冲;等效上,根据此充电速度,即可为电源端的电压上升速度定义出一临界值(临界速度)。根据一典型参数的实施例,图 9 是图 8 的静电放电保护电路在正常启动时的工作电压 VDD、节点 801 至 805 的电压、以及模块电路 810 的漏电流。正常启动时,电源端 850 提供

的工作电压 VDD 约在 100 微秒 (microsecond) 的时间内从 0V 上升到 1V (也就是 VDD 的额定电压值), VDD 的上升使 PMOS 晶体管 P1 导通。此时 VDD 的上升速度低于设计时的预设临界速度, 电容 C1 的充电速度能跟上, 所以节点 801 和 802 的电压同步上升。对于反相器 I1 和 I2 而言, 节点 801 的电压是逻辑高电位, 节点 802 的电压同样是逻辑高电位。所以反相器 I1 接收节点 802 的逻辑高电位, 输出节点 803 的逻辑低电位, 而反相器 I2 接收节点 803 的逻辑低电位, 输出节点 804 的逻辑高电位。但是对于反相器 I3 而言, 电源端 850 的工作电压 VDD 才是逻辑高电位, 节点 801 和 804 的电压只有 0.2V, 相比之下都是逻辑低电位。所以反相器 I3 的 NMOS 晶体管截止, 而 PMOS 晶体管导通, 使节点 805 的电压等于 (或趋近于) 工作电压 VDD, 进而使传导路径的 PMOS 晶体管 P2 截止, 因此不会送出触发电流使放电路径 870 导通。

[0068] PMOS 晶体管 P1 是侦测电路 820 本身的低漏电设计。正常启动时, 节点 805 的电压逐步上升, 最终会使 PMOS 晶体管 P1 截止不导通, 使电容 C1 不再充电。如图 9 所示, 电容 C1 仅充电到 0.2V 为止, 和 1V 的工作电压 VDD 相比并不多, 这样可以减少电容 C1 和整个模块电路 810 的漏电。如图 9 所示, 模块电路 810 的漏电流不超过 0.15 微安培 (μA)。因为这样, 电容 C1 不必为了减少漏电而特别使用厚氧化层, 可以减少电路面积。

[0069] 图 10 是图 8 的静电放电保护电路在遭遇静电放电脉冲时的工作电压 VDD、节点 801 至 805 的电压、以及传导路径 P2 输出的触发电流。静电放电脉冲使工作电压 VDD 在 10 纳秒 (nanosecond) 之内就从 0V 上升到 2V, VDD 的上升使 PMOS 晶体管 P1 导通。此时 VDD 的上升速度高于设计时的预设临界速度, 电容 C1 的充电速度无法跟上, 所以节点 801 的电压和工作电压 VDD 同步上升, 而节点 802 的电压却不能同步上升。对于反相器 I1 和 I2 而言, 节点 801 的电压 (2V) 是逻辑高电位, 节点 802 的电压相对变成是逻辑低电位。所以反相器 I1 接收节点 802 的逻辑低电位, 输出节点 803 的逻辑高电位, 而反相器 I2 接收节点 803 的逻辑高电位, 输出节点 804 的逻辑低电位。对于反相器 I3 而言, 电源端 850 和节点 801 的电压都是逻辑高电位, 节点 804 的电压是逻辑低电位。所以反相器 I3 的 PMOS 晶体管截止, 而 NMOS 晶体管导通, 拉低节点 805 的电压, 进而使传导路径的 PMOS 晶体管 P2 导通, 并送出触发电流进一步使放电路径 870 也一并导通。

[0070] 图 11 是图 8 的静电放电保护电路在遭遇另一个更强的静电放电脉冲时的工作电压 VDD、节点 801 至 805 的电压、以及传导路径 P2 输出的触发电流。图 11 的静电放电脉冲使工作电压 VDD 在 10 纳秒之内就从 0V 上升到 5V。图 11 和图 10 的情况很类似, 故不予赘述。

[0071] 如图 12 所示, 某些传统的静电放电保护电路, 在工作电压 VDD 出现杂讯 / 突波之后, 用来开启放电路径的触发电压不会回到 0V, 而是出现栓锁 (latch) 现象, 维持在一个非零电压 (在图 12 的例子中, 是维持于 1V 左右)。这样的栓锁现象会造成电路持续漏电, 并不理想。另一方面, 图 8 的本发明实施例没有上述的栓锁问题。如图 13 所示, 工作电压 VDD 的杂讯会使 PMOS 晶体管 P1 和 P2 导通, 提供触发电压 (也就是电阻 R2 的跨压)。但因为电阻 R1 和电容 C1 的放电路径, 放电之后会使各节点电压回到杂讯发生前的电压准位, 杂讯消散之后会使 PMOS 晶体管 P1 和 P2 截止, 使触发电压回到 0V。

[0072] 以上实施例的静电放电保护电路本身就能分压, 并不需要额外的分压电路。不过, 即使增加了分压电路, 也不会影响以上实施例的静电放电保护电路的运作。例如图 4 和图

5 的实施例中,可以在多个模块电路旁边增加一个分压电路(未绘示),提供驱动各模块电路的电流。这个分压电路可以耦接于静电放电保护电路的电源端 450 与接地端 455 之间,并耦接每一个模块电路的电源端与接地端,例如耦接模块电路 410 的电源端 412 与接地端 414。如前所述,分压电路可将静电放电保护电路的电源端与接地端之间的跨压均分,进一步确保每一个模块电路的电源端与接地端之间的跨压相等。举例来说,若有 n 个模块电路 410 应用于 n 倍 VDD 的电子系统中,则此分压电路中可包括 n 个相同的分压元件(如电阻、二极管或晶体管),每一分压元件相互串连的两端分别连接至一对应模块电路 410 的电源端与接地端。由于以上实施例的模块电路本身就能分压,上述的分压电路不需要很大的驱动能力,不会有严重漏电问题,也不需要占用很大的布局面积。

[0073] 综上所述,本发明的静电放电保护电路完全以低压元件组成,而且可承受高压电源,不会使其中的元件遭受过度电性应力,适用于有多种工作电压的电子系统。由于完全使用低压元件,本发明的静电放电保护电路不需要厚栅极氧化层的额外光掩膜,可以简化制程,提高产品良率,降低成本。本发明的静电放电保护电路不需要传统的分压电路,因此能降低漏电,并减少电路面积。此外,本发明的静电放电保护电路其中的模块电路本身也有降低漏电和减少面积的设计。另外,本发明的模块化设计概念可使本发明能使相同设计的模块电路适用于不同工作电压的不同电子系统。在图 4、图 5 的实施例中,若有需要,模块电路 430 与接地端 455 之间也可设置电路;而第一个模块电路 410 的电源端 412 与电源端 450 之间也可视需要设置相关电路。

[0074] 以上所述,仅是本发明的较佳实施例而已,并非对本发明作任何形式上的限制,虽然本发明已以较佳实施例揭露如上,然而并非用以限定本发明,任何熟悉本专业的技术人员,在不脱离本发明技术方案范围内,当可利用上述揭示的技术内容作出些许更动或修饰为等同变化的等效实施例,但凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化与修饰,均仍属于本发明技术方案的范围内。

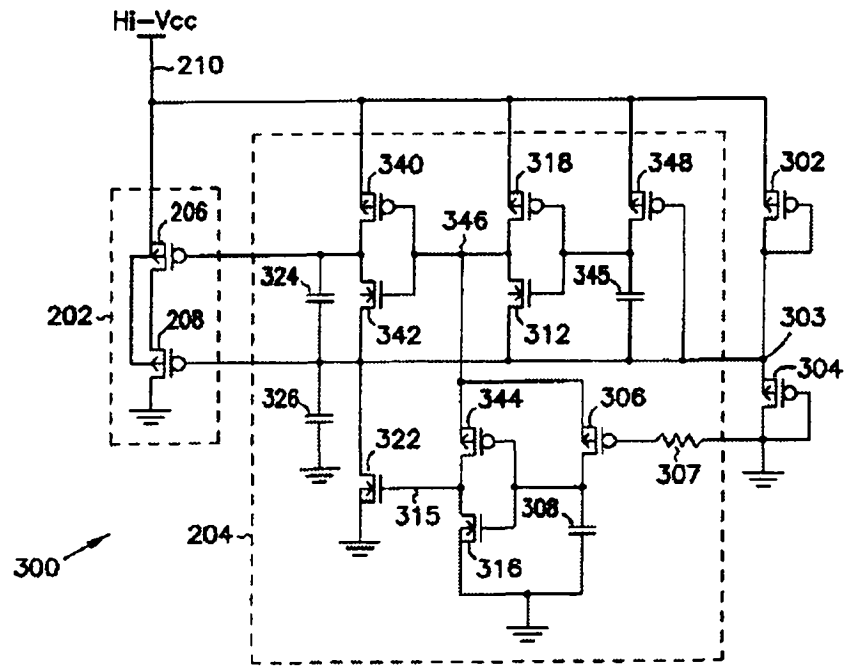


图 1

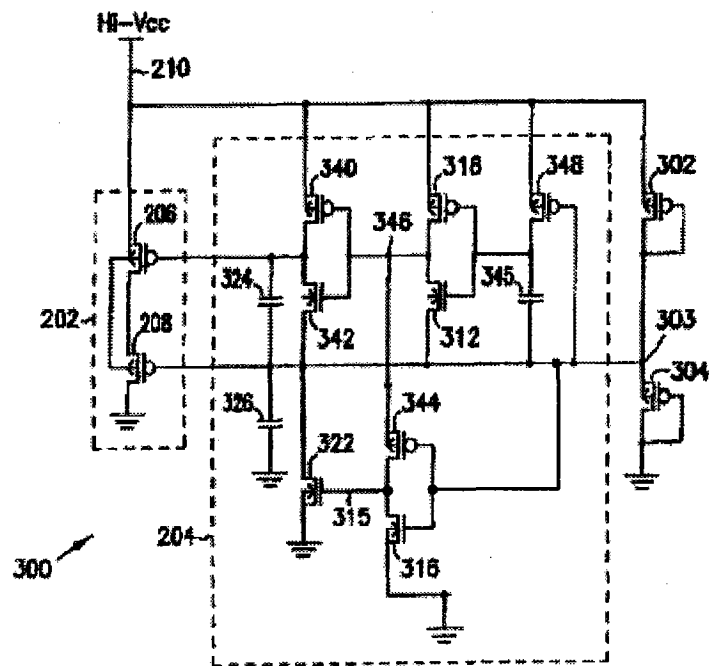


图 2

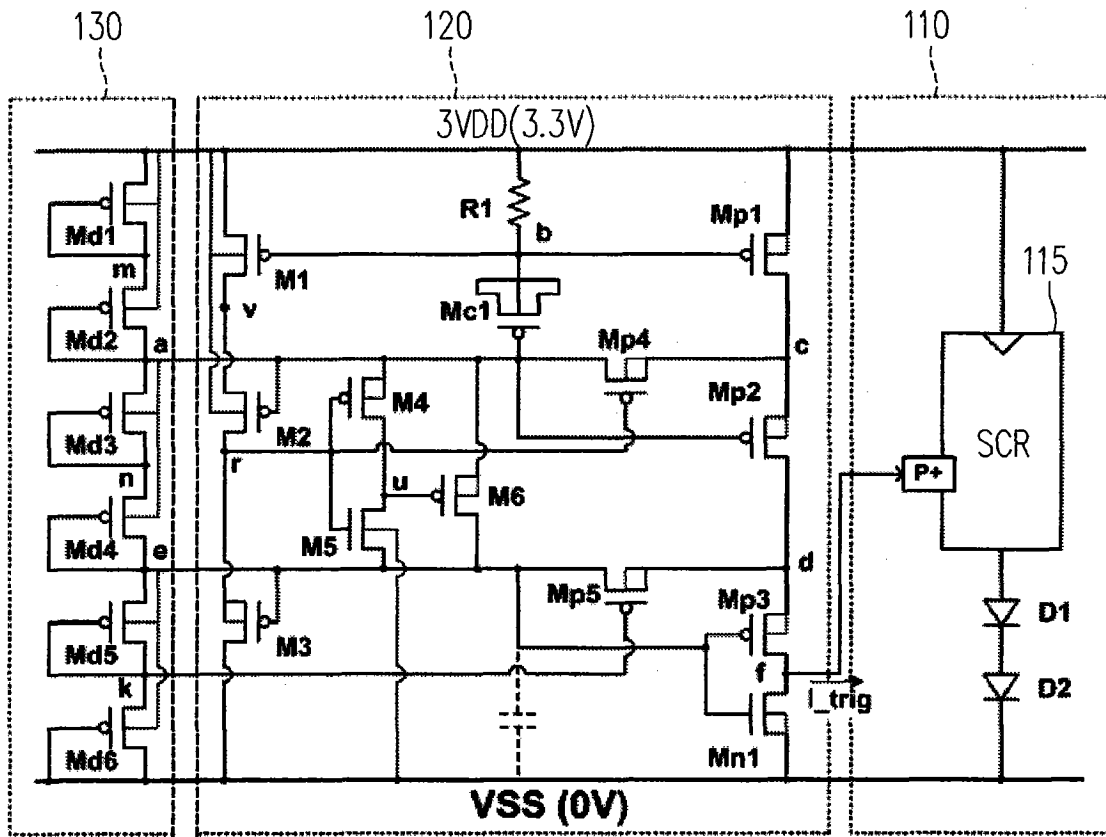


图 3

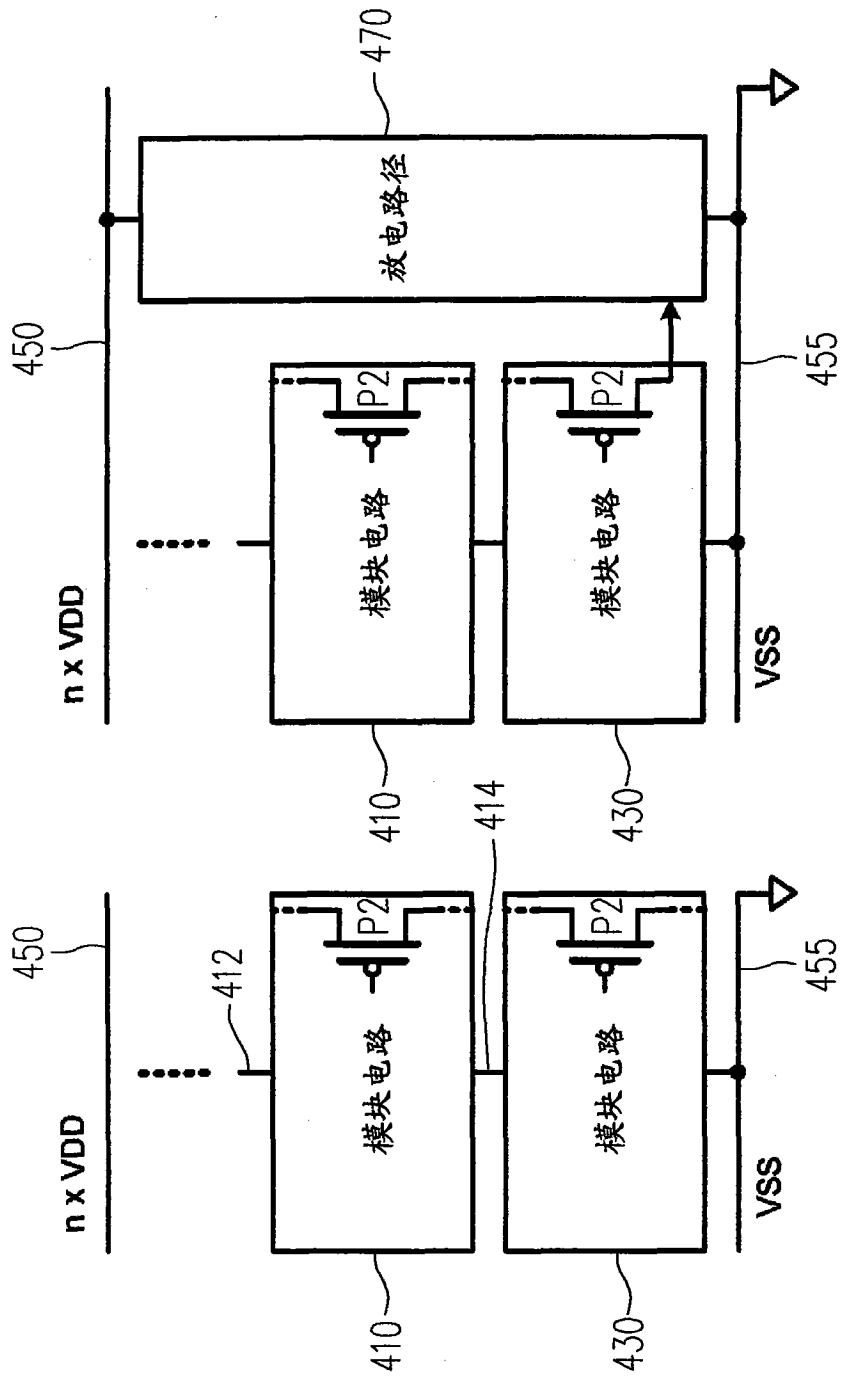


图 4

图 5

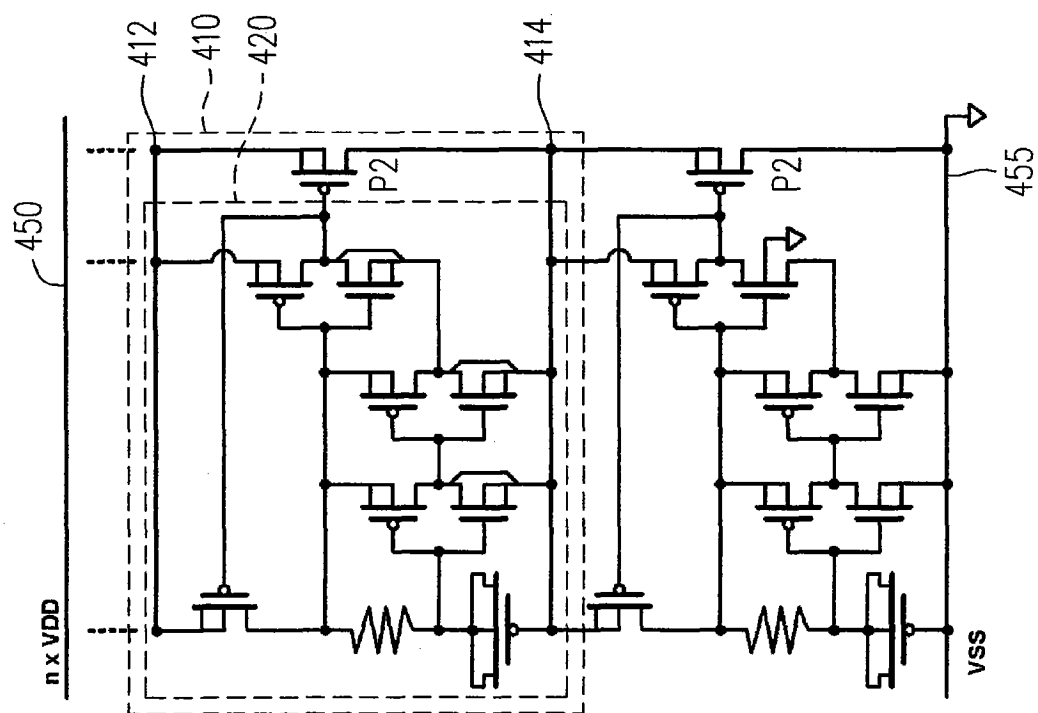


图 6

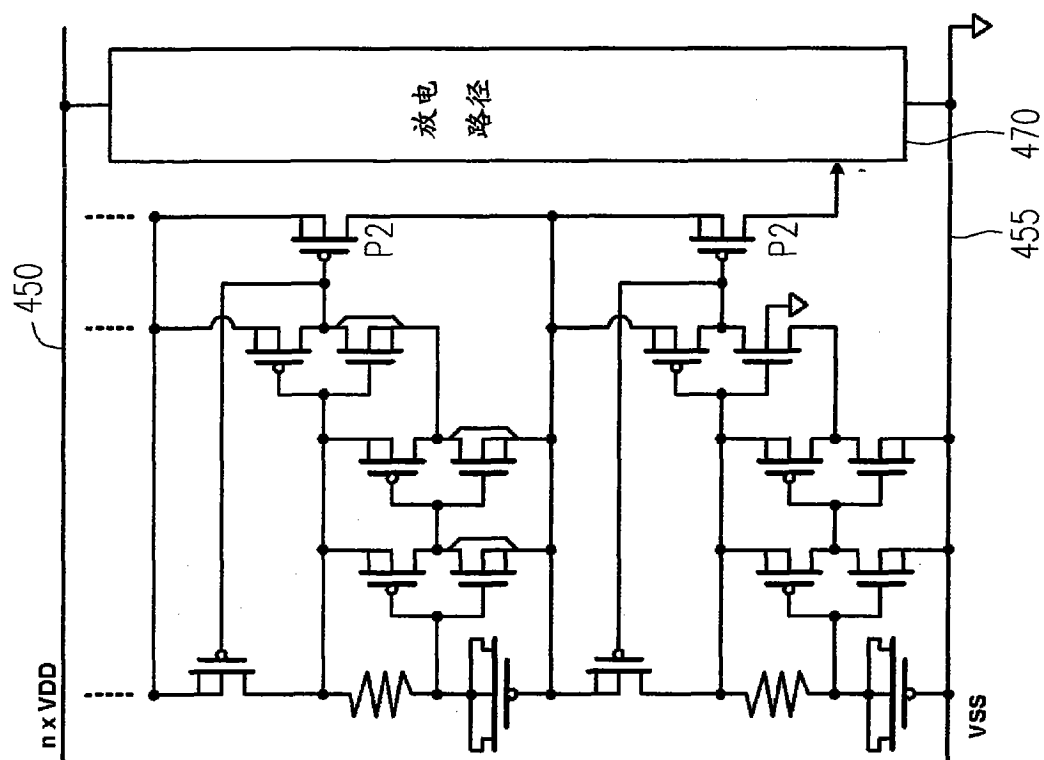


图 7

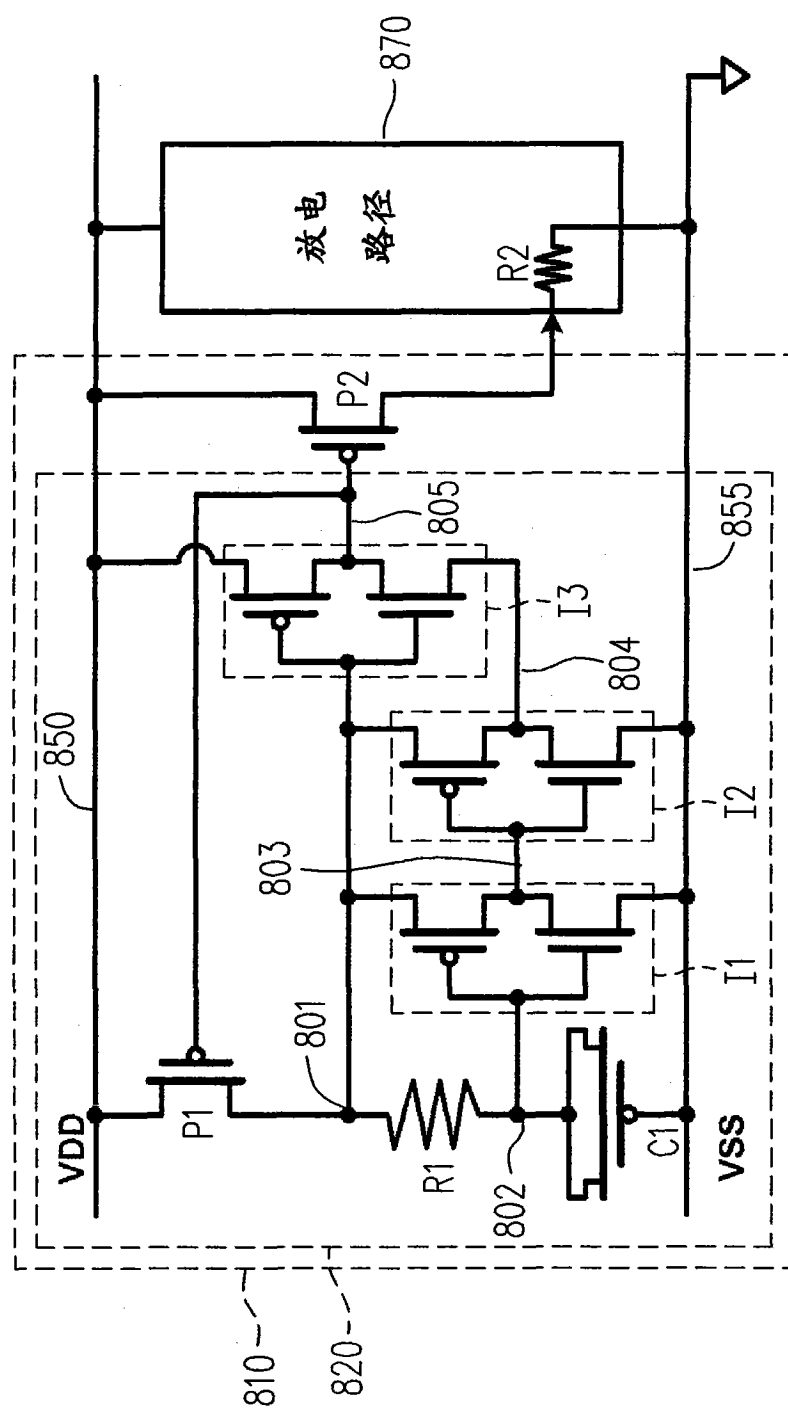


图 8

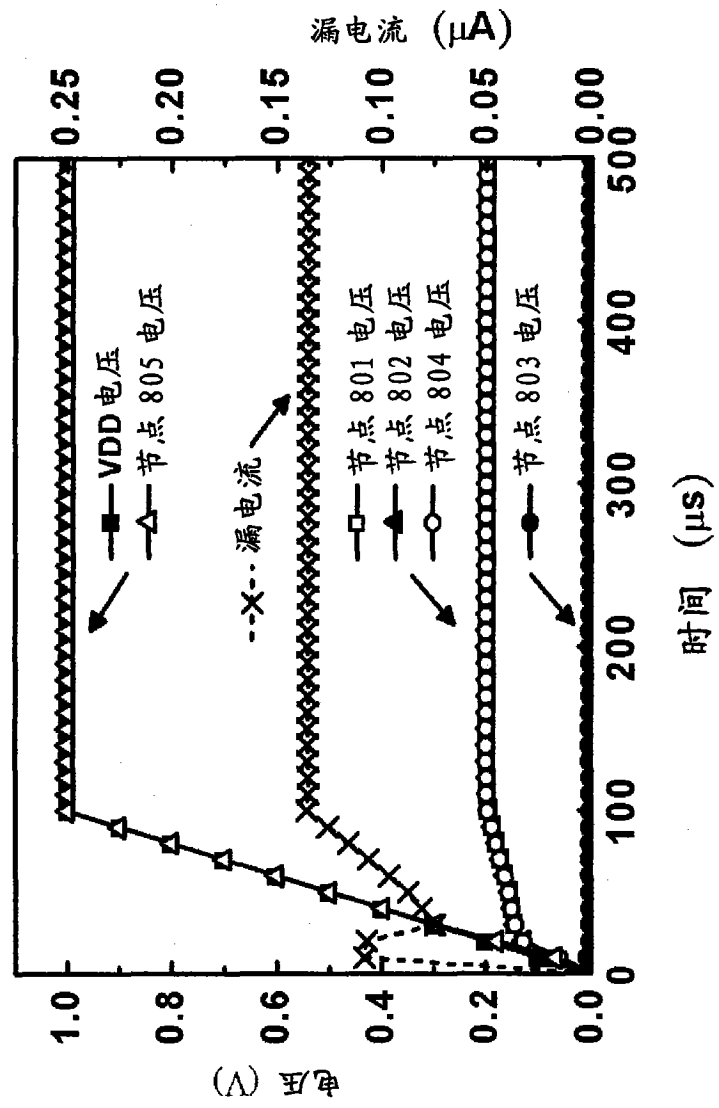


图 9

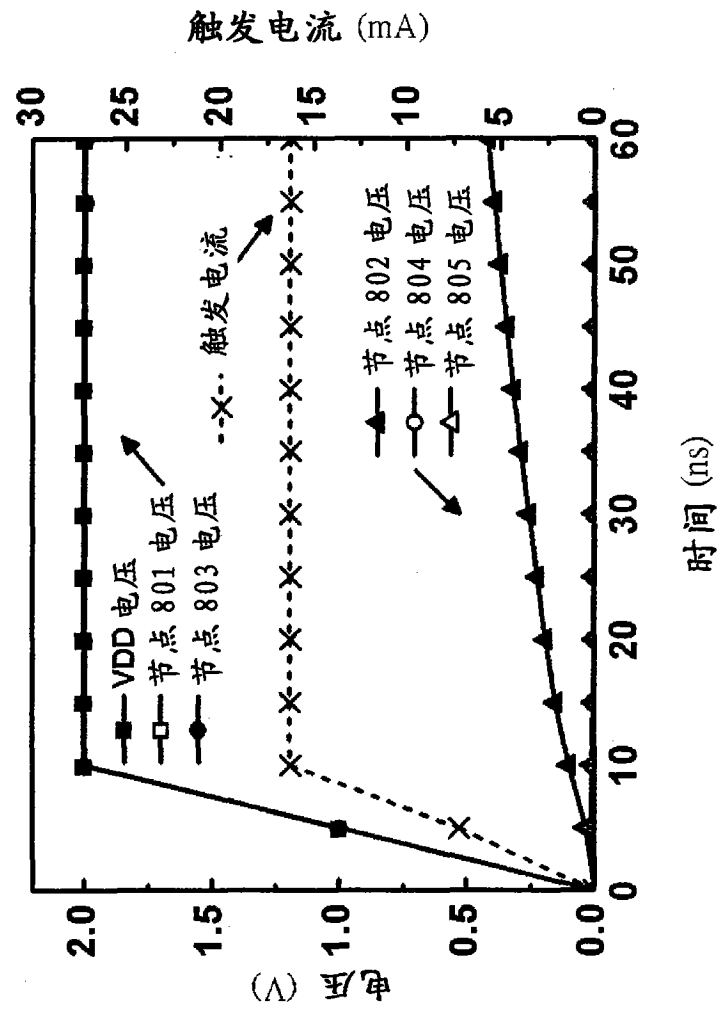


图 10

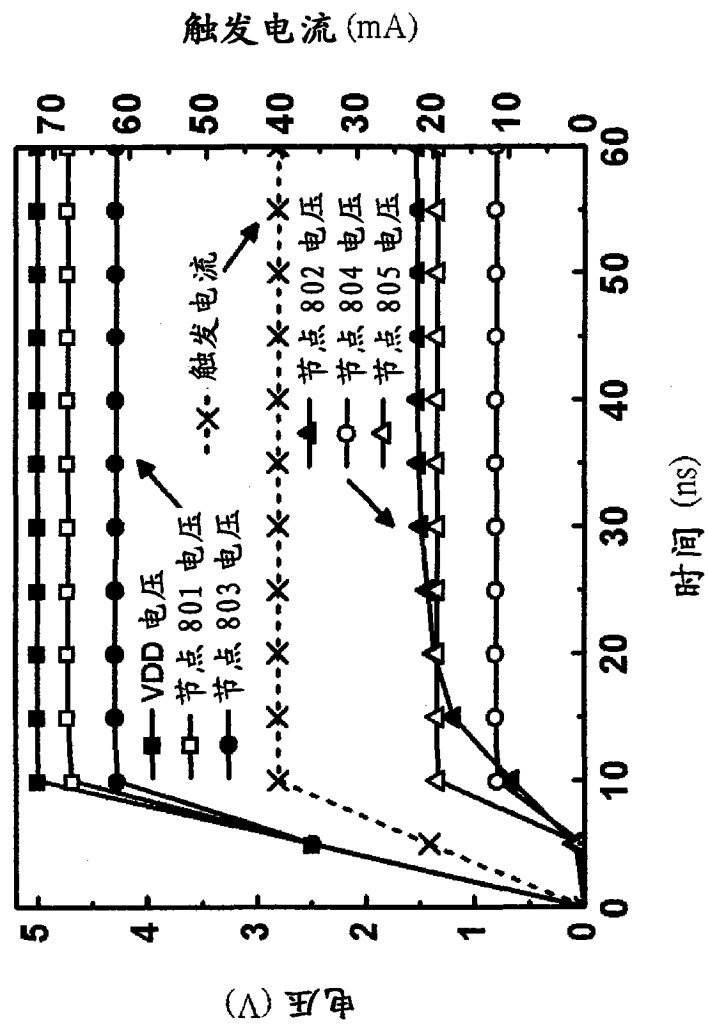


图 11

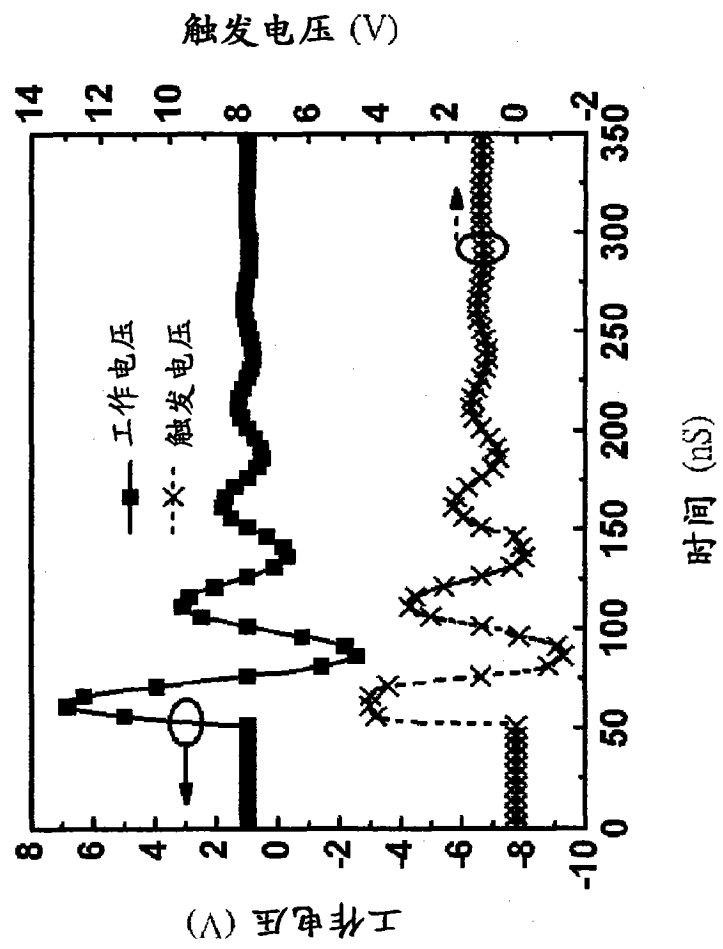


图 12

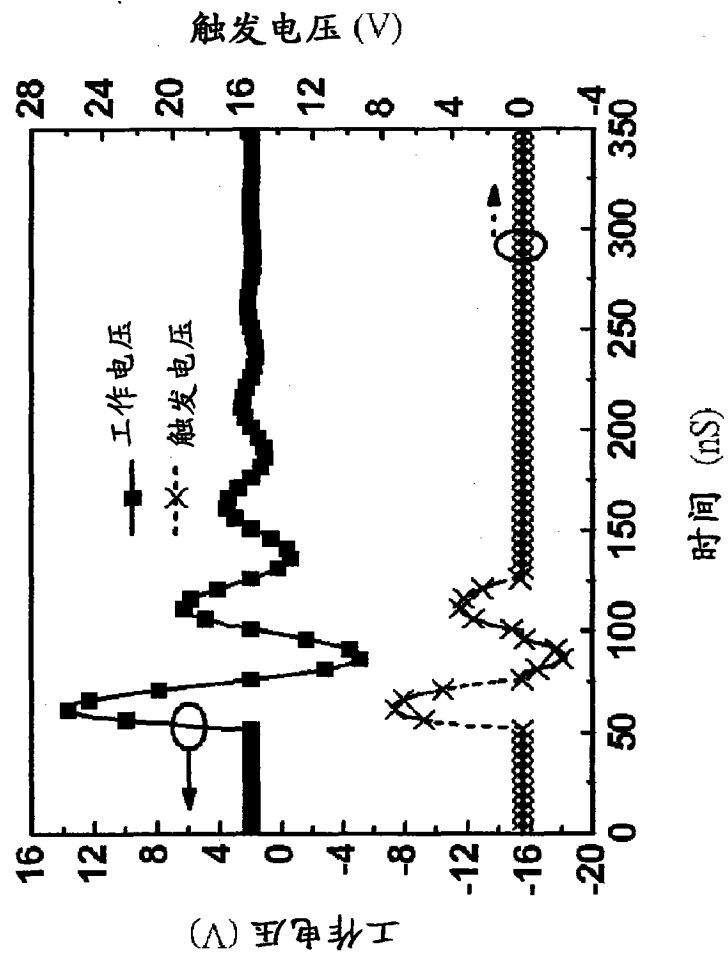


图 13