

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 02141287.1

[51] Int. Cl.

H01L 23/60 (2006.01)

H01L 27/12 (2006.01)

H01L 29/861 (2006.01)

H01L 21/84 (2006.01)

[45] 授权公告日 2009 年 5 月 20 日

[11] 授权公告号 CN 100490143C

[22] 申请日 2002.7.5 [21] 申请号 02141287.1

[30] 优先权

[32] 2002. 1. 30 [33] US [31] 10/060,743

[73] 专利权人 联华电子股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 柯明道 洪根刚 唐天浩

[56] 参考文献

CN1133105A 1996.10.8

CN1297580A 2001.5.30

审查员 商纪楠

[74] 专利代理机构 北京市柳沈律师事务所

代理人 王志森 黄小临

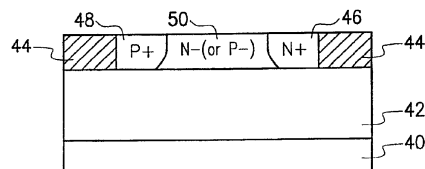
权利要求书 6 页 说明书 14 页 附图 9 页

[54] 发明名称

非门控二极管、制造方法和应用其的静电放电防护电路

[57] 摘要

一种绝缘体基外延硅的非门控二极管结构，包括：一绝缘体基外延硅衬底，其具有衬底、绝缘层与硅层依序堆叠；对隔离结构，位于硅层中，使在对隔离结构之间与硅层中具有一阱区；第一型离子注入区与一第二型离子注入区，位于阱区中并且分别紧邻各隔离结构。此种非门控二极管结构可以应用于静电防护电路之中，用以提高集成电路产品对静电放电防护能力。此外，本发明提出一种非门控二极管结构的制作方法。



1. 一种绝缘体基外延硅的非门控二极管结构，包括：
一绝缘体基外延硅衬底，包括一衬底、一绝缘层与一硅层依序堆叠；
一对隔离结构，位于该硅层中，使在该对隔离结构之间与该硅层中具有一阱区；
一第一型离子注入区与一第二型离子注入区，位于该阱区中并且分别紧邻各该隔离结构。
2. 如权利要求 1 所述的绝缘体基外延硅的非门控二极管元件，其中该第一型离子注入区与该第二型离子注入区分别注入 P 型与 N 型离子。
3. 如权利要求 1 所述的绝缘体基外延硅的非门控二极管元件，其中该阱区注入低浓度的 P 型离子。
4. 如权利要求 1 所述的绝缘体基外延硅的非门控二极管元件，其中该阱区注入低浓度的 N 型离子。
5. 如权利要求 1 所述的绝缘体基外延硅的非门控二极管元件，其中该绝缘层为埋入式氧化层。
6. 如权利要求 1 所述的绝缘体基外延硅的非门控二极管元件，其中该对隔离结构为浅沟槽隔离结构。
7. 一种绝缘体基外延硅的非门控二极管结构，包括：
一绝缘体基外延硅衬底，包括一衬底、一绝缘层与一硅层依序堆叠；
一对隔离结构，位于该硅层中，使在该对隔离结构之间与该硅层中具有一第一阱区与一第二阱区，其中该第一阱区与该第二阱区相邻；
一第一型离子注入区与一第二型离子注入区，分别位于该第一与该第二阱区中，并且分别紧邻各该隔离结构，以此使该绝缘体基外延硅的非门控二极管元件中的结为该第一与该第二阱区的结。
8. 如权利要求 7 所述的绝缘体基外延硅的非门控二极管元件，其中该第一型离子注入区与该第二型离子注入区分别注入 P 型与 N 型离子。
9. 如权利要求 8 所述的绝缘体基外延硅的非门控二极管元件，其中该第一与该第二阱区分别注入低浓度的 P 型与 N 型离子。
10. 如权利要求 7 所述的绝缘体基外延硅的非门控二极管元件，其中该绝缘层为埋入式氧化层。
11. 如权利要求 7 所述的绝缘体基外延硅的非门控二极管元件，其中该

对隔离结构为浅沟槽隔离结构。

12. 一种大规模 COMS 非门控二极管结构, 包括:

一衬底, 该衬底具有一阱;

一对隔离结构, 位于该衬底中且位于该阱中;

一第一型离子注入区, 位于该阱中, 且位于该对隔离结构之间; 以及

一对第二型离子注入区, 位于阱中并且分别紧邻各该隔离结构, 其中该对第二型离子注入区分别以该阱与该第一型离子注入区分离。

13. 如权利要求 12 所述的大规模 COMS 非门控二极管, 其中该第一型离子注入区与该第二型离子注入区分别注入 P 型与 N 型离子。

14. 如权利要求 12 所述的大规模 COMS 非门控二极管, 其中该阱区注入低浓度的 P 型离子。

15. 一种应用权利要求 1 至 14 中任何一项所述的非门控二极管元件的静电放电防护电路, 耦接于一输入焊块与一内部电路之间, 包括:

一高电压供电线与一低电压供电线, 均耦合至该内部电路;

一第一二极管, 其阳极耦接至该高电压供电线且其阴极耦接至一节点;

一第二二极管, 其阴极耦接至该低电压供电线且其阳极耦接至该节点;

一第一二极管串, 由多个二极管串联构成, 其中其阳极耦接至该高电压供电线且其阴极耦接至该节点; 以及

一第二二极管串, 由多个二极管串联构成, 其阴极耦接至该低电压供电线且其阳极耦接至该节点, 其中该第一二极管串中的各二极管、该第二二极管串中的各二极管、该第一二极管、该第二二极管中的至少其中之一是非门控二极管。

16. 如权利要求 15 所述的非门控二极管元件的静电放电防护电路, 其中当相对于该高电压供电线的一正电压施加于该输入焊块时, 该非门控二极管元件的静电放电防护电路提供一条经由该第一二极管到该高电压供电线的放电路径。

17. 如权利要求 15 所述的非门控二极管元件的静电放电防护电路, 其中当相对于该低电压供电线的一负电压施加于该输入焊块时, 该非门控二极管元件的静电放电防护电路提供一条经由该第二二极管到该低电压供电线的放电路径。

18. 如权利要求 15 所述的非门控二极管元件的静电放电防护电路, 其

中当相对于该高电压供电线的一负电压施加于该输入焊块时,该非门控二极管元件的静电放电防护电路提供一条经由该第二二极管、该第二二极管串与该第一二极管串到该高电压供电线的放电路径。

19. 如权利要求 15 所述的非门控二极管元件的静电放电防护电路,其中当相对于该低电压供电线的一正电压施加于该输入焊块时,该非门控二极管元件的静电放电防护电路提供一条经由该第一二极管、该第一二极管串与该第二二极管串到该低电压供电线的放电路径。

20. 如权利要求 15 所述的非门控二极管元件的静电放电防护电路,其中该第一与该第二二极管与该第一与该第二二极管串中的各二极管均为非门控二极管,且利用绝缘体基外延硅(SOI)的制造工艺制作。

21. 如权利要求 15 所述的非门控二极管元件的静电放电防护电路,其中该第一与该第二二极管与该第一与该第二二极管串中的各二极管均为非门控二极管,且利用大规模金属氧化物半导体的制造工艺制作。

22. 如权利要求 15 所述的非门控二极管元件的静电放电防护电路,其中该第一与该第二二极管的尺寸相同,均具有相等的结电容。

23. 如权利要求 15 所述的非门控二极管元件的静电放电防护电路,其中该第一与该第二二极管的尺寸不相同,其结电容均不相同。

24. 一种应用权利要求 1-14 中任何一项所述的非门控二极管元件的静电放电防护电路,耦接于一输出焊块与一预驱动器之间,包括:

- 一高电压供电线与一低电压供电线,分别耦接到该预驱动器;
 - 一第一二极管,其阳极耦接至该高电压供电线且其阴极耦接至一节点;
 - 一第二二极管,其阴极耦接至该低电压供电线且其阳极耦接至该节点;
 - 一第一二极管串,由多个二极管串联构成,其中其阳极耦接至该高电压供电线且其阴极耦接至该节点;
 - 一第二二极管串,由多个二极管串联构成,其阴极耦接至该低电压供电线且其阳极耦接至该节点;
 - 一第一型 MOS 晶体管,其源极耦接到该高电压供电线,其漏极耦接到该节点,其栅极耦接到该预驱动器;以及
 - 一第二型 MOS 晶体管,其源极耦接到该低电压供电线,其漏极耦接到该节点,其栅极耦接到该第一型 MOS 晶体管该栅极,
- 其中该第一二极管串中的各二极管、该第二二极管串中的各二极管、该

第一二极管、该第二二极管中的至少其中之一是非门控二极管。

25. 如权利要求 24 所述的非门控二极管元件的静电放电防护电路, 其中当相对于该高电压供电线的一正电压施加于该输出焊块时, 该非门控二极管元件的静电放电防护电路提供一条经由该第一二极管到该高电压供电线的放电路径。

26. 如权利要求 24 所述的非门控二极管元件的静电放电防护电路, 其中当相对于该低电压供电线的一负电压施加于该输出焊块时, 该非门控二极管元件的静电放电防护电路提供一条经由该第二二极管到该低电压供电线的放电路径。

27. 如权利要求 24 所述的非门控二极管元件的静电放电防护电路, 其中当相对于该高电压供电线的一负电压施加于该输出焊块时, 该非门控二极管元件的静电放电防护电路提供一条经由该第二二极管、该第二二极管串与该第一二极管串到该高电压供电线的放电路径。

28. 如权利要求 24 所述的非门控二极管元件的静电放电防护电路, 其中当相对于该低电压供电线的一正电压施加于该输出焊块时, 该非门控二极管元件的静电放电防护电路提供一条经由该第一二极管、该第一二极管串与该第二二极管串到该低电压供电线的放电路径。

29. 如权利要求 24 所述的非门控二极管元件的静电放电防护电路, 其中该第一与该第二二极管与该第一与该第二二极管串中的各二极管均为非门控二极管, 且利用绝缘体基外延硅(SOI)的制造工艺制作。

30. 如权利要求 24 所述的非门控二极管元件的静电放电防护电路, 其中该第一与该第二二极管与该第一与该第二二极管串中的各二极管均为非门控二极管, 且利用大规模金属氧化物半导体的制造工艺制作。

31. 如权利要求 24 所述的非门控二极管元件的静电放电防护电路, 其中该第一与该第二二极管的尺寸相同, 均具有相等的结电容。

32. 如权利要求 24 所述的非门控二极管元件的静电放电防护电路, 其中该第一与该第二二极管的尺寸不相同, 其结电容均不相同。

33. 如权利要求 24 所述的非门控二极管元件的静电放电防护电路, 其中该第一型 MOS 晶体管是 PMOS 晶体管, 而该第二型 MOS 晶体管是 NMOS 晶体管。

34. 一种应用权利要求 1-14 中任何一项所述的非门控二极管元件的静

电放电防护电路，耦接于一输入焊块与一内部电路之间，包括：

一高电压供电线与一低电压供电线，均耦接至该内部电路；

一第一二极管与一第二二极管，串联一起，其中该第一二极管的阳极耦接至一节点，而该第二二极管的阴极耦接至该高电压供电线；

一第三二极管与一第四二极管，串联一起，其中该第三二极管的阳极耦接至该低电压供电线，而该第四二极管的阴极耦接至该节点；以及

一静电放电箝制电路，耦接于该高电压供电线与该低电压供电线之间，

其中该静电放电箝制电路由多个二极管串联而成，其阳极耦接到该高电压供电线且其阴极耦接到该低电压供电线，

其中该第三二极管、该第四二极管、该第一二极管、该第二二极管中的至少其中之一是非门控二极管。

35. 如权利要求 34 所述的非门控二极管元件的静电放电防护电路，其中该第一、该第二、该第三与该第四二极管以及该静电放电箝制电路中的各二极管均为非门控二极管，且利用绝缘体基外延硅(SOI)的制造工艺制作。

36. 如权利要求 34 所述的非门控二极管元件的静电放电防护电路，其中该第一、该第二、该第三与该第四二极管均为非门控二极管，且利用大规模金属氧化物半导体的制造工艺制作。

37. 如权利要求 34 所述的非门控二极管元件的静电放电防护电路，其中该静电放电箝制电路中的各二极管均为非门控二极管，且利用绝缘体基外延硅(SOI)的制造工艺制作。

38. 如权利要求 34 所述的非门控二极管元件的静电放电防护电路，其中该静电放电箝制电路中的各二极管均为非门控二极管，且利用大规模金属氧化物半导体的制造工艺制作。

39. 如权利要求 34 所述的非门控二极管元件的静电放电防护电路，其中该第一、该第二、该第三与该第四二极管的尺寸相同，均具有相等的结电容。

40. 如权利要求 34 所述的非门控二极管元件的静电放电防护电路，其中该第一、该第二、该第三与该第四二极管的尺寸不相同，其结电容均不相同。

41. 一种形成绝缘体基外延硅的非门控二极管的方法，包括：

提供一绝缘体基外延硅衬底，包括一衬底、一绝缘层与一硅层依序堆叠；

形成一对隔离结构于该硅层中,使在该对隔离结构之间与该硅层中具有一阱区;

形成一第一型离子注入区与一第二型离子注入区于该阱区中,并且分别紧邻各该隔离结构。

42. 如权利要求 41 所述的形成绝缘体基外延硅的非门控二极管的方法,其中该第一型离子注入区与该第二型离子注入区分别注入 P 型与 N 型离子。

43. 如权利要求 41 所述的形成绝缘体基外延硅的非门控二极管的方法,其中该阱区注入低浓度的 P 型离子。

44. 如权利要求 41 所述的形成绝缘体基外延硅的非门控二极管的方法,其中该阱区硅注入低浓度的 N 型离子。

45. 一种形成大规模 COMS 非门控二极管的方法,包括:
提供一衬底,该衬底中形成一阱;
形成一对隔离结构于该衬底,所述隔离结构位于该阱中;
形成一第一型离子注入区于该阱中,且位于该对隔离结构之间;以及
形成一对第二型离子注入区于该阱区中,并且分别紧邻各该隔离结构,各该第二型离子注入区分别以该阱与该第一型离子注入区分离。

46. 如权利要求 45 所述的形成大规模 COMS 非门控二极管的方法,其中该第一型离子注入区与该第二型离子注入区分别注入 P 型与 N 型离子。

47. 如权利要求 45 所述的形成大规模 COMS 非门控二极管的方法,其中该阱区注入低浓度的 P 型离子。

非门控二极管、制造方法和应用其的静电放电防护电路

技术领域

本发明有关于一种非门控二极管元件、制造方法和应用其的静电放电防护电路且特别是关于一种利用绝缘体基外延硅(silicon on insulator, SOI)制造工艺技术的非门控二极管元件、制造方法以及应用其的静电放电防护电路。

背景技术

绝缘体基外延硅(SOI)制造工艺技术在目前低电压与高速应用上是具有潜力的主要竞争技术,因为相较于一般大规模(bulk)CMOS 制造工艺而言,SOI 制造工艺技术具有高隔离(isolation)程度、免于闩锁(latch-up)效应以及较低的结电容等等。目前,对于 SOI 制造工艺而言,静电放电防护(electrostatic discharge, ESD)是一个极需发展的技术。

ESD 防护电路能够提供的保护等级取决于当 ESD 电路将电压箝制到较小电压时,ESD 电路能够带走的电流量。在 ESD 脉冲进入期间内,热致失控(thermal runaway)与连续的剧裂破坏会对内部电路元件造成严重破坏。在 SOI 元件中,SOI 的埋入式氧化层(buried oxide)的热传率(thermal conductivity)仅为硅的百分之一左右;这导致元件更易因 ESD 而过热,而使得热致失控加速增加。

图 1 表示 SOI 门控二极管(gated diode)的剖面图,其为一种 SOI 上有 CMOS 的 ESD 保护电路。此结构由 S. Voldman 等人发表于期刊“Proc. of EOS/ESD Symp.”, 1996, pp. 291-301。如图 1 所示,SOI 门控二极管形成于一 SOI 衬底上,其包括衬底 10、埋入式氧化层 12 与硅层。在硅层中形成浅沟槽隔离 (shallow trench isolation, STI)结构 14。在 STI 隔离结构之间具有一 P 型扩散区(diffusion region)(P+)20 与 N 型扩散区(N+)16。P 型扩散区 20 与 N 型扩散区 16 中间则为 N 型阱或 P 型阱区域 18。若该阱区域 18 为注入 N 型离子(N-),则 P 型扩散区(P+)20 与 N 阱(N-)18 形成 SOI 二极管;反之,若该阱区 18 为注入 P 型离子(P-),则 N 型扩散区 20(N+)与 P 阱(P-)18 形成 SOI 二极管。在阱区 18 上还具有一栅极结构,其包括 P+区 24 与 N+区 22(两者

作为栅极)、间隔壁 26 与栅极氧化层 28 等。

P 型扩散区(P+)20 与 N 型扩散区(N+)16 分别连接到电压 V1、V2，各自作为 SOI 二极管的两个电压施加端点。以 P 型扩散区(P+)20 与 N 阱(N-)18 形成 SOI 二极管为例，假如电压 V1 相对于电压 V2 为正，则此 SOI 二极管为顺向偏置；反之，假如电压 V2 相对于电压 V1 为正，则此 SOI 二极管为逆向偏置。

若 ESD 电压在 P 型扩散区(P+)20/N 型阱(N-)18 间的结所产生的热很小的话，SOI 二极管可以承受较高的 ESD 电压。热产生在 PN 结的局部区域。大部分在 PN 结上的热为焦耳热。二次击穿发生在当 SOI 二极管中的最大温度到达它的本征温度(intrinsic temperature) $T_{\text{intrinsic}}$ 时。因此，为了要得到较佳的 ESD 防护等级，便必须降低功率密度无焦耳热量。

发明内容

因此本发明的目的是提出一种非门控二极管元件、制造方法和应用其的静电放电防护电路，此非门控二极管具有低功率密度。

本发明的另一目的是提出一种非门控二极管元件、制造方法和应用其的静电放电防护电路，此非门控二极管可以应用到 SOI 电路的静电防护电路，并可以提高它的 ESD 耐压度。

本发明的另一目的是提出一种非门控二极管元件、制造方法和应用其的静电放电防护电路，此非门控二极管可以适用 SOI 制造工艺或大规模 CMOS 制造工艺。

为达到上述与其他目的，本发明提出一种非门控二极管元件结构，应用此非门控二极管元件的静电放电防护电路及非门控二极管元件制造方法，其简述如下：

本发明提供一种绝缘体基外延硅的非门控二极管结构，包括：一绝缘体基外延硅衬底，其具有衬底、绝缘层与硅层依序堆叠；对隔离结构，位于硅层中，使在对隔离结构之间与硅层中具有一阱区；第一型离子注入区与一第二型离子注入区，位于阱区中并且分别紧邻各隔离结构。

本发明还提出另一种绝缘体基外延硅的非门控二极管结构，包括：绝缘体基外延硅衬底，其具有衬底、绝缘层与硅层依序堆叠；对隔离结构，位于硅层中，使在对隔离结构之间与硅层中具有第一阱区与第二阱区，其中第一

阱区与第二阱区相邻；第一型离子注入区与第二型离子注入区，分别位于第一与第二阱区中，并且分别紧邻各隔离结构，以此使绝缘体基外延硅的非门控二极管元件的结为第一与第二阱区的接面。

本发明还提供一种非门控二极管元件的静电放电防护电路，其耦接于输入焊块与内部电路之间。此防护电路包括以下元件。高电压供电线与低电压供电线，均耦合至该内部电路；第一二极管，其阳极耦接至高电压供电线且其阴极耦接至一节点；第二二极管，其阴极耦接至低电压供电线且其阳极耦接至节点；第一二极管串，由多个二极管串联构成，其中其阳极耦接至高电压供电线且其阴极耦接至节点；第二二极管串，由多个二极管串联构成，其阴极耦接至低电压供电线且其阳极耦接至节点，其中该第一二极管串中的各二极管、该第二二极管串中的各二极管、该第一二极管、该第二二极管中的至少其中之一是非门控二极管。

当相对于高电压供电线的正电压施加于输入焊块时，非门控二极管元件的静电放电防护电路提供一条经由第一二极管到高电压供电线的放电路径。当相对于低电压供电线的负电压施加于输入焊块时，非门控二极管元件的静电放电防护电路提供一条经由第二二极管到低电压供电线的放电路径。当相对于高电压供电线的负电压施加于输入焊块时，非门控二极管元件的静电放电防护电路提供一条经由第二二极管、第二二极管串与第一二极管串到高电压供电线的放电路径。当相对于该低电压供电线的正电压施加于输入焊块时，非门控二极管元件的静电放电防护电路提供一条经由第一二极管、第一二极管串与第二二极管串到低电压供电线的放电路径。

本发明还提供一种非门控二极管元件的静电放电防护电路，其耦接于输出焊块与预驱动器之间。此防护电路包括以下元件。高电压供电线与一低电压供电线，分别耦接到预驱动器；第一二极管，其阳极耦接至该高电压供电线且其阴极耦接至一节点；第二二极管，其阴极耦接至低电压供电线且其阳极耦接至节点；第一二极管串，由多个二极管串联构成，其阳极耦接至高电压供电线且其阴极耦接至节点；第二二极管串，由多个二极管串联构成，其阴极耦接至低电压供电线且其阳极耦接至节点；第一型 MOS 晶体管，其源极耦接到高电压供电线，其漏极耦接到节点，其栅极耦接到预驱动器；以及第二型 MOS 晶体管，其源极耦接至低电压供电线，其漏极耦接到节点，其栅极耦接到第一型 MOS 晶体管该栅极，其中该第一二极管串中的各二极管、

该第二二极管串中的各二极管、该第一二极管、该第二二极管中的至少其中之一是非门控二极管。

其中当相对于高电压供电线的正电压施加于输出焊块时，非门控二极管元件的静电放电防护电路提供一条经由第一二极管到高电压供电线的放电路径。当相对于低电压供电线的负电压施加于输出焊块时，非门控二极管元件的静电放电防护电路提供一条经由第二二极管到低电压供电线的放电路径。当相对于高电压供电线的一负电压施加于输入焊块时，非门控二极管元件的静电放电防护电路提供一条经由第二二极管、第二二极管串与第一二极管串到高电压供电线的放电路径。当相对于低电压供电线的正电压施加于输出焊块时，非门控二极管元件的静电放电防护电路提供一条经由第一二极管、第一二极管串与第二二极管串到低电压供电线的放电路径。

本发明还提出一种非门控二极管元件的静电放电防护电路，其耦接于输入焊块与内部电路之间。此防护电路包括以下构件。高电压供电线与低电压供电线，均耦接至内部电路；第一二极管与一第二二极管串联一起，其中第一二极管的阳极耦接至一节点，而第二二极管的阴极耦接至高电压供电线；第三二极管与第四二极管串联一起，其中第三二极管的阳极耦接至低电压供电线，而第四二极管的阴极耦接至节点；电阻具有的第一端耦接至节点与第二端耦接至内部电路；MOS晶体管的栅极与源极一起耦接至低电压供电线，而漏极耦接至电阻的第二端；以及静电放电箝制电路，耦接于高电压供电线与低电压供电线之间，其中上述的静电放电箝制电路由多个二极管串联而成，其阳极耦接到高电压供电线且其阴极耦接到低电压供电线，其中该第一二极管串中的各二极管、该第二二极管串中的各二极管、该第一二极管、该第二二极管中的至少其中之一是非门控二极管。

本发明还提出一种形成绝缘体基外延硅的非门控二极管的方法。首先，提供一绝缘体基外延硅衬底，其依序堆叠衬底、绝缘层与硅层；形成一对隔离结构于硅层中，使在对隔离结构之间与硅层中具有一阱区。形成第一型离子注入区与第二型离子注入区于阱区中，并且分别紧邻各隔离结构。

本发明还提出一种形成绝缘体基外延硅的非门控二极管的方法。首先，提供一绝缘体基外延硅衬底，其依序堆叠衬底、绝缘层与硅层依序堆叠。形成一对隔离结构于该硅层中。形成第一阱区与第二阱区在对隔离结构之间与硅层中，其中第一阱区与第二阱区相邻。形成第一型离子注入区与第二型离

子注入区,分别位于第一与该第二阱区中,并且分别紧邻各隔离结构,以使绝缘体基外延硅的非门控二极管元件的结为第一与第二阱区的结。

本发明还提供一种大规模 COMS 非门控二极管结构,包括:具有一阱的衬底;一对隔离结构,位于该衬底中且位于该阱中;第一型离子注入区位于上述的阱中;一对第二型离子注入区,位于阱中并且分别紧邻各该隔离结构,其中该对第二型离子注入区分别以该阱与该第一型离子注入区分离。

本发明还提供一种形成大规模 COMS 非门控二极管的方法,包括:提供一衬底,该衬底中形成一阱;形成一对隔离结构于该衬底,所述隔离结构位于该阱中;形成一第一型离子注入区与该阱中,且位于该对隔离结构之间;形成一对第二型离子注入区于该阱区中,并且分别紧邻各该隔离结构,各该第二型离子注入区分别以该阱与该第一型离子注入区分离。

为了让本发明的上述目的、特征、和优点能更明显易懂,下文列举较佳实施例,并配合附图,进行详细说明如下:

附图说明

图 1 表示 SOI 的门控二极管(gated diode)的剖面图,其为一种 SOI 上有 CMOS 的 ESD 保护电路;

图 2 是依据本发明的一实施例所述的具有以 STI 阻挡结构(STI-blocking structure)的非门控二极管(non-gated diode)的剖面示意图;

图 3A 与图 3B 分别表示出 STI 隔离结构与 STI 阻挡结构的上视图;

图 4A 至图 4G 表示以 SOI 制造工艺来制作出具有 STI 的隔离结构;

图 5A 至图 5G 表示以 SOI 制造工艺来制作出不具有 STI 的隔离结构;

图 6A 至图 6G 表示以大规模 CMOS 制造工艺来制作出具有 STI 的隔离结构;

图 7A 至图 7G 表示以大规模 CMOS 制造工艺来制作出不具有 STI 的隔离结构;

图 8 表示有门控与非门控 SOI 二极管的周长与 ESD 电压之间的比较关系图;

图 9 是依据本发明的另一实施例所述的具有以 STI 阻挡结构的非门控二极管的剖面示意图;

图 10 是表示应用本发明的非门控二极管元件在输入端静电放电防护电

路上的应用;

图 11 是表示应用本发明的非门控二极管元件在输出端静电放电防护电路上的应用;

图 12 是表示应用本发明的非门控二极管元件在输入端静电放电防护电路上的另一种应用; 以及

图 13 是表示利用本发明的非门控二极管元件来实现图 12 的 ESD 箝制电路。

标号说明

10 衬底	12 绝缘层
14 STI 结构	16 N+扩散区
18 N-(或 P-)阱	20 P+扩散区
22 N+区(栅极)	24 P+区(栅极)
26 间隙壁	
40 衬底	42 绝缘层
44 STI 结构	46 N+扩散区
48 N-(或 P-)阱	50 P+扩散区
60、70 STI 结构	62、72 绝缘层
64、66、68 离子注入区	
74、76、78 离子注入区	
100a/b 衬底	102a/b 绝缘层
104a/b 硅层	106a/b 氮化硅层
108a/b 光致抗蚀剂	110a/b STI 结构
112a/b 光致抗蚀剂	114a/b 阱区
116a/b 光致抗蚀剂	118a/b 离子注入区
120 阱区	
200a/b 衬底	202a/b 阱区
204a/b 氮化硅层	206a/b 光致抗蚀剂
208a/b STI 结构	210a/b 光致抗蚀剂
212a/b 离子注入区	214a/b 光致抗蚀剂
216a/b 离子注入区	218 阱区
300 输入焊块	302 第一二极管串

304 第二二极管串	306 内部电路
310 输出焊块	312 第一二极管
314 第二二极管串	316 预驱动电路
320 输入焊块	322 内部电路
324 ESD 箝制电路	
330 输入焊块	332 内部电路
334 二极管串	

具体实施方式

图 2 是依据本发明的一实施例所述的具有 STI 的阻挡结构(STI-blocking structure)的非门控二极管(non-gated diode)的剖面示意图。如图 2 所示, SOI 门控二极管形成于一 SOI 衬底上, 其包括衬底 40、绝缘层 42 与硅层。衬底 40 可以为 P-型或 N-型衬底, 而绝缘层 42 则可以如埋入式氧化层。具有 STI 阻挡结构的 SOI 二极管则形成于硅层之中。在硅层中, SOI 二极管形成于两个 STI 结构 44 之间, 亦即构成 SOI 二极管的离子注入区均被两个 STI 结构隔离。在绝缘层 42 上与两个 STI 结构之间则形成浓度较淡的 P 型或 N 型离子(P-阱或 N-阱)的阱区 50。此外, 在 P-或 N-阱 50 的角落且邻接两个 STI 结构 44 则分别形成浓度较高的 P 型扩散区(P+)48 与 N 型扩散区(N+)46。

接着要说明在 SOI 制造工艺中形成 STI 结构有两种: STI 隔离结构(STI-isolating structure)与不具有 STI 的阻挡结构(STI-blocking structure)。图 3A 与图 3B 分别表示出此两种结构的上视图。以下的说明将指出 STI 隔离结构(STI-isolating structure)无法形成 SOI 二极管, 因为每个离子注入区均被 STI 结构隔离开。如图 3A 所示, 在绝缘层(埋入式氧化层)62 上的硅层中形成数个 STI 结构 60, 而离子注入区 64(N+)、66(P+)与 68(N+)则个别形成于 STI 结构 60 之间, 两两彼此不连接, 因此无法形成二极管的 P-N 结。其次, 如图 3B 所示, 在绝缘层(埋入式氧化层)72 上的硅层中形成两个 STI 结构 70, 而离子注入区 74(N+)、76(P+)与 78(N+)则均形成于两个 STI 结构 70 之间, 因此可以形成二极管的 P-N 结。

图 4A 至图 4G 表示以 SOI 制造工艺来制作出具有 STI 的隔离结构, 而图 5A 至图 5G 表示以 SOI 制造工艺来制作出不具有 STI 的隔离结构。由结

果可以看出具有 STI 的隔离结构的制造工艺中的离子注入区两两彼此不连接, 因此无法形成二极管的 P-N 结。

请参考图 4A 与图 5A, 首先提供一衬底 100a、100b。接着, 在衬底 100a、100b 上分别形成绝缘层 102a、102b。之后, 在绝缘层 102a、102b 上形成一硅层。绝缘层 102a、102b 可以是埋入式氧化层。此外, 在硅层注入 P 型离子, 以形成 P 型阱区 104a、104b。至此, 两种制造工艺的步骤仍相同。

接着, 参考图 4B 与图 4C, 继续形成一焊块氧化层(pad oxide)106b 与光致抗蚀剂 108b, 并暴露出要形成 STI 结构的区域。接着, 以焊块氧化层 106b 与光致抗蚀剂 108b 为掩膜, 将 P 型阱(硅层)106 蚀刻出沟槽后, 再移除焊块氧化层 106b 与光致抗蚀剂 108b。之后, 再以绝缘材料填入沟槽, 并进行平坦化以形成 STI 结构。参考图 4D, 接着形成光致抗蚀剂 112b 于部分 P 型阱 104b 与部分 STI 结构 110b 上, 并暴露出其中的一被 STI 结构所围出的 P 型阱区 104b。接着, 进行离子注入步骤, 将 P 型离子注入暴露出来的 P 型阱区 104b, 以形成 P+型区域 114b。最后, 如图 4E 所示, 将光致抗蚀剂 112b 移除。接着, 如图 4F 所示, 形成光致抗蚀剂 116b 于 P+区域 114b, 并进行离子注入步骤。将 N 型离子注入于暴露出的 P 型阱区中, 以形成 N+区域 118b。最后, 移除光致抗蚀剂 116b, 如图 4G 所示。

接着, 参考图 5B 与图 5C, 继续形成一焊块氧化层 106a 与光致抗蚀剂 108a, 并暴露出要形成 STI 结构的区域。接着, 以焊块氧化层 106b 与光致抗蚀剂 108a 为掩膜, 将 P 型阱(硅层)104a 蚀刻出沟槽后, 再移除焊块氧化层 106a 与光致抗蚀剂 108a。之后, 再以绝缘材料填入沟槽, 并进行平坦化以形成 STI 结构。参考图 5D, 接着形成光致抗蚀剂 112a 于部分 P 型阱 104a 与部分 STI 结构 110a 上, 并暴露出部分 P 型阱区 104a。接着, 进行离子注入步骤, 将 P 型离子注入暴露出来的 P 型阱区 104a, 以形成 P+型区域 114a。最后, 如图 5E 所示, 将光致抗蚀剂 112a 移除。接着, 如图 5F 所示, 形成光致抗蚀剂 116a 于 P+区域 114a, 并进行离子注入步骤。光致抗蚀剂 116a 的宽度略大于底下覆盖的 P+区域 114a。接着, 将 N 型离子注入于暴露出的 P 型阱区 104a 中, 以形成 N+区域 118a。最后, 移除光致抗蚀剂 116a, 如图 5G 所示。因为光致抗蚀剂 116a 的宽度略大于底下覆盖的 P+区域 114a, 所以在 N+区域 118a 与 P+区域 114a 之间会存在 P-阱区 120, 具有宽度 SP。

如上所述, 比较图 4G 与图 5G 可以得知, 只有不具有 STI 的阻挡结构

(STI-blocking structure)的制造工艺可以形成 SOI 二极管。

影响应用于 ESD 防护电路的 SOI CMOS 制造工艺的非门控 STI 阻挡结构的二极管的主要参数为二极管尺寸、阱区离子注入浓度以及二极管的阴极节点与阳极节点间的间隔(spacing, SP)。其中间隔 SP 的参数不仅仅影响在二极管顺向偏置下, ESD 放电的导通电阻(on-resistance), 其还影响二极管的反向击穿电压。因此, 通过适当地控制间隔 SP 值, 可以制作出在 ESD 保护电路中任何适合的反向击穿电压值。

图 6A 至图 6G 是表示以大规模 CMOS 制造工艺来制作出具有 STI 的隔离结构的二极管元件, 而图 7A 至图 7G 是表示以大规模 CMOS 制造工艺来制作出不具有 STI 隔离结构的二极管元件。

请参考图 6A 与图 7A, 首先提供一衬底 200a、200b。接着, 在衬底 200a、200b 上分别形成 P 型阱区 202a、202b。至此, 两种制造工艺的步骤仍相同。

接着, 参考图 6B 与图 6C, 继续形成一焊块氧化层(pad oxide)204b 与光致抗蚀剂 206b, 并暴露出要形成 STI 结构的区域。接着, 以焊块氧化层 204b 与光致抗蚀剂 206b 为掩膜, 将 P 型阱 202b 蚀刻出沟槽后, 再移除焊块氧化层 204b 与光致抗蚀剂 206b。之后, 再以绝缘材料填入沟槽, 并进行平坦化以形成 STI 结构。参考图 6D, 接着形成光致抗蚀剂 210b 于部分 P 型阱 202b 与部分 STI 结构 208b 上, 并暴露出其中的一被 STI 结构所围出的 P 型阱区 202b。接着, 进行离子注入步骤, 将 P 型离子注入暴露出来的 P 型阱区 202b, 以形成 P+型扩散区域 212b。最后, 如图 6E 所示, 将光致抗蚀剂 210b 移除。接着, 如图 6F 所示, 形成光致抗蚀剂 214b 于 P+扩散区域 212b, 并进行离子注入步骤。将 N 型离子注入于暴露出的 P 型阱区 202b 中, 以形成 N+扩散区域 216b。最后, 移除光致抗蚀剂 214b, 如图 6G 所示。

接着, 参考图 7B 与图 7C, 继续形成一焊块氧化层 204a 与光致抗蚀剂 206a, 并暴露出要形成 STI 结构的区域。接着, 以焊块氧化层 204b 与光致抗蚀剂 206a 为掩膜, 将 P 型阱 202a 蚀刻出沟槽后, 再移除焊块氧化层 204a 与光致抗蚀剂 206a。之后, 再以绝缘材料填入沟槽, 并进行平坦化以形成 STI 结构 208a。参考图 7D, 接着形成光致抗蚀剂 210a 于部分 P 型阱 202a 与部分 STI 结构 208a 上, 并暴露出部分 P 型阱区 202a。接着, 进行离子注入步骤, 将 P 型离子注入暴露出来的 P 型阱区 202a, 以形成 P+型区域 212a。最后, 如图 7E 所示, 将光致抗蚀剂 210a 移除。接着, 如图 7F 所示, 形成

光致抗蚀剂 214a 于 P+区域 212a, 并进行离子注入步骤。光致抗蚀剂 214a 的宽度略大于底下覆盖的 P+区域 212a。接着, 将 N 型离子注入于暴露出的 P 型阱区 202a 中, 以形成 N+区域 216a。最后, 移除光致抗蚀剂 212a, 如图 7G 所示。因为光致抗蚀剂 214a 的宽度略大于底下覆盖的 P+区域 212a, 所以在 N+区域 216a 与 P+区域 212a 之间会存在 P-阱区 218, 具有宽度 SP。

如上所述, 比较图 6G 与图 7G 可以得知, 只有不具有 STI 的阻挡结构 (STI-blocking structure) 的制造工艺可以形成相邻的二极管结构。

影响应用于 ESD 防护电路的大规模 CMOS 制造工艺的非门控 STI 阻挡结构的二极管的主要参数为二极管尺寸、阱区离子注入浓度以及二极管的阴极节点与阳极节点间的间隔 (spacing, SP)。其中间隔 SP 的参数不仅仅影响在二极管顺向偏置下, ESD 放电的导通电阻 (on-resistance), 其还影响二极管的反向击穿电压。因此, 通过适当地控制间隔 SP 值, 可以制作出在 ESD 保护电路中任何适合的反向击穿电压值。

图 8 表示有门控与非门控 SOI 二极管的周长与 ESD 电压之间的比较关系图。由图可以看出几点结论。第一: 二极管的周长越长的话, 元件能够承受的 ESD 放电电压越大, 也越能保护内部电路。第二: 很明显地, 非门控 SOI 二极管能承受的 ESD 电压大于有门控 SOI 二极管 (SOI lubistor diode)。由于 ESD 耐压度 (ESD robustness) 与二极管周长间的关系为线性关系。因此, 可以很轻易地利用本发明的 SOI 非门控二极管来预估与设计静电放电保护电路的 ESD 等级。

图 9 是依据本发明的另一实施例所述的不具有 STI 的隔离结构的非门控二极管的剖面示意图。如图 9 所示, SOI 门控二极管形成于一 SOI 衬底上, 其包括衬底 90、绝缘层 92 与硅层。衬底 90 可以为 P-型或 N-型衬底, 而绝缘层 92 则可以如埋入式氧化层。不具有 STI 隔离结构的 SOI 二极管则形成于硅层之中。在硅层中, SOI 二极管形成于两个 STI 结构 94 之间, 亦即构成 SOI 二极管的离子注入区均被两个 STI 结构隔离。在绝缘层 92 上与两个 STI 结构之间则形成两个相邻的浓度较淡的 P 型与 N 型离子 (P-阱或 N-阱) 的阱区。此外, 在 P-与 N-阱区 98b、98a 外侧与 STI 结构 94 则分别形成浓度较高的 P 型扩散区 (P+)96b 与 N 型扩散区 (N+)96a。此实施例与图 2 的实施例的差别在于, 图 9 所示的 SOI 非门控二极管的 PN 结在于整个结构的中间, 而图 2 所示的 PN 结则位于一侧。

接着以数个例子来说明应用本发明的 SOI 非门控二极管的 ESD 防护电路。

图 10 是表示应用本发明的图 2 或图 9 的 SOI 非门控二极管的 ESD 防护电路。如图 10 所示, ESD 防护该电路包括一输入焊块(input pad)300, 第一二极管 D1 与第二二极管 D2, 第一二极管串 302、第二二极管串 304, 输入电阻 R, 以及高电压供电线(Vdd voltage supply rail)Vdd 与低电压供电线(Vss voltage supply rail)Vss。内部电路 306 连接到高电压供电线 Vdd 与低电压供电线 Vss 以及输入电阻 R 之间。第一二极管 D1 的阴极连接到 Vdd, 而阳极连接到焊块 300; 第二二极管 D2 的阳极连接到 Vss, 而阴极连接到焊块 300。第一二极管串 302 由多个二极管 Du1, Du2, ..., Dun 以阳极-阴极方式彼此串联起来, 其中二极管 Du1 的阳极连接到 Vdd, 二极管 Dun 的阴极连接到焊块 300。第二二极管串 304 由多个二极管 Dd1, Dd2, ..., Ddn 以阳极阴极方式彼此串联起来, 其中二极管 Dd1 的阳极连接到焊块 300, 二极管 Ddn 的阴极连接到 Vss。上述的第一二极管 D1、第二二极管 D2、第一与第二二极管串 302/304 中的各个二极管均可以是前述图 2 或图 9 所示的 SOI 非门控二极管。此外, 输入电阻 R 也可以连接到内部电路 306 中的一输入缓冲器(未表示出)上。

接着说明图 10 的 ESD 防护电路的工作方式。当相对于高电压供电线 Vdd 为正电压的 ESD 事件输入到输入焊块 300 时, 第一二极管 D1 为顺向偏置; 并且因为低电压供电线 Vss 为浮置, 所以第二二极管 D2 没有作用。因此, 此 ESD 事件(电压)会经由第一二极管 D1 放电到高电压供电线 Vdd。同理, 当相对于低电压供电线 Vss 为负电压的 ESD 事件输入到输入焊块 300 时, 第二二极管 D2 为顺向偏置; 并且因为高电压供电线 Vdd 为浮置, 所以第一二极管 D1 没有作用。因此, 此 ESD 事件(电压)会经由第二二极管 D2 放电到低电压供电线 Vss。

当相对于高电压供电线 Vdd 为负电压的 ESD 事件输入到输入焊块 300 时, 第一二极管 D1 为逆向偏置。因为低电压供电线 Vss 为浮置, 所以在 Vss 上的电压会跟上施加于输入焊块 300 的负电压。由于第二二极管 D2 的顺向导通电压与顺向导通电阻, 在 Vss 与输入焊块 300 会有轻微电压差存在。此时, 第一二极管串 302(Du1, Du2, ..., Dun)为顺向偏置, 所以 ESD 放电电流会经由第一二极管串 302(Du1, Du2, ..., Dun)放电到 Vdd。

当相对于低电压供电线 V_{ss} 为正电压的 ESD 事件输入到输入焊块 300 时, 第二二极管 $D2$ 为逆向偏置。因为高电压供电线 V_{dd} 为浮置, 所以在 V_{dd} 上的电压会跟上施加于输入焊块 300 的正电压。由于第一二极管 $D1$ 的顺向导通电压与顺向导通电阻, 在 V_{dd} 与输入焊块 300 会有轻微的电压差存在。此时, 因为第二二极管串 304($Dd1, Dd2, \dots, Ddn$)为顺向偏置, 所以 ESD 放电电流会经由第二二极管串 304($Dd1, Dd2, \dots, Ddn$)放电到 V_{ss} 。

图 11 表示应用本发明的图 2 或图 9 的 SOI 非门控二极管的 ESD 防护电路。如图 11 所示, ESD 防护电路包括一输出焊块(output pad)310, 第一二极管 $D1$ 与第二二极管 $D2$, 第一二极管串 312、第二二极管串 314, PMOS 晶体管 Mp , NMOS 晶体管 Mn , 以及高电压供电线(V_{dd} voltage supply rail) V_{dd} 与低电压供电线(V_{ss} voltage supply rail) V_{ss} 。预驱动电路 316 连接到高电压供电线 V_{dd} 与低电压供电线 V_{ss} 以及 PMOS 晶体管 Mp 与 NMOS 晶体管 Mn 的栅极之间。第一二极管 $D1$ 的阴极连接到 V_{dd} , 而阳极连接到焊块 310; 第二二极管 $D2$ 的阳极连接到 V_{ss} , 而阴极连接到焊块 310。第一二极管串 312 由多个二极管 $Du1, Du2, \dots, Dun$ 以阳极阴极方式彼此串联起来, 其中二极管 $Du1$ 的阳极连接到 V_{dd} , 二极管 Dun 的阴极连接到焊块 310。第二二极管串 314 由多个二极管 $Dd1, Dd2, \dots, Ddn$ 以阳极阴极方式彼此串联起来, 其中二极管 $Dd1$ 的阳极连接到焊块 310, 二极管 Ddn 的阴极连接到焊块 V_{ss} 。PMOS 晶体管 Mp 的源极连接到 V_{dd} , 而 NMOS 晶体管 Mn 的源极连接到 V_{ss} 。PMOS 晶体管 Mp 的漏极与 NMOS 晶体管 Mn 的漏极连接在一起至焊块 310。上述的第一二极管 $D1$ 、第二二极管 $D2$ 、第一与第二二极管串 302/304 中的各个二极管均可以是前述图 2 或图 9 所示的 SOI 非门控二极管。

接着说明图 11 的 ESD 防护电路的工作方式。当相对于高电压供电线 V_{dd} 为正电压的 ESD 事件输入到输出焊块 310 时, 第一二极管 $D1$ 为顺向偏置; 并且因为低电压供电线 V_{ss} 为浮置, 所以第二二极管 $D2$ 没有作用。因此, 此 ESD 事件(电压)会经由第一二极管 $D1$ 放电到高电压供电线 V_{dd} 。同理, 当相对于低电压供电线 V_{ss} 为负电压的 ESD 事件输入到输入焊块 310 时, 第二二极管 $D2$ 为顺向偏置; 并且因为高电压供电线 V_{dd} 为浮置, 所以第一二极管 $D1$ 没有作用。因此, 此 ESD 事件(电压)会经由第二二极管 $D2$ 放电到低电压供电线 V_{ss} 。

当相对于高电压供电线 V_{dd} 为负电压的 ESD 事件输入到输出焊块 310

时,第一二极管 D1 为逆向偏置。因为低电压供电线 Vss 为浮置,所以在 Vss 上的电压会跟上施加于输出焊块 310 的负电压。此时,因为第一二极管串 312(Du1, Du2, ..., Dun)为顺向偏置,所以 ESD 放电电流会经由第一二极管串 312(Du1, Du2, ..., Dun)放电到 Vdd。

当相对于低电压供电线 Vss 为正电压的 ESD 事件输入到输出焊块 310 时,第二二极管 D2 为逆向偏置。因为低电压供电线 Vdd 为浮置,所以在 Vdd 上的电压会跟上施加于输出焊块 310 的正电压。此时,因为第二二极管串 314(Dd1, Dd2, ..., Ddn)为顺向偏置,所以 ESD 放电电流会经由第二二极管串 314(Dd1, Dd2, ..., Ddn)放电到 Vss。

图 12 是表示应用本发明的图 2 或图 9 的 SOI 非门控二极管的 ESD 防护电路。如图 12 所示,ESD 防护该电路包括一输入焊块(input pad)320,第一二极管 D1、第二二极管 D2,第三二极管 D3、第四二极管 D4,输入电阻 R,高电压供电线(Vdd voltage supply rail)Vdd、低电压供电线(Vss voltage supply rail)Vss、NMOS 晶体管 Mn 以及 ESD 箝制电路(ESD clamp circuit)324。内部电路 322 连接到高电压供电线 Vdd 与低电压供电线 Vss、输入电阻 R 与 NMOS 晶体管 Mn 的漏极之间。第一二极管 D1 与第二二极管 D2 串联在一起,其中第一二极管 D1 的阳极连接到输入焊块 330,而第二二极管 D2 的阴极连接到 Vdd。第三二极管 D3 与第四二极管 D4 串联在一起,其中第三二极管 D3 的阳极连接到 Vss,而第四二极管 D4 的阴极连接到输入焊块 320。输入电阻 R 的一端连接到焊块 320 而另一端连接到 NMOS 晶体管 Mn 的漏极与内部电路 322。NMOS 晶体管 Mn 的栅极与源极则一起连接到 Vss。上述的二极管 D1、D2、D3 与 D4 均可以是前述图 2 或图 9 所示的 SOI 非门控二极管。

图 12 的电路操作基本上与前面图 10 或图 11 相同,在此便不在多叙述。如图 12 所示,第一与第二二极管 D1、D2 是用来代替图 10 或图 11 中的二极管 D1,而第三与第四二极管 D3、D4 用来代替图 10 或图 11 中的二极管 D2。假设二极管 D1 的寄生结电容为 C1,二极管 D2 的寄生结电容为 C2,二极管 D3 的寄生结电容为 C3,二极管 D4 的寄生结电容为 C4。则图 10 的输入电容 C_{in} 为 C_1+C_2 ,而在本实施例(图 12)的输入电容 C_{in}' 为 $[C_1C_2/(C_1+C_2)]+[C_3C_4/(C_3+C_4)]$ 。假如二极管 D1、D2、D3 与 D4 均相同,则代表 $C_1=C_2=C_3=C_4=C$ 。于是可以得到 $C_{in}=2C$,而 $C_{in}'=C$ 。因此,图 12 的例子的输入电容便减少,也造成 RC 时间常数变小。通过降低输入延迟,

此 ESD 防护电路便可以应用到高频(high frequency, HF)电路。

图 13 是表示图 12 的一变化例。一二极管串 334 形成于 Vdd 与 Vss 之间, 二极管串 334 作为 ESD 箝制电路之用。二极管串 334 包括串联连接的二极管 DP1、Dp2、...、Dpn, 均可以是前述图 2 或图 9 所示的 SOI 非门控二极管。

因此, 本发明的优点如下:

1. 本发明的非门控二极管完全与制造工艺相兼容。亦即, 无论 SOI CMOS 制造工艺(如图 5A 到图 5G 所示)或大规模 CMOS 制造工艺(如图 7A 到图 7G 所示)均适用。

2. 由于比门控二极管有更多的 PN 结区域, 本发明提供的 SOI 非门控二极管具有更低的功率密度。

3. 由于比门控二极管有更多的 PN 结区域, 本发明提供的 SOI 非门控二极管具有更高的耐 ESD 程度。

4. 本发明提供的 SOI 非门控二极管可以应用在混合电压与模拟/数字应用上。此外, 本发明提供的 SOI 非门控二极管更可以作为输出 ESD 防护电路, 以及在顺向偏置的情形下作为 Vdd 与 Vss 间的保护电路。

综上所述, 虽然本发明已以较佳实施例揭露如上, 然其并非用以限定本发明, 任何本领域技术人员, 在不脱离本发明的精神和范围的情况下, 当可进行各种的更动与改进, 因此本发明的保护范围以所附的权利要求书限定的范围为准。

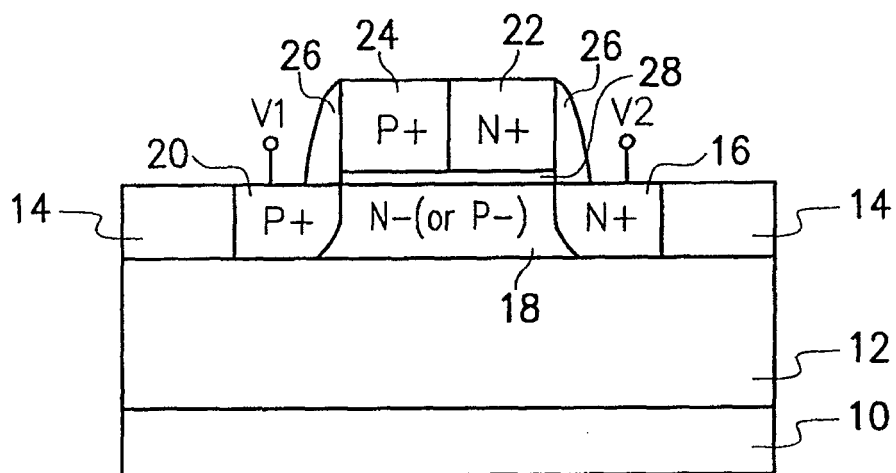


图 1

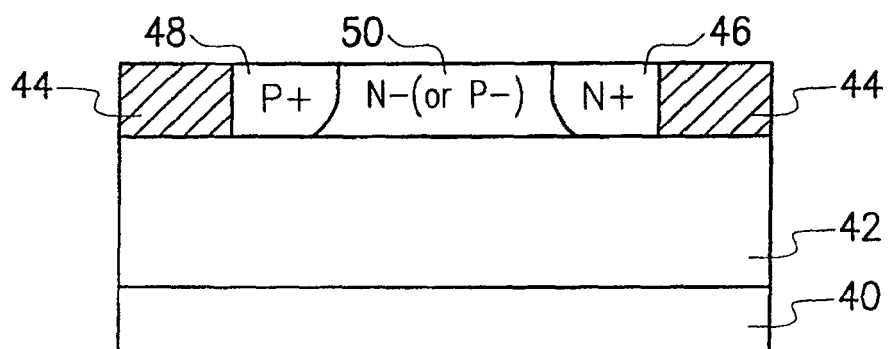


图 2

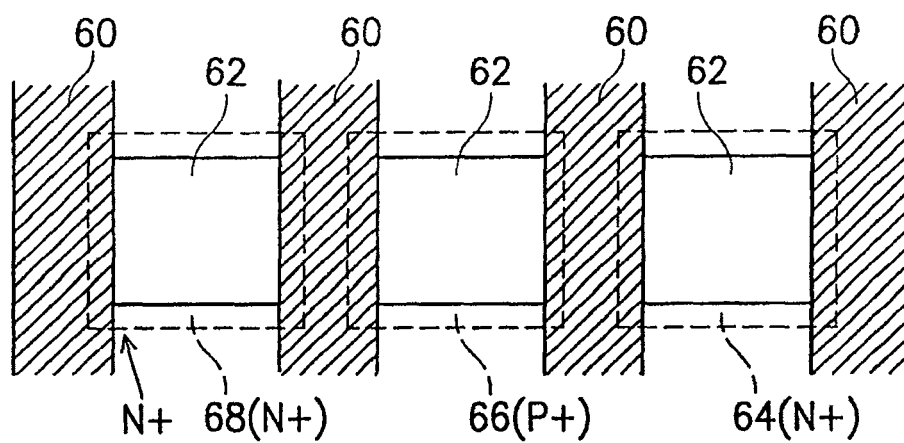


图 3A

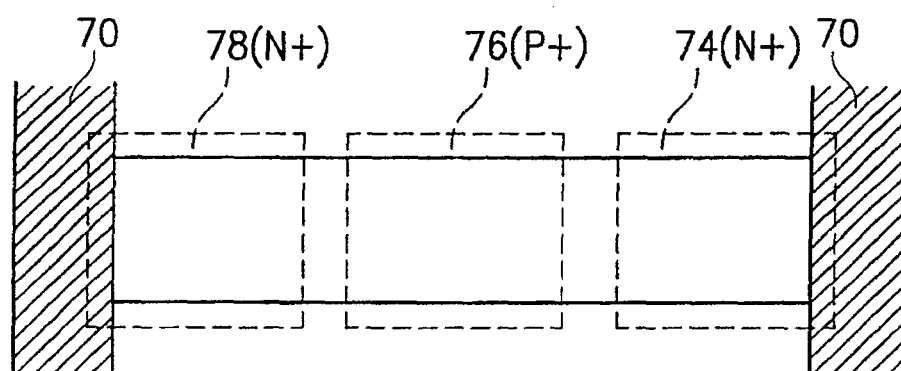


图 3B

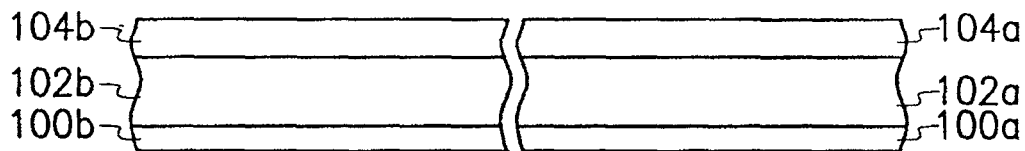


图 4A

图 5A

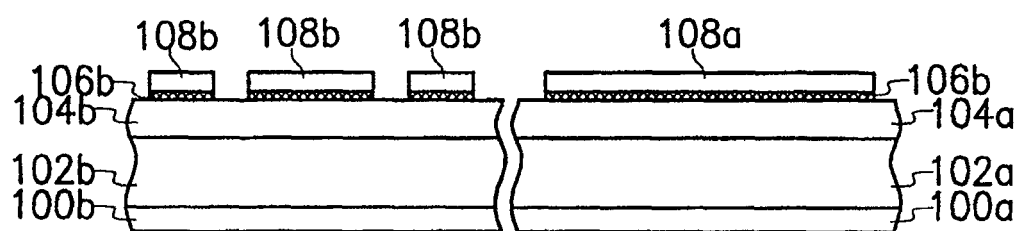


图 4B

图 5B

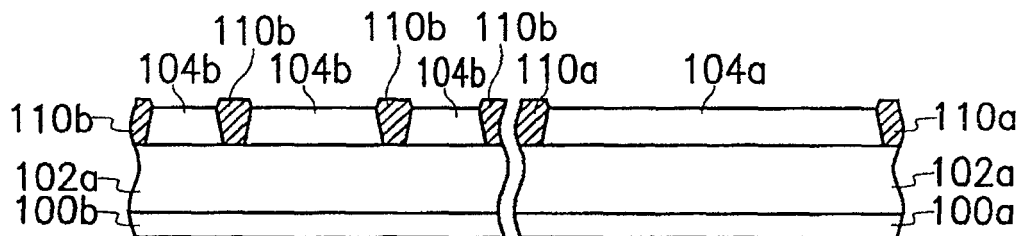


图 4C

图 5C

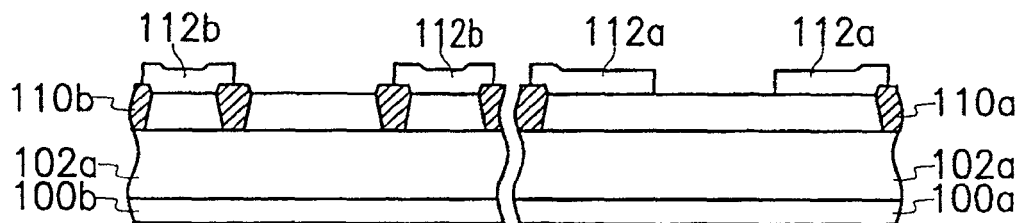


图 4D

图 5D

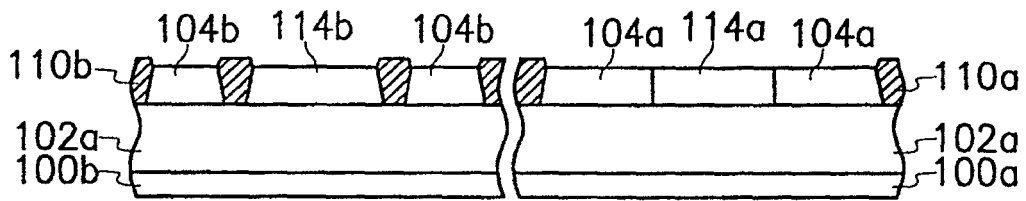


图 4E

图 5E

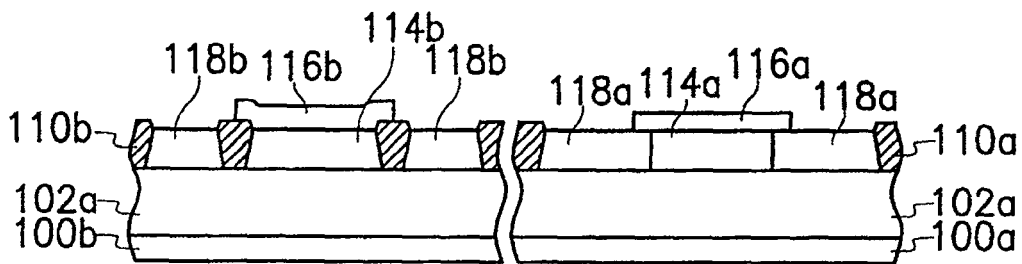


图 4F

图 5F

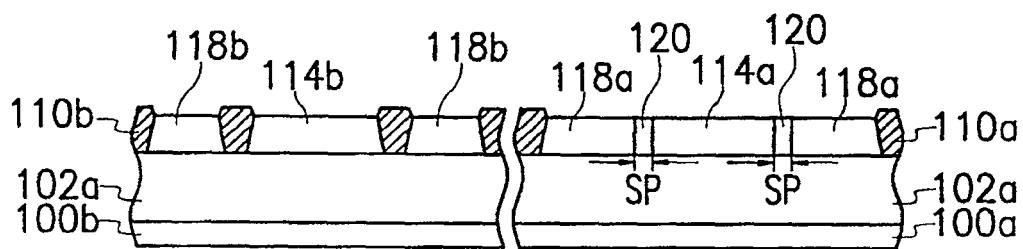


图 4G

图 5G

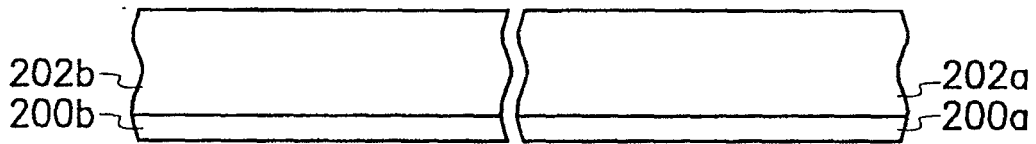


图 6A

图 7A

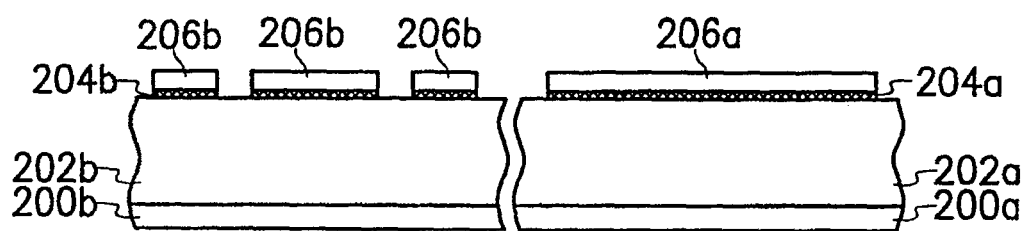


图 6B

图 7B

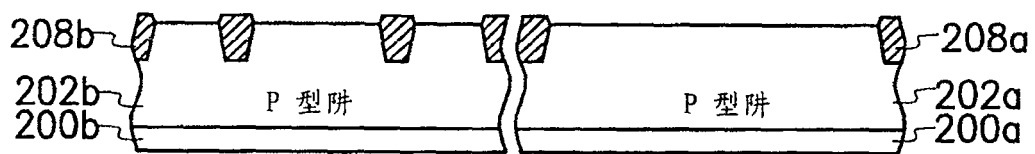


图 6C

图 7C

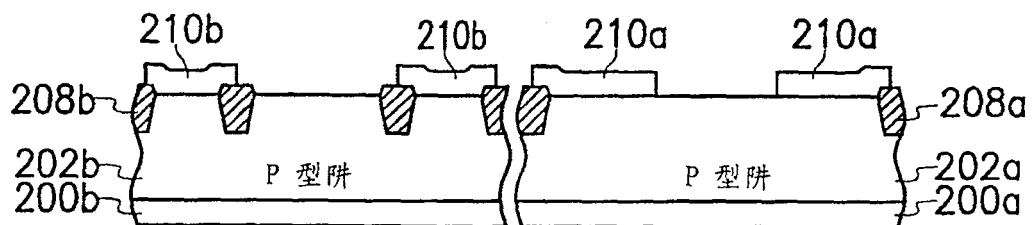


图 6D

图 7D

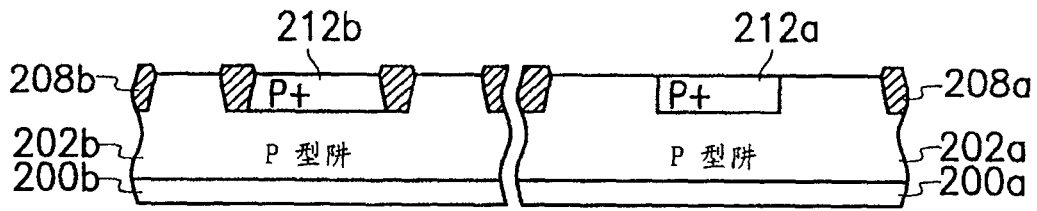


图 6E

图 7E

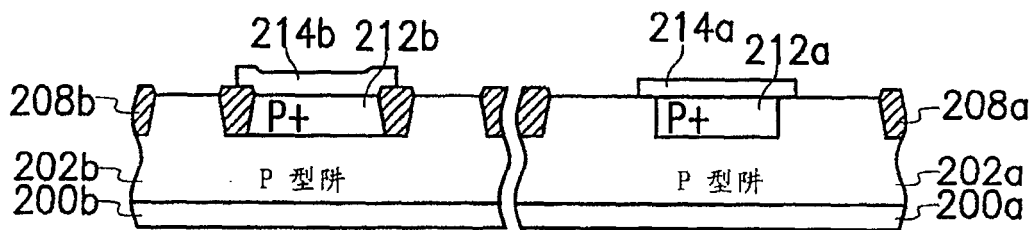


图 6F

图 7F

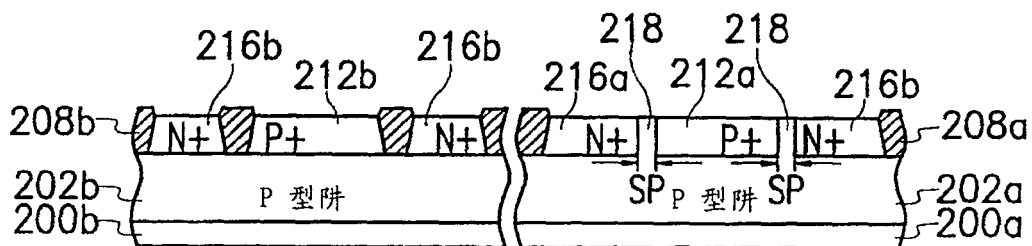


图 6G

图 7G

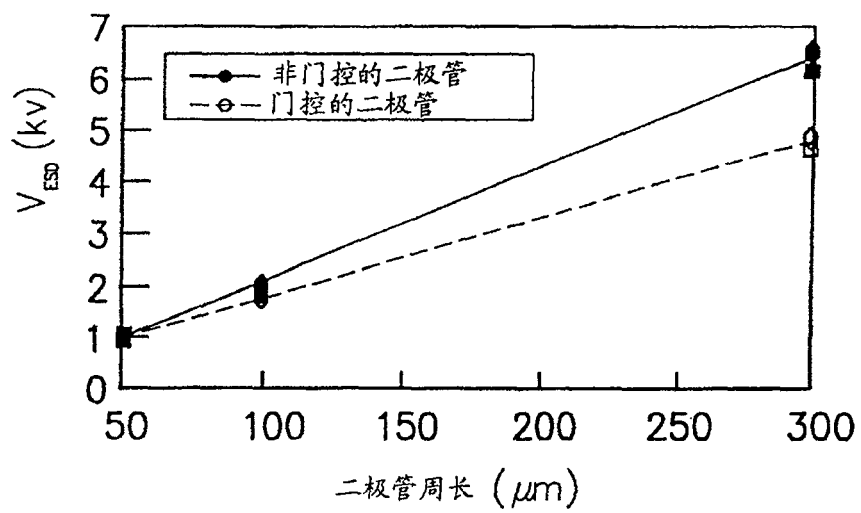


图 8

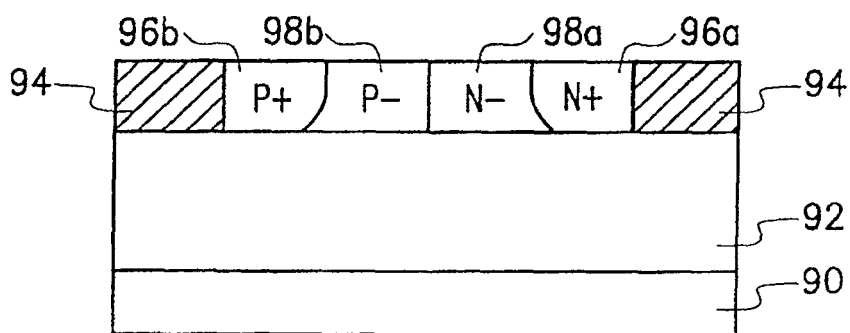


图 9

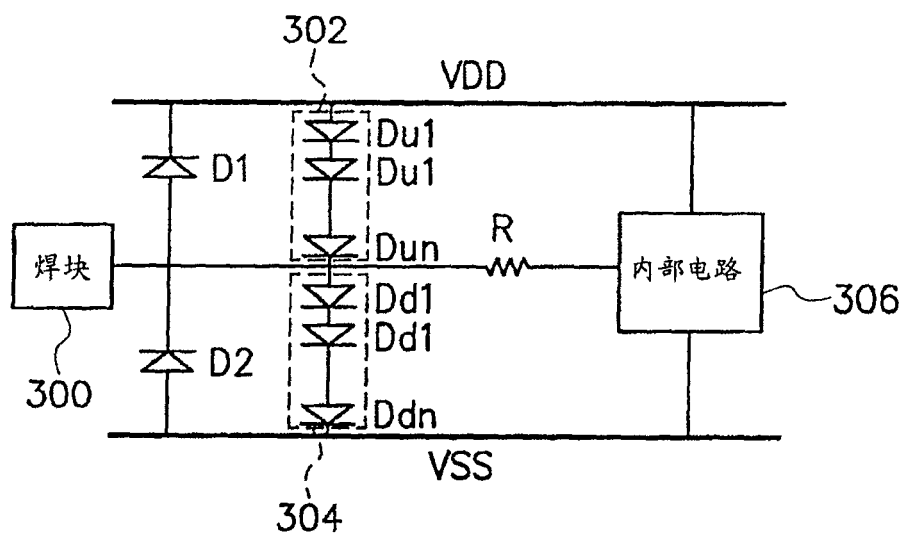


图 10

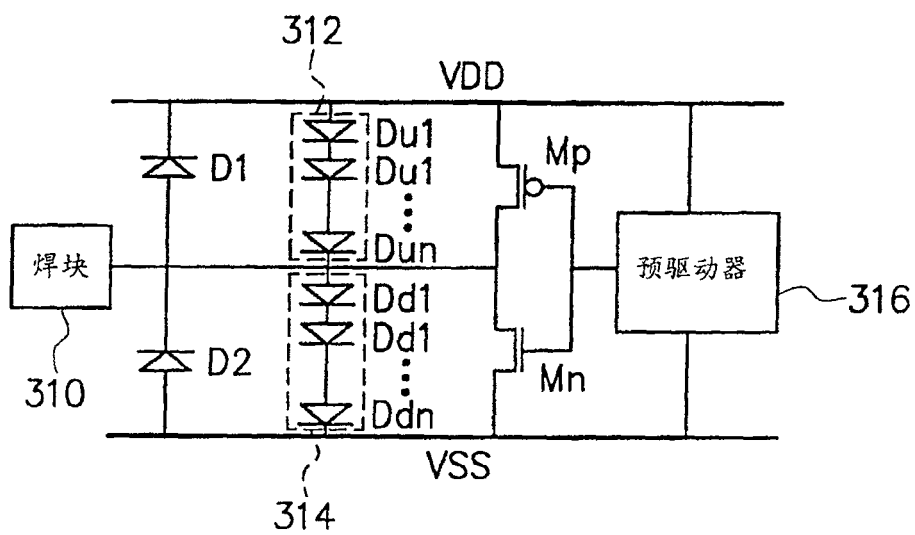


图 11

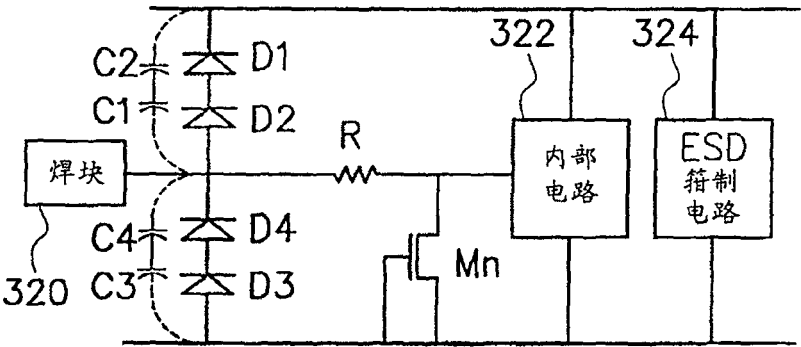


图 12

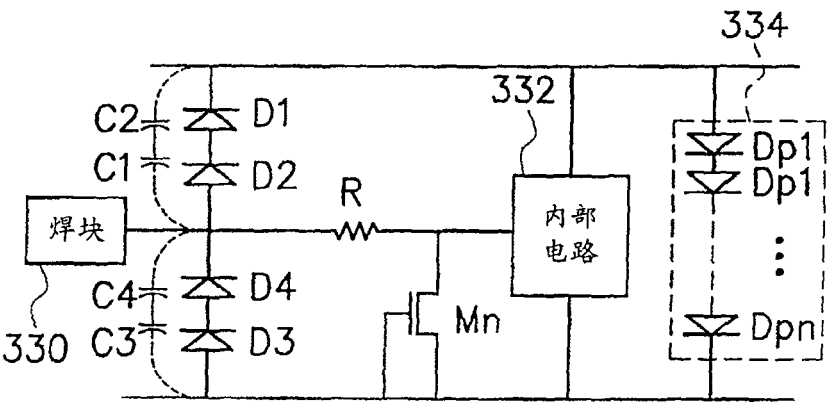


图 13