

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 02143415.8

H02H 9/00 (2006.01)

H02H 9/04 (2006.01)

H01L 23/60 (2006.01)

H01L 27/04 (2006.01)

[45] 授权公告日 2009 年 4 月 22 日

[11] 授权公告号 CN 100481667C

[22] 申请日 2002.9.25 [21] 申请号 02143415.8

[30] 优先权

[32] 2001.10.23 [33] US [31] 09/682, 827

[73] 专利权人 联华电子股份有限公司

地址 台湾省新竹市

[72] 发明人 柯明道 陈东旻 唐天浩

[56] 参考文献

US - 6011681A 2000.1.4

US - 6144542A 2000.11.7

CN - 1152175A 1997.6.18

CN - 1175795A 1998.3.11

US - 5742085A 1998.4.21

US - 5576557A 1996.11.19

US - 6049119A 2000.4.11

US - 5959820A 1999.9.28

审查员 张 洁

[74] 专利代理机构 北京三友知识产权代理有限公司

代理人 陈 红

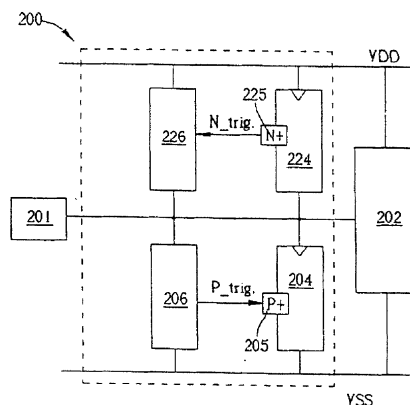
权利要求书 11 页 说明书 24 页 附图 18 页

[54] 发明名称

使用基底触发硅控整流器的静电放电防护电路

[57] 摘要

一种使用基底触发硅控整流器的静电放电防护电路，电连接于一输入/输出缓冲垫、一内部电路、一 V_{SS} 电源接脚以及一 V_{DD} 电源接脚，该 ESD 防护电路包含有：一第一 ESD 侦测电路，电连接于该 I/O 缓冲垫与该 V_{SS} 电源接脚之间；一 P 型基底触发硅控整流器 (P-STSCR)，包含有一第一横向 SCR 以及一 P 型触发点，其阳极与阴极分别电连接至该 I/O 缓冲垫以及该 V_{SS} 电源接脚；一第二 ESD 侦测电路，电连接于该 I/O 缓冲垫与该 V_{DD} 电源接脚之间；以及一 N 型基底触发硅控整流器 (N-STSCR)，包含有一第二横向 SCR 以及一 N 型触发点，其阴极与阳极分别电连接于该 I/O 缓冲垫以及该 V_{DD} 电源接脚；本发明可有效提升在深次微米 CMOS 制程中集成电路产品的 ESD 耐压能力，同时又可以节省总布局面积。



1. 一种静电放电防护电路，该静电放电防护电路电连接于输入或输出缓冲垫、内部电路、 V_{ss} 电源接脚以及 V_{DD} 电源接脚，其特征是：该静电放电防护电路包含有：

第一静电放电侦测电路，电连接于该输入或输出缓冲垫与该 V_{ss} 电源接脚之间；

P 型基底触发硅控整流器，该 P 型基底触发硅控整流器包含有第一横向硅控整流器以及 P 型触发点，且该 P 型基底触发硅控整流器的阳极与阴极分别电连接至该输入或输出缓冲垫以及该 V_{ss} 电源接脚；

第二静电放电侦测电路，电连接于该输入或输出缓冲垫与该 V_{DD} 电源接脚之间；以及

N 型基底触发硅控整流器，该 N 型基底触发硅控整流器包含有第二横向硅控整流器以及 N 型触发点，且该 N 型基底触发硅控整流器的阴极与阳极分别电连接于该输入或输出缓冲垫以及该 V_{DD} 电源接脚。

2. 如权利要求 1 所述的静电放电防护电路，其特征是：该 P 型基底触发硅控整流器另包含有：

P 型基底；

N 阱，设于该 P 型基底中；

第一 N^+ 扩散区域以及第一 P^+ 扩散区域，设于该 P 型基底，用来当作该 P 型基底触发硅控整流器的阴极；以及

第二 N^+ 扩散区域以及第二 P^+ 扩散区域，设于该 N 阱内，用来当作该 P 型基底触发硅控整流器的阳极，且该第二 P^+ 扩散区域、该 N 阱、该 P 型基底以及该第一 N^+ 扩散区域构成该第一横向硅控整流器。

3. 如权利要求 2 所述的静电放电防护电路，其特征是：当正静电放电电压脉冲被施加于该输入或输出缓冲垫时，会使该第一静电放电侦测电路产生第一触发电流至该 P 型基底触发硅控整流器的该 P 型触发点而触发

该 P 型基底触发硅控整流器的该第一横向硅控整流器，以使该第一横向硅控整流器进入一闭锁状态，并迅速开启该 P 型基底触发硅控整流器，以将该正静电放电电压脉冲的电流排放至该 V_{ss} 电源接脚。

4. 如权利要求 1 所述的静电放电防护电路，其特征是：该 N 型基底触发硅控整流器另包含有：

P 型基底；

N 阱，设于该 P 型基底中；

第一 N^+ 扩散区域及第一 P^+ 扩散区域，设于该 P 型基底内，用来当作该 N 型基底触发硅控整流器的阴极；以及

第二 N^+ 扩散区域及一第二 P^+ 扩散区域，设于该 N 阱内，用来当作该 N 型基底触发硅控整流器的阳极，且该第二 P^+ 扩散区域、该 N 阱、该 P 型基底以及该第一 N^+ 扩散区域构成该第二横向硅控整流器。

5. 如权利要求 4 所述的静电放电防护电路，其特征是：当负静电放电电压脉冲被施加于该输入或输出缓冲垫时，会使该第二静电放电侦测电路产生第二触发电流至该 N 型基底触发硅控整流器的该 N 型触发点而触发该 N 型基底触发硅控整流器的该第二横向硅控整流器，以使该第二横向硅控整流器进入一闭锁状态，并迅速开启该 N 型基底触发硅控整流器，以将该负静电放电电压脉冲的电流排放至该 V_{dd} 电源接脚。

6. 如权利要求 1 所述的静电放电防护电路，其特征是：该第一静电放电侦测电路包含有第三电阻、第三电容以及第一反向器，其中第三电阻与第三电容的一端连接至第一反向器的输入电极，而第三电阻与第三电容的另一端分别连接至 V_{dd} 电源接脚与 V_{ss} 电源接脚，该第一反向器的输入电极经由该第三电阻与该第三电容而分别与该 V_{dd} 电源接脚以及该 V_{ss} 电源接脚相电连接，且该第一反向器的输出电极被电连接至该 P 型基底触发硅控整流器的该 P 型触发点。

7. 如权利要求 6 所述的静电放电防护电路，其特征是：当正静电放

电电压脉冲被施加于该输入或输出缓冲垫时，该第一反向器会被该正静电放电电压脉冲充电，以使该第一反向器的该输出电极产生第三触发电流至该 P 型基底触发硅控整流器的该 P 型触发点而触发该 P 型基底触发硅控整流器的该第一横向硅控整流器，以使该第一横向硅控整流器进入一闭锁状态，并迅速开启该 P 型基底触发硅控整流器，以将该正静电放电电压脉冲的电流释放至该 V_{ss} 电源接脚。

8. 如权利要求 1 所述的静电放电防护电路，其特征是：该第二静电放电侦测电路包含有第四电阻、第四电容以及第二反向器，该第二反向器的输入电极经由该第四电阻与该第四电容而分别与该 V_{ss} 电源接脚以及该 V_{dd} 电源接脚相电连接，且该第二反向器的输出电极被电连接至该 N 型基底触发硅控整流器的该 N 型触发点。

9. 如权利要求 8 所述的静电放电防护电路，其特征是：当负静电放电电压脉冲被施加于该输入或输出缓冲垫时，该第二反向器的该输出电极将会被该负静电放电电压脉冲充电，并由该 N 型基底触发硅控整流器的该 N 型触发点产生第四触发电流而触发该 N 型基底触发硅控整流器的该第二横向硅控整流器，以使该第二横向硅控整流器进入一闭锁状态，并迅速开启该 N 型基底触发硅控整流器，以将该负静电放电电压脉冲的电流释放至该 V_{dd} 电源接脚。

10. 一种静电放电防护电路，该静电放电防护电路电连接于输入或输出缓冲垫、内部电路、 V_{ss} 电源接脚以及 V_{dd} 电源接脚，其特征是：该静电放电防护电路包含有：

第一静电放电侦测电路，电连接于该输入或输出缓冲垫与该 V_{ss} 电源接脚之间；

第一堆叠整流器，电连接于该 V_{ss} 电源接脚与该输入或输出缓冲垫之间，该第一堆叠整流器由复数个 P 型基底触发硅控整流器串联而成，且该每一个 P 型基底触发硅控整流器均包含有一第一横向硅控整流器以及一 P

型触发点；

第二静电放电侦测电路，电连接于该输入或输出缓冲垫与该 V_{DD} 电源接脚之间；以及

第二堆叠整流器，电连接于该 V_{DD} 电源接脚与该输入或输出缓冲垫之间，该第二堆叠整流器由复数个 N 型基底触发硅控整流器串联而成，且该每一个 N 型基底触发硅控整流器均包含有一第二横向硅控整流器以及一 N 型触发点；

其中该第一堆叠整流器与该第二堆叠整流器的总保持电压大于任何传递至该输入或输出缓冲垫上的正常信号的最大电压准位，以避免该静电放电防护电路被杂讯意外导通而干扰电路的正常信号。

11. 如权利要求 10 所述的静电放电防护电路，其特征是：各该 P 型基底触发硅控整流器均另包含有：

P 型基底；

N 阱，设于该 P 型基底中；

第一 N^+ 扩散区域以及第一 P^+ 扩散区域，设于该 P 型基底内，用来当作该 P 型基底触发硅控整流器的阴极；以及

第二 N^+ 扩散区域以及第二 P^+ 扩散区域，设于该 N 阱内，用来当作该 P 型基底触发硅控整流器的阳极，且该第二 P^+ 扩散区域、该 N 阱、该 P 型基底以及该第一 N^+ 扩散区域构成该第一横向硅控整流器。

12. 如权利要求 10 所述的静电放电防护电路，其特征是：该第一堆叠整流器另包含有复数个二极管与各该 P 型基底触发硅控整流器相串联。

13. 如权利要求 10 所述的静电放电防护电路，其特征是：各该 N 型基底触发硅控整流器均另包含有：

P 型基底；

N 阱，设于该 P 型基底中；

第一 N^+ 扩散区域以及第一 P^+ 扩散区域，设于该 P 型基底内，用来当作

该 N 型基底触发硅控整流器的阴极；以及

第二 N⁺扩散区域以及第二 P⁺扩散区域，设于该 N 阱内，用来当作该 N 型基底触发硅控整流器的阳极，且该第二 P⁺扩散区域、该 N 阱、该 P 型基底以及该第一 N⁺扩散区域构成该第二横向硅控整流器。

14. 如权利要求 10 所述的静电放电防护电路，其特征是：该第二堆叠整流器另包含有复数个二极管与各该 N 型基底触发硅控整流器相串联。

15. 一种电源线间静电放电箝制电路，该电源线间静电放电箝制电路电连接于 V_{ss} 电源线以及 V_{dd} 电源线，其特征是：该电源线间静电放电箝制电路包含有：

静电放电侦测电路，设于该 V_{ss} 电源线以及该 V_{dd} 电源线之间；以及

至少一基底触发硅控整流器，该基底触发硅控整流器包含有横向硅控整流器以及至少一触发点，且该基底触发硅控整流器的阳极与阴极分别电连接至该 V_{dd} 电源线以及该 V_{ss} 电源线。

16. 如权利要求 15 所述的电源线间静电放电箝制电路，其特征是：该基底触发硅控整流器为 P 型基底触发硅控整流器，且该触发点为 P 型触发点。

17. 如权利要求 16 所述的电源线间静电放电箝制电路，其特征是：当相对正的静电放电电压脉冲横跨该 V_{dd} 电源线与该 V_{ss} 电源线之间时，该静电放电侦测电路会产生触发电流至该 P 型基底触发硅控整流器的该 P 型触发点而触发该 P 型基底触发硅控整流器的该横向硅控整流器，以使该横向硅控整流器进入闭锁状态，并迅速开启该 P 型基底触发硅控整流器，以排放静电放电电流。

18. 如权利要求 15 所述的电源线间静电放电箝制电路，其特征是：该基底触发硅控整流器为 N 型基底触发硅控整流器，且该触发点为 N 型触发点。

19. 如权利要求 18 所述的电源线间静电放电箝制电路，其特征是：

当相对正的静电放电电压脉冲横跨该 V_{DD} 电源线与该 V_{SS} 电源线之间时, 该静电放电侦测电路会产生触发电流而触发该 N 型基底触发硅控整流器的该横向硅控整流器, 以使该横向硅控整流器进入闭锁状态, 并迅速开启该 N 型基底触发硅控整流器, 以排放静电放电电流。

20. 如权利要求 15 所述的电源线间静电放电箝制电路, 其特征是: 另包含有复数个二极管与该基底触发硅控整流器相串联。

21. 如权利要求 15 所述的电源线间静电放电箝制电路, 其特征是: 该基底触发硅控整流器为双触发硅控整流器, 且该双触发硅控整流器包含有 P 型触发点以及 N 型触发点。

22. 如权利要求 21 所述的电源线间静电放电箝制电路, 其特征是: 该静电放电侦测电路包含有:

电阻, 电连接至该 V_{DD} 电源线;

电容, 电连接于该电阻与该 V_{SS} 电源线之间; 以及

第一反向器以及第二反向器, 均分别电连接至该 V_{DD} 电源线以及该 V_{SS} 电源线;

其中当静电放电电压脉冲横跨该 V_{DD} 电源线与该 V_{SS} 电源线之间时, 该电阻以及该电容将耦合所述静电放电电压于该第一反向器的输入点, 以于该第一反向器的输出点输出第一电流至该双触发硅控整流器的该 P 型触发点以及该第二反向器的输入点, 并使该第二反向器的输出点输出第二电流至该双触发硅控整流器的该 N 型触发点。

23. 如权利要求 21 所述的电源线间静电放电箝制电路, 其特征是: 该静电放电侦测电路包含有:

第一电子元件, 电连接至该 V_{DD} 电源线;

第二电子元件, 电连接于该第一电子元件与该 V_{SS} 电源线之间; 以及反向器, 电连接至该 V_{DD} 电源线以及该 V_{SS} 电源线;

其中当静电放电电压脉冲横跨该 V_{DD} 电源线与该 V_{SS} 电源线之间时,

该第一电子元件以及该第二电子元件将耦合所述静电放电电压至该双触发硅控整流器的该 P 型触发点以及该反向器的输入点，并使该反向器的输出点输出第一电流至该双触发硅控整流器的该 N 型触发点。

24. 如权利要求 23 所述的电源线间静电放电箝制电路，其特征是：该第一电子元件为齐纳二极管，且该第二电子元件为电阻。

25. 如权利要求 23 所述的电源线间静电放电箝制电路，其特征是：该第一电子元件由复数个串联的二极管所构成，且该第二电子元件为电阻。

26. 如权利要求 21 所述的电源线间静电放电箝制电路，其特征是：该静电放电侦测电路包含有：

第一电子元件，电连接至该 V_{DD} 电源线；

第二电子元件，电连接于该第一电子元件与该 V_{SS} 电源线之间；

反向器，电连接至该 V_{DD} 电源线以及该 V_{SS} 电源线；以及

NMOS，电连接至该 V_{DD} 电源线；

其中当静电放电电压脉冲横跨该 V_{DD} 电源线以及该 V_{SS} 电源线之间时，该第一电子元件以及该第二电子元件将耦合所述静电放电电压来开启该 NMOS，以使该 NMOS 得以对该双触发硅控整流器的该 P 型触发点以及该反向器的输入点施加第一电流，并使该反向器的输出点输出第二电流至该双触发硅控整流器的该 N 型触发点。

27. 如权利要求 26 所述的电源线间静电放电箝制电路，其特征是：该第一电子元件为电容，且该第二电子元件为电阻。

28. 如权利要求 26 所述的电源线间静电放电箝制电路，其特征是：该第一电子元件由复数个串联的二极管所构成，且该第二电子元件为电阻。

29. 如权利要求 15 所述的电源线间静电放电箝制电路，其特征是：该 V_{DD} 电源线以及该 V_{SS} 电源线之间另电连接有内部电路。

30. 一种应用于混合电压之间的电源线静电放电箝制电路，该电源线静电放电箝制电路电连接于 V_{SS} 电源线、第一 V_{DD} 电源线以及第二 V_{DD} 电源线，

其特征是：该电源线静电放电箝制电路包含有：

第一静电放电侦测电路，设于该第一 V_{DD} 电源线以及该 V_{SS} 电源线之间；

至少一第一基底触发硅控整流器，该第一基底触发硅控整流器包含有第一横向硅控整流器以及至少一第一触发点，且该第一基底触发硅控整流器的阳极与阴极分别电连接至该第一 V_{DD} 电源线以及该 V_{SS} 电源线；

第一串联的二极管，设于该第一基底触发硅控整流器以及该 V_{SS} 电源线之间；

第二静电放电侦测电路，设于该第一 V_{DD} 电源线以及该 V_{SS} 电源线之间；

至少一次电源线静电放电箝制电路，设于该第一 V_{DD} 电源线以及该第二 V_{DD} 电源线之间，该次电源线静电放电箝制电路包含有：

至少一第二基底触发硅控整流器，该第二基底触发硅控整流器包含有第二横向硅控整流器以及至少一第二触发点，且该第二基底触发硅控整流器的阳极与阴极分别电连接至该第一 V_{DD} 电源线以及该第二 V_{DD} 电源线；

第二串联的二极管，设于该第二基底触发硅控整流器以及该第二 V_{DD} 电源线之间；以及

第三串联的二极管，设于该第一 V_{DD} 电源线以及该第二 V_{DD} 电源线之间；

第三静电放电侦测电路，设于该第二 V_{DD} 电源线以及该 V_{SS} 电源线之间；

至少一第三基底触发硅控整流器，该第三基底触发硅控整流器包含有第三横向硅控整流器以及至少一第三触发点，且该第三基底触发硅控整流器的阳极与阴极分别电连接至该第二 V_{DD} 电源线以及该 V_{SS} 电源线；以及

第四串联的二极管，设于该第三基底触发硅控整流器以及该 V_{SS} 电源线之间。

31. 如权利要求 30 所述的电源线静电放电箝制电路，其特征是：各该基底触发硅控整流器为 P 型基底触发硅控整流器，且各该触发点为 P 型

触发点。

32. 如权利要求 30 所述的电源线静电放电箝制电路, 其特征是: 各该基底触发硅控整流器为 N 型基底触发硅控整流器, 且各该触发点为 N 型触发点。

33. 如权利要求 30 所述的电源线静电放电箝制电路, 其特征是: 该第一 V_{DD} 电源线以及该第二 V_{DD} 电源线之间另包含有复数个 V_{DD} 电源线, 且各该 V_{DD} 电源线间均设有相对应的次电源线静电放电箝制电路。

34. 一种应用于分离电源线之间的静电放电电连接电路, 该分离电源线由第一 V_{SS} 电源线、第一 V_{DD} 电源线、第二 V_{SS} 电源线以及第二 V_{DD} 电源线所构成, 该第一 V_{DD} 电源线与该第一 V_{SS} 电源线之间设有第一核心电路, 而该第二 V_{DD} 电源线与该第二 V_{SS} 电源线之间设有第二核心电路, 其特征是: 该静电放电电连接电路包含有:

第一静电放电侦测电路, 设于该第一 V_{DD} 电源线以及该第一 V_{SS} 电源线之间;

第二静电放电侦测电路, 设于第二 V_{DD} 电源线以及该第二 V_{SS} 电源线之间;

第一静电放电防护电路, 设于该第一 V_{DD} 电源线以及该第二 V_{DD} 电源线之间, 该第一静电放电防护电路包含有:

第一串联基底触发硅控整流器组, 该第一串联基底触发硅控整流器组包含有一个以上的基底触发硅控整流器, 且每一基底触发硅控整流器均包含有一横向硅控整流器以及至少一触发点, 且该第一串联基底触发硅控整流器组的阳极、阴极与各该触发点分别电连接至该第一 V_{DD} 电源线、该第二 V_{DD} 电源线以及该第一静电放电侦测电路; 以及

第二串联基底触发硅控整流器组, 该第二串联基底触发硅控整流器组包含有一个以上的基底触发硅控整流器, 且

每一基底触发硅控整流器均包含有横向硅控整流器以及至少一触发点，且该第二串联基底触发硅控整流器组的阳极、阴极与各该触发点分别电连接至该第二 V_{DD} 电源线、该第一 V_{DD} 电源线以及该第二静电放电侦测电路；

第二静电放电防护电路，设于该第一 V_{SS} 电源线以及该第二 V_{SS} 电源线之间，该第二静电放电防护电路包含有：

第三串联基底触发硅控整流器组，该第三串联基底触发硅控整流器组包含有一个以上的基底触发硅控整流器，且每一基底触发硅控整流器均包含有横向硅控整流器以及至少一触发点，且该第三串联基底触发硅控整流器组的阳极、阴极与各该触发点分别电连接至该第二 V_{SS} 电源线、该第一 V_{SS} 电源线以及该第二静电放电侦测电路；以及

第四串联基底触发硅控整流器组，该第四串联基底触发硅控整流器组包含有一个以上的基底触发硅控整流器，且每一基底触发硅控整流器均包含有横向硅控整流器以及至少一触发点，且该第四串联基底触发硅控整流器组的阳极、阴极与各该触发点分别电连接至该第一 V_{SS} 电源线、该第二 V_{SS} 电源线以及该第一静电放电侦测电路。

35. 如权利要求 34 所述的静电放电电连接电路，其特征是：各该基底触发硅控整流器为 P 型基底触发硅控整流器，且各该触发点为 P 型触发点。

36. 如权利要求 34 所述的静电放电电连接电路，其特征是：各该基底触发硅控整流器为 N 型基底触发硅控整流器，且各该触发点为 N 型触发点。

37. 如权利要求 34 所述的静电放电电连接电路，其特征是：设于该第一静电放电防护电路中的各该基底触发硅控整流器均为 N 型基底触发硅

控整流器，且各该触发点为 N 型触发点。

38. 如权利要求 34 所述的静电放电电连接电路，其特征是：设于该第二静电放电防护电路中的各该基底触发硅控整流器均为 P 型基底触发硅控整流器，且各该触发点为 P 型触发点。

39. 如权利要求 34 所述的静电放电电连接电路，其特征是：各该串联基底触发硅控整流器组均另包含有至少一二极管。

使用基底触发硅控整流器的静电放电防护电路

技术领域

本发明涉及一种静电放电防护电路 (electrostatic discharge protection circuit) 以及电源线 ESD 箝制电路 (power-rail ESD clamp circuits), 特别是一种利用基底触发硅控整流器来排放静电放电的瞬间高电流的使用基底触发硅控整流器的静电放电防护电路。

背景技术

为了提供互补式金氧半导体集成电路 (CMOS IC) 有效的静电放电防护能力, ESD 防护电路必需被制作于 CMOS 集成电路的输入垫 (input pad)、输出 (output) 垫与电源垫 (power pad) 的周围。当产生 ESD 现象时, 由于 SCR 元件具有低保持电压 (V_{hold} , 在 CMOS 制程中约为 1 伏特), 因此使用 SCR 元件的功率消耗 (功率=ESD 电流*保持电压) 会小于使用其他 ESD 防护元件, 如二极管 (diode)、MOS、双载子晶体管 (BJT) 或场氧化元件。因此在 CMOS 集成电路中, SCR 元件仅占用较小布局面积 (layout area) 便可以承受较高的 ESD 电压。因此, 横向硅控整流器 (lateral SCR, LSCR) 元件已被设计于输入 (或输出) ESD 防护电路与电源线 (power-rail)、 V_{DD} 电源接脚 (V_{DD} power terminal)、 V_{SS} 电源接脚 (V_{SS} power terminal) 以及 ESD 箝制电路 (ESD clamp circuits) 之中, 使 CMOS 集成电路不会因 ESD 而被损伤。

然而在次微米 (submicron) 的 CMOS 技术中, SCR 元件通常具有一

较高触发(trigger)电压(约为 30 至 50 伏特),由于此触发电压已大于输入级(input stage)的栅极氧化层(gate-oxide)的崩溃电压(breakdown voltage, 约为 15 至 20 伏特),因此 SCR 元件常必须要配合一二级(secondary)防护电路,以达到全面性的 ESD 防护作用。

一种应用于 ESD 防护电路中的横向硅控整流器(LSCR),已揭露于美国专利案号第 4,896,243 号、第 5,012,317 号以及第 5,336,908 号中。请参照图 1,图 1 为习知一 LSCR 元件 13 应用于一输入 ESD 防护电路 10 的示意图。如图 1 所示,ESD 防护电路 10 包含有一输入垫 11、一内部电路 12 与电连接两者的 LSCR 元件 13 电连接。LSCR 元件 13 包含有一 P⁺扩散区域 14、一 N 阱 15、一 P 型基底 16 与一 N⁺扩散区域 17。LSCR 元件 13 利用一位于 N 阱 15 与 P 型基底 16 之间的接面崩溃机构(junction breakdown mechanism)而被开启。在一个典型 0.35 微米的 CMOS 制程中,由于 LSCR 元件 13 具有一约为 35 伏特的高触发电压,大于次微米 CMOS 集成电路中输入级的栅极氧化层崩溃电压,因此 LSCR 元件 13 必须配合一二级防护电路 20,以对输入级达到全面性的 ESD 防护作用。其中二级防护电路 20 包含有一串联电阻 21 与一栅极接地的 NMOS 22。

为了要降低 LSCR 的触发电压,因此一改良型 LSCR(modified LSCR, MLSCR)已被提出并应用于 ESD 防护电路中,此 MLSCR 已揭露于美国专利案号第 4,939,616 号、第 5,343,053 号与第 5,430,595 号中。请参照图 2,图 2 为习知一 MLSCR 元件 33 应用于一输入 ESD 防护电路 30 的示意图。如图 2 所示,ESD 防护电路 30 包含有一输入垫 31、一内部电路 32 以及一电连接两者的 MLSCR 元件 33 电连接。而 MLSCR 元件 33 包含有一 P⁺扩散区域 34、一 N 阱 35、一 P 型基底 36、一 N⁺扩散区域 37 与一横跨 N 阱 35 与 P 型基底 36 的 N⁺扩散区域 38。MLSCR 元件 33 结构是利用一位于 N⁺扩散区域 38 与 P 型基底 36 之间的接面崩溃机构而被开启。由于在 MLSCR 元件 33 结构中, N⁺扩散区域 38 与 P 型基底 36 的接合面崩溃电压会小于 LSCR 元

件 13 中的 N 阱 15 与 P 型基底 16 的接合面崩溃电压，故与 LSCR 元件 13 相较，MLSCR 元件 33 具有较低的触发电压(trigger voltage)。由于为了要提供输入电路的栅极更加安全的 ESD 防护，MLSCR 元件 33 仍必需要配合一二级防护电路 40。其中，二级防护电路包含有一串联电阻 41 与一栅极接地 NMOS 42。此外，在一个典型的 0.35 微米的 CMOS 制程中，MLSCR 元件 33 具有一约为 10 伏特的低触发电压，故与 LSCR 元件 13 所配合的二级防护电路 20 相较，二级放护电路 40 的元件尺寸可较小，较可以节省布局面积。

为了达到使次微米 CMOS 集成电路中的输入级，甚至输出缓冲级具有更有效防护的目的，一种具有更低触发电压的低电压触发 SCR (LVTSCR) 元件业已揭露于美国专利案号第 5,465,189 号与第 5,576,557 号中。请参照图 3，图 3 为习知一 LVTSCR 元件 60 应用于一输出 ESD 防护电路 50 的示意图。如图 3 所示，ESD 防护电路 50 包含有一输出垫 51、一内部电路 52 与一电连接两者的 LSCR 元件 53 电连接。LSCR 元件 53 包含有一 P⁺扩散区域 54、一 N 阱 55、一 P 型基底 56 与一 N⁺区域 57，并且一短通道 NMOS 元件 58 被插入 LSCR 元件 53 结构中，LSCR 元件 53 与短通道 NMOS 元件 58 的结合即成为一 LVTSCR 元件 60，该 LVTSCR 元件 60 的触发电压等于短通道 NMOS 元件 58 的骤回崩溃触发(snapback-trigger)电压。由于 LVTSCR 元件 60 结构是通过插入 LSCR 元件 53 内的短通道 NMOS 元件 58 的崩溃机构而被开启，因此在一个 0.35 微米的 CMOS 制程中，LVTSCR 元件 60 具有一约为 8 伏特的低触发电压，所以 LVTSCR 元件 60 不需要配合二级放护电路，就可以对 CMOS 集成电路的输入级或输出缓冲级提供有效的 ESD 防护作用。

此外，为了要保护在非常深次微米 CMOS 集成电路中更薄的栅氧化层，一种被称为栅极耦合(gate-coupled)的技术已被应用于 ESD 防护电路中，以进一步降低 LVTSCR 元件的触发电压，而栅极耦合的 LVTSCR 元件

也已揭露于美国专利案号第 5,400,202 号与第 5,528,188 号中。请参照图 4, 图 4 为习知一栅极耦合的 LVTSCR 元件 80 应用于输入或输出 (I/O) ESD 防护电路 70 的示意图。如图 4 所示, 输入或输出 ESD 防护电路 70 包含有一输入或输出垫 71、一内部电路 72, 与一电连接两者的 LSCR 元件 73 电连接。LSCR 元件 73 包含有一 P⁺扩散区域 74、一 N 阱 75、一 P 型基底 76 与一 N⁺扩散区域 77, 并于 LSCR 元件 73 结构中插入一短通道 NMOS 元件 78, 短通道 NMOS 元件 78 与 LSCR 元件 73 可视为一栅极耦合 (gate-coupled) 的 LVTSCR 元件 80, 因为栅极 79 可被施加以一经由一电容 81 与一电阻 82 所产生的耦合电压 (coupled voltage), 以使 LVTSCR 元件 80 具有相较于其他先前技术更低的触发电压。由于栅极耦合的 LVTSCR 元件 80 的触发电压非常小, 因此可以保护更薄的栅氧化层。

然而上述所提及的利用习知 SCR 元件来设计的 ESD 防护电路, 大都分别具有一些缺点, 并制造于进阶 (advanced) CMOS 集成电路时, 造成许多的限制。因此如何发展出一种全晶片 ESD 防护设计, 并可以应用于输入 ESD 防护电路、输出 ESD 防护电路以及电源线 ESD 箝制电路, 以改善在深次微米 CMOS 制程中小开关电压元件的 ESD 耐压能力, 同时又能节省总布局面积, 增快开启速度使 ESD 电流快速地被释放, 避免散热不良的问题, 便成为十分重要的课题。

发明内容

因此, 本发明的主要目的在于提供一种利用基底触发硅控整流器 (substrate-triggered SCR) 元件来设计的静电放电防护电路 (electrostatic discharge protection circuit) 以及电源线 ESD 箝制电路 (power-rail ESD clamp circuits), 以于 ESD 电压脉冲产生时, 快速地触发基底触发 SCR 元件以排放 ESD 脉冲的电流。

在本发明的最佳实施例中，该静电放电防护电路(electrostatic discharge protection circuit)电连接于输入或输出缓冲垫(I/O buffering pad)、内部电路(internal circuit)、 V_{ss} 电源接脚以及 V_{DD} 电源接脚之间。该 ESD 防护电路包含有第一 ESD 侦测电路(ESD-detection circuit)，电连接于该输入或输出缓冲垫与该 V_{ss} 电源接脚之间，P 型基底触发硅控整流器(P-type substrate-triggered silicon controlled rectifier, P-STSCR)，第二 ESD 侦测电路，电连接于该输入或输出缓冲垫与该 V_{DD} 电源接脚之间，以及 N 型基底触发硅控整流器(N-type substrate-triggered silicon controlled rectifier, N-STSCR)。其中，该 P-STSCR 包含有第一横向 SCR (lateral SCR) 以及 P 型触发点(trigger node)，且该 P-STSCR 的阳极(anode)与阴极(cathode)分别电连接至该输入或输出缓冲垫以及该 V_{ss} 电源接脚，而该 N-STSCR 包含有第二横向 SCR 以及 N 型触发点，且该 N-STSCR 的阴极与阳极分别电连接于该输入或输出缓冲垫以及该 V_{DD} 电源接脚。

为达到上述目的，具体而言，本发明包括以下各技术方案：

1、一种静电放电(ESD)防护电路，该 ESD 防护电路电连接于输入或输出缓冲垫、内部电路、 V_{ss} 电源接脚以及 V_{DD} 电源接脚，该 ESD 防护电路包含有：第一 ESD 侦测电路，电连接于该输入或输出缓冲垫与该 V_{ss} 电源接脚之间；P 型基底触发硅控整流器(P-STSCR)，该 P-STSCR 包含有第一横向 SCR 以及 P 型触发点，且该 P-STSCR 的阳极与阴极分别电连接至该输入或输出缓冲垫以及该 V_{ss} 电源接脚；第二 ESD 侦测电路，电连接于该输入或输出缓冲垫与该 V_{DD} 电源接脚之间；以及 N 型基底触发硅控整流器(N-STSCR)，该 N-STSCR 包含有第二横向 SCR 以及 N 型触发点，且该 N-STSCR 的阴极与阳极分别电连接于该输入或输出缓冲垫以及该 V_{DD} 电源接脚。

2、一种静电放电(ESD)防护电路，该 ESD 防护电路电连接于输入或输出缓冲垫、内部电路、 V_{ss} 电源接脚以及 V_{DD} 电源接脚，该 ESD 防护电路

包含有：第一 ESD 侦测电路，电连接于该输入或输出缓冲垫与该 V_{ss} 电源接脚之间；第一堆叠整流器，电连接于该 V_{ss} 电源接脚与该输入或输出缓冲垫之间，该第一堆叠整流器由复数个 P 型基底触发硅控整流器（P-STSCR）串联而成，且该每一个 P-STSCR 均包含有第一横向 SCR（lateral SCR）以及 P 型触发点；第二 ESD 侦测电路，电连接于该输入或输出缓冲垫与该 V_{dd} 电源接脚之间；以及第二堆叠整流器，电连接于该 V_{dd} 电源接脚与该输入或输出缓冲垫之间，该第二堆叠整流器由复数个 N 型基底触发硅控整流器（N-STSCR）串联而成，且该每一个 N-STSCR 均包含有第二横向 SCR 以及 N 型触发点；其中该第一堆叠整流器与该第二堆叠整流器的总保持电压大于任何传递至该输入或输出缓冲垫上的正常信号的最大电压准位，以避免该 ESD 防护电路被杂讯意外导通而干扰电路的正常信号。

3、一种电源线间 ESD 箝制电路，该电源线 ESD 箝制电路电连接于 V_{ss} 电源线以及 V_{dd} 电源线，该电源线 ESD 箝制电路包含有：ESD 侦测电路，设于该 V_{ss} 电源线以及该 V_{dd} 电源线之间；以及至少一基底触发硅控整流器（STSCR），该 STSCR 包含有横向 SCR 以及至少一触发点，且该 STSCR 的阳极与阴极分别电连接至该 V_{dd} 电源线以及该 V_{ss} 电源线。

4、一种应用于混合电压之间的电源线 ESD 箝制电路，该电源线 ESD 箝制电路电连接于 V_{ss} 电源线、第一 V_{dd} 电源线以及第二 V_{dd} 电源线，该电源线 ESD 箝制电路包含有：第一 ESD 侦测电路，设于该第一 V_{dd} 电源线以及该 V_{ss} 电源线之间；至少一第一基底触发硅控整流器（STSCR），该第一 STSCR 包含有第一横向 SCR 以及至少一第一触发点，且该第一 STSCR 的阳极与阴极分别电连接至该第一 V_{dd} 电源线以及该 V_{ss} 电源线；第一串联的二极管，设于该第一 STSCR 以及该 V_{ss} 电源线之间；第二 ESD 侦测电路，设于该第一 V_{dd} 电源线以及该 V_{ss} 电源线之间；

至少一次电源线 ESD 箝制电路，设于该第一 V_{dd} 电源线以及该第二

V_{DD} 电源线之间, 该电源线 ESD 箝制电路包含有: 至少一第二 STSCR, 该第二 STSCR 包含有第二横向 SCR 以及至少一第二触发点, 且该第二 STSCR 的阳极与阴极分别电连接至该第一 V_{DD} 电源线以及该第二 V_{DD} 电源线; 第二串联的二极管, 设于该第二 STSCR 以及该第二 V_{DD} 电源线之间; 以及第三串联的二极管, 设于该第一 V_{DD} 电源线以及该第二 V_{DD} 电源线之间; 第三 ESD 侦测电路, 设于该第二 V_{DD} 电源线以及该 V_{SS} 电源线之间; 至少一第三 STSCR, 该第三 STSCR 包含有第三横向 SCR 以及至少一第三触发点, 且该第三 STSCR 的阳极与阴极分别电连接至该第二 V_{DD} 电源线以及该 V_{SS} 电源线; 以及第四串联的二极管, 设于该第三 STSCR 以及该 V_{SS} 电源线之间。

5、一种应用于分离电源线之间的 ESD 电连接电路, 该分离电源线由第一 V_{SS} 电源线、第一 V_{DD} 电源线、第二 V_{SS} 电源线以及第二 V_{DD} 电源线所构成, 该第一 V_{DD} 电源线与该第一 V_{SS} 电源线之间设有第一核心电路, 而该第二 V_{DD} 电源线与该第二 V_{SS} 电源线之间设有第二核心电路, 该 ESD 电连接电路包含有: 第一 ESD 侦测电路, 设于该第一 V_{DD} 电源线以及该第一 V_{SS} 电源线之间; 第二 ESD 侦测电路, 设于第二 V_{DD} 电源线以及该第二 V_{SS} 电源线之间; 第一 ESD 防护电路, 设于该第一 V_{DD} 电源线以及该第二 V_{DD} 电源线之间, 该第一 ESD 防护电路包含有: 第一串联 STSCR 组, 该第一串联 STSCR 组包含有一个以上的 STSCR, 且每一 STSCR 均包含有横向 SCR 以及至少一触发点, 且该第一串联 STSCR 组的阳极、阴极与各该触发点分别电连接至该第一 V_{DD} 电源线、该第二 V_{DD} 电源线以及该第一 ESD 侦测电路; 以及第二串联 STSCR 组, 该第二串联 STSCR 组包含有一个以上的 STSCR, 且每一 STSCR 均包含有横向 SCR 以及至少一触发点, 且该第二串联 STSCR 组的阳极、阴极与各该触发点分别电连接至该第二 V_{DD} 电源线、该第一 V_{DD} 电源线以及该第二 ESD 侦测电路; 第二 ESD 防护电路, 设于该第一 V_{SS} 电源线以及该第二 V_{SS} 电源线之间, 该第二 ESD 防

护电路包含有：第三串联 STSCR 组，该第三串联 STSCR 组包含有一个以上的 STSCR，且每一 STSCR 均包含有横向 SCR 以及至少一触发点，且该第三串联 STSCR 组的阳极、阴极与各该触发点分别电连接至该第二 V_{ss} 电源线、该第一 V_{ss} 电源线以及该第二 ESD 侦测电路；以及第四串联 STSCR 组，该第四串联 STSCR 组包含有一个以上的 STSCR，且每一 STSCR 均包含有横向 SCR 以及至少一触发点，且该第四串联 STSCR 组的阳极、阴极与各该触发点分别电连接至该第一 V_{ss} 电源线、该第二 V_{ss} 电源线以及该第一 ESD 侦测电路。

本发明的优点在于利用具有非常低导通电压的基底触发 SCR 元件于一输入 ESD 防护电路、输出 ESD 防护电路以及电源线 ESD 箝制制电路，因此可以有效提升深次微米 CMOS 制程中集成电路产品的 ESD 耐压能力。应用该基底触发硅控整流器的 ESD 防护电路具有以下优点：节省总布局面积，增快开启速度，快速排放 ESD 电流，以及避免瞬间过热的问题。

附图说明

图 1 为习知 LSCR 元件应用于输入 ESD 防护电路的示意图；

图 2 为习知 MLSCR 元件应用于输入 ESD 防护电路的示意图；

图 3 为习知 LVTSCR 元件应用于输出 ESD 防护电路的示意图；

图 4 为习知栅极耦合的 LVTSCR 元件应用于输入或输出 (I/O) ESD 防护电路的示意图；

图 5 为本发明应用 P-STSCR 元件于输入或输出 ESD 防护电路的基本概念示意图；

图 6 为本发明应用 P-STSCR 元件于输入或输出 ESD 防护电路的示意图；

图 7 为本发明应用 P-STSCR 元件于输入或输出 ESD 防护电路的修饰型

设计的示意图；

图 8 为本发明应用 P-STSCR 元件与 N-STSCR 元件于输入或输出 ESD 防护电路基本概念示意图；

图 9 为本发明应用 P-STSCR 元件与 N-STSCR 元件于输入或输出 ESD 防护电路的示意图；

图 10 为本发明应用 P-STSCR 元件与 N-STSCR 元件于输入或输出 ESD 防护电路的修饰型设计的示意图；

图 11 为本发明应用 P-STSCR 元件与 N-STSCR 元件于输入或输出 ESD 防护电路的修饰型设计的示意图；

图 12 为本发明应用 P-STSCR 元件与 N-STSCR 元件于输入或输出 ESD 防护电路的修饰型设计的示意图；

图 13 为本发明应用 P-STSCR 元件与 N-STSCR 元件于输入或输出 ESD 防护电路的示意图；

图 14 为本发明应用 P-STSCR 元件与 N-STSCR 元件于输入或输出 ESD 防护电路的示意图；

图 15 为本发明第二实施例中应用堆叠 P-STSCR 元件与堆叠 N-STSCR 元件于 ESD 防护电路的基本概念示意图；

图 16 为本发明第二实施例中应用 P-STSCR 元件，N-STSCR 元件，与堆叠二极管于输入或输出 ESD 防护电路的基本概念示意图；

图 17 为本发明第二实施例应用堆叠二极管以及堆叠 STSCR 元件于输入或输出 ESD 防护电路的示意图；

图 18 为本发明第三实施例应用堆叠二极管与 N-STSCR 元件为电源线间的 ESD 箝制电路的示意图；

图 19 为本发明第三实施例应用堆叠二极管与 P-STSCR 元件为电源线间的 ESD 箝制电路的示意图；

图 20 为本发明第三实施例应用堆叠 P-STSCR 元件于电源线间的 ESD

箝制电路的示意图;

图 21 为本发明第三实施例应用堆叠 N-STSCR 元件于电源线 ESD 箝制电路的示意图;

图 22 为本发明第三实施例应用堆叠 P-STSCR 元件与堆叠 N-STSCR 元件于电源线 ESD 箝制电路的示意图;

图 23 为本发明第三实施例应用堆叠 P-STSCR 元件与堆叠 N-STSCR 元件与二极管的结合设计于电源线 ESD 箝制电路的示意图;

图 24 为本发明第三实施例应用双触发 SCR 元件 (DT-SCR) 于电源线 ESD 箝制电路的示意图;

图 25 为本发明第三实施例应用 DT-SCR 元件与二极管于电源线 ESD 箝制电路的示意图;

图 26 至图 30 为本发明中用来控制电源线间的堆叠结构元件的开启或关闭的 ESD 侦测电路的示意图;

图 31 至图 35 为本发明应用在具有不同电源供应的电源线 ESD 箝制电路的示意图。

图示的符号说明

- | | |
|---------------------------------|------------------------------------|
| 10 输入 ESD 防护电路 | 11、31 输入垫 |
| 12、32、52、72、102、202 内部电路 | |
| 13、53、73 LSCR 元件 | 14、34、54、74 P ⁺ 扩散区域 |
| 15、35、55、75 N 阱 | 16、36、56、76 P 型基底 |
| 17、37、57、77 N ⁺ 扩散区域 | 20、40 二级防护电路 |
| 21 串联电阻 22 栅极接地 NMOS | 33 MLSCR 元件 38 N ⁺ 扩散区域 |
| 50 输出 ESD 防护电路 51 输出垫 | |
| 58 短通道 NMOS 元件 60 LVTSCR 元件 | |
| 70 输入或输出 ESD 防护电路 103 导体 | |

107 阳极 108 阴极

30、100、120、200、240、400、440 ESD、500 防护电路

71、101、121、141、201、241 输入或输出垫

301、341、401、441、501 输入或输出垫

79、153、333、353 栅极

80、129、249、269、329、450、470、804、842 电容

81、130、250、270、350、448、468、802、844、864 电阻

104、124、144、204、244P-STSCR 元件

304、344、404、444、624P-STSCR 元件

105、125、145、205、245、305P 型触发点

345、405、445、625、727 P 型触发点

106、126、146、206、226、246ESD 侦测电路

266、306、326、446、606、626ESD 侦测电路

726、800、820、840、860、880ESD 侦测电路

140、300、340 修饰型 ESD 防护电路

152、312、352、886 NMOS 晶体管

224、264、324、364、424、464、604 N-STSCR 元件

225、265、325、365、425、465、605、728 N 型触发点

332、372 PMOS 晶体管

349、369、862、882 二极管串

409、429、822 齐纳二极管

452、472、806、808、824、848、866、886 反向器

463、885 输入电极

504、644、684、704 堆叠 P-STSCR 元件

524、664、688、708 堆叠 N-STSCR 元件

508、528、608、628 堆叠二极管

640、680、700、720、740 ESD 箝制电路

710、748 二极管

724 双触发 SCR 元件

744 DT-SCR 元件

846 晶体管

900、920、940、960、980 电源线 ESD 箝制电路

具体实施方式

请参照图 5，图 5 为本发明应用 P-STSCR 元件 104 于 ESD 输入或输出防护电路 100 的基本概念示意图。如图 5 所示，ESD 防护电路 100 包含有一输入或输出垫 101 与一内部电路 102，一导体 103 电连接于输入或输出垫 101 与内部电路 102 之间，且内部电路 102 电连接于 V_{ss} 电源接脚与 V_{dd} 电源接脚之间，一 P-STSCR 元件 104 的 P 型触发点 105 电连接至一 ESD 侦测电路 106，而 P-STSCR 元件 104 的阳极(anode)107 与阴极(cathode)108 分别电连接至输入或输出垫 101 以及 V_{ss} 电源接脚。

P-STSCR 104 包含一 P 型基底，一 N 阱(N-well)设于 P 型基底中，一第一 N^+ 扩散区域以及一第一 P^+ 扩散区域，设于 P 型基底内并作为 P-STSCR 元件 104 的阴极，一第二 N^+ 扩散区域以及一第二 P^+ 扩散区域，设于 N 阱内并作为 P-STSCR 元件 104 的阳极，一 P 型触发点 105 位于 N 型阱以及 P 型基底之间，用来接受一触发电流(I_{trig})以迅速开启 P-STSCR 104。其中，第二 P^+ 扩散区域、N 阱、P 型基底以及第一 N^+ 扩散区域构成一横向 SCR (lateral SCR)，因此当一电流由 P 型触发点 105 流进该 P 型基底时，该横向 SCR 将被触发而进入它的闭锁状态(latch state)，以提供一低阻抗路径而将 ESD 电流由 P-STSCR 元件 104 的阳极导到阴极。

当一正的 ESD 电压脉冲被施加于输入或输出垫 101 之上，而 V_{ss} 电源接脚接地且 V_{dd} 电源接脚浮接时，会使 ESD 侦测电路 106 产生一触发电流至 P-STSCR 元件 104 的 P 型触发点 105，以开启 P-STSCR 元件 104，因此正

ESD 电压脉冲的电流会从输入或输出垫 101, 经由开启的 P-STSCR 元件 104 被释放至 V_{ss} 电源接脚排出。

请参照图 6, 图 6 为本发明应用 P-STSCR 元件 124 于一 ESD 输入或输出防护电路 120 的示意图。ESD 侦测电路 126 由一电容 (C) 129 与一电阻 (R) 130 所组成。当一正的 ESD 电压脉冲被施加于输入或输出垫 121 之上, 而 V_{ss} 电源接脚接地且 V_{dd} 电源接脚浮接时, 此瞬间 (transient) 正电压会经由电容 129 而被耦合至 P-STSCR 元件 124 的 P 型触发点 125, 而 P-STSCR 元件 124 的 P 型触发点 125 上的耦合电压, 可因为电连接于电容 129 与 V_{ss} 电源接脚间的电阻 130 的存在而被维持较久的时间。流经电容 129 的瞬间电流将触发导通 P-STSCR 元件 124, 使得 ESD 电流由输入或输出垫 121 被释放到 V_{ss} 电源接脚, 而不流至一内部电路 (internal circuit) 123。

请参照图 7, 图 7 为本发明应用 P-STSCR 元件 144 于 ESD 防护电路 140 的修饰型设计示意图。如图 7 所示, 于 ESD 侦测电路 146 中加入一 NMOS 晶体管 (Mn1) 152, 当一正的 ESD 电压脉冲被施加于输入或输出垫 141 之上, 而 V_{ss} 电源接脚接地且 V_{dd} 电源接脚浮接时, 输入或输出垫 141 上的瞬间电压会流经电容 149 而被耦合至 Mn1 152 的栅极 153, 由于此正耦合栅极偏压被施加于 Mn1 152 的栅极上, Mn1 152 将会被开启, 并将 ESD 电流由输入或输出垫 141 传导至 P-STSCR 元件 144 的 P 型触发点 145。因此 P-STSCR 元件 144 会被触发并使得 ESD 电流由输入或输出垫 141 被释放至流至 V_{ss} 电源接脚, 而不流至一内部电路 (internal circuit) 143。

另一种 ESD 电压脉冲的情形 (negative-to- V_{dd}), 则一负的 ESD 电压脉冲被施加于输入或输出垫 101 之上, 而 V_{dd} 电源接脚接地且 V_{ss} 电源接脚浮接。为了要保证 ESD 输入或输出电路在此两种 ESD 情况发生时都能承受高 ESD 电压, 在电路设计时应用互补式 (complementary) 的概念, 即同时应用 P-STSCR 元件与 N-STSCR 元件。相类似于 P-STSCR 元件 104, N-STSCR 元件 224 包含一 P 型基底, 一 N 阱 (N-well) 设于 P 型基底中, 一第一

N⁺扩散区域及一第一 P⁺扩散区域，设于 P 型基底内并作为 N-STSCR 元件 224 的阴极，一第二 N⁺扩散区域及一第二 P⁺扩散区域，设于 N 阱内并作为 N-STSCR 元件 224 的阳极，以及一 N 型触发点 205 位于 N 型阱以及 P 基底之间。其中，第二 P⁺扩散区域、N 阱、P 型基底以及第一 N⁺扩散区域构成一横向 SCR。

请参照图 8，图 8 为本发明应用互补型 P-STSCR 元件 204 与 N-STSCR 元件 224 于输入或输出 ESD 防护电路 200 的基本概念示意图。如图 8 所示，ESD 防护电路 200 包含有一输入或输出垫 201 与一内部电路 202，且内部电路 202 电连接于 V_{ss} 电源接脚与 V_{dd} 电源接脚之间，又内部电路 202 电连接至输入垫 201。其中，P-STSCR 元件 204 电连接于输入或输出垫 201 与 V_{ss} 电源接脚之间，N-STSCR 元件 224 电连接于 V_{dd} 电源接脚与输入或输出垫 201 之间，而 ESD 防护电路 200 另包含有一 ESD 侦测电路 206 电连接于输入或输出垫 201 与 V_{ss} 电源接脚之间，另一 ESD 侦测电路 226 电连接于输入或输出垫 201 与 V_{dd} 电源接脚之间。当一正的 ESD 电压脉冲被施加于输入或输出垫 201 之上，而 V_{ss} 电源接脚接地且 V_{dd} 电源接脚浮接时，通过 P 型触发点 205 来触发 P-STSCR 元件 204，并使得 ESD 电流由输入或输出垫 201 释放到接地的 V_{ss} 电源接脚。当一负的 ESD 电压脉冲被施加于输入或输出垫 201 之上，而 V_{dd} 电源接脚接地且 V_{ss} 电源接脚浮接时，则可以由 N 型触发点 225 来触发 N-STSCR 元件 224，并使得 ESD 电流由输入或输出垫 201 释放到接地的 V_{dd} 电源接脚。

为了满足上述电路操作的需求，一些 ESD 侦测电路设计的实施例则被揭露如下。请参照图 9，图 9 为本发明应用 P-STSCR 元件 244 与 N-STSCR 元件 264 于 ESD 输入或输出防护电路 240 的电路设计示意图。如图 9 所示，ESD 侦测电路 246 由一电容 (C) 249 与一电阻 (R) 250 所组成，ESD 侦测电路 266 由一电容 (C) 269 与一电阻 (R) 270 所组成。

当一正的 ESD 电压脉冲被施加于输入或输出垫 241 之上，而 V_{ss} 电源

接脚接地且 V_{DD} 电源接脚浮接时, 输入或输出垫 241 上的电压会经由电容 249 而被耦合至 P-STSCR 元件 244 的 P 型触发点 245, 且此 P-STSCR 元件 244 的 P 型触发点 245 上的耦合电压可因电连接于电容 249 与 V_{SS} 电源接脚间的电阻 250 的存在而被维持较久的时间, 而流经电容 249 的瞬间电流可以触发 P-STSCR 元件 244, 并使得 ESD 电流由输入或输出垫 241 被释放到 V_{SS} 电源接脚, 而不流至一内部电路(internal circuit) 243。反之, 当一负的 ESD 电压脉冲被施加于输入或输出垫 241 之上, 而 V_{DD} 电源接脚接地且 V_{SS} 电源接脚浮接时, 输入或输出垫 241 上的电压会经由电容 269 被耦合至 N-STSCR 元件 264 的 N 型触发点 265, 且此 N-STSCR 元件 264 的 N 型触发点 265 上的耦合电压, 可因电连接于电容 269 与 V_{DD} 电源接脚间的电阻 270 而被维持较久的时间, 而流经电容 269 的瞬间电流则可以触发 N-STSCR 元件 264, 并使得 ESD 电流由输入或输出垫 241 被释放到 V_{DD} 电源接脚。

请参照图 10, 图 10 为本发明应用 P-STSCR 元件 304 与 N-STSCR 元件 324 于输入或输出 ESD 防护电路 300 的修饰型设计的示意图。如图 10 所示, 于 ESD 侦测电路 306 中加入一额外的 NMOS 晶体管 (M_{n1}) 312, 且于 ESD 侦测电路 326 中加入一额外的 PMOS 晶体管 (M_{p1}) 332 以提高其触发电流的大小, 所以可以更快速的触发 P-STSCR 元件 304 与 N-STSCR 元件 324, 以快速排放 ESD 电流。

当一负的 ESD 电压脉冲被施加于输入或输出垫 301 上, 而 V_{DD} 电源接脚接地且 V_{SS} 电源接脚浮接时, 负 ESD 电压会经由电容 329 而被耦合至 M_{p1} 332 的栅极 333。当加入一负耦合栅极偏压被施加于 M_{p1} 332 的栅极 333 上时, 则可以开启 M_{p1} 332 以传导一些负 ESD 电流从输入或输出垫 301 至 N-STSCR 元件 324 的 N 型触发点 325, 所以在 N-STSCR 元件 324 结构的 N 阱(未显示)中的 N-STSCR 元件 324, 可以被负触发电流来触发, 以将负 ESD 电流从输入或输出垫 301 被释放至相对接地的 V_{DD} 电源接脚, 以保护内部电路(internal circuit) 343。

请参照图 11，图 11 为本发明应用 P-STSCR 元件 344 与 N-STSCR 元件 364 于输入或输出 ESD 防护电路 340 的修饰型设计的示意图。如图 11 所示，该设计以二极管串 (diode string) 349 与二极管串 369，取代图 10 中的 ESD 侦测电路 306 与 ESD 侦测电路 326 中的电容 309、329，用来侦测 ESD 的发生。

当一正的 ESD 电压脉冲被施加于输入或输出垫 341 上，而 V_{ss} 电源接脚接地且 V_{DD} 电源接脚浮接时，该 ESD 电压会经由二极管串 349 被传导至 Mn1 352 的栅极 353。而当一正偏压加于 Mn1 352 的栅极 353 上时，Mn1 352 会被开启，并将一些 ESD 电流由输入或输出垫 341 传导至 P-STSCR 元件 344 的 P 型触发点 345，所以 P-STSCR 元件 344 可以被触发并排放 ESD 电流，以保护内部电路 (internal circuit) 345。而相反于此电路操作，则施加负 ESD 电压以开启 Mp1 372，并将负 ESD 电流由输入或输出垫 341 释放至 V_{DD} 电源接脚。其中，二极管串 349 与 369 中所串联的二极管数量与正常输入或正常输出信号的电压准位有关。

在正常操作的情形下，输入或输出垫 341 上的输入或输出信号并不会造成横跨电阻 350 上的电压大于 Mn1 352 的起始电压 (threshold voltage)。例如在正常操作情况下，假使输入或输出垫 341 上的输入或输出信号具有一 3.3 伏特的最大电压准位，则应该要设计以八个二极管堆叠而成的二极管串 349。因为在一般 CMOS 的制程中，一个二极管具有约为 0.5 伏特的切入 (cut-in) 电压，因此八个二极管堆叠而成的二极管串 349 则具有一约为 4 伏特的电压屏障准位，这表示只有当输入或输出垫 341 上的电压准位大于 4 伏特时，P-STSCR 元件 344 才能够被触发。通过调整二极管串 349 与二极管串 369 中堆叠的二极管的数量，而在输入或输出垫 341 上可以触发 P-STSCR 元件 344 与 N-STSCR 元件 364 导通的正电压准位与负电压准位可被设计成具有不同电压准位，以满足不同的应用情形。

此外，由于二极管串在顺向偏压 (forward bias) 的情况之下，通常具

有一高驱动(driving)电流,因此可以省略图 11 中的 Mn1 352 与 Mp1 372,以节省硅面积。请参照图 12,图 12 为本发明应用 P-STSCR 元件 344 与 N-STSCR 元件 364 于输入或输出 ESD 防护电路 340 的修饰型设计的示意图。如图 12 所示,在输入或输出垫 341 上,当一正的 ESD 电压脉冲被施加于输入或输出垫 341 上,而 V_{ss} 电源接脚接地且 V_{dd} 电源接脚浮接时,一些正 ESD 电流会经由二极管串 349 而被传导至 P 型触发点 345,并开启 P-STSCR 元件 344,以将 ESD 电流由输入或输出垫 341 排放至 V_{ss} 电源接脚。当一负的 ESD 电压脉冲被施加于输入或输出垫 341 上,而 V_{dd} 电源接脚接地且 V_{ss} 电源接脚浮接时,一些负 ESD 电流会经由二极管串 369 而被传导至 N 型触发点 365,并开启 N-STSCR 元件 364,以将 ESD 电流由输入或输出垫 341 排放至 V_{dd} 电源接脚。

请参照图 13,图 13 为本发明应用 P-STSCR 元件 404 与 N-STSCR 元件 424 于输入或输出 ESD 防护电路 400 的示意图。不同于图 12 所示的输入或输出 ESD 防护电路 340,图 13 所示的输入或输出 ESD 防护电路 400 以齐纳二极管(zener diode) 409 与齐纳二极管 429 来取代图 12 的二极管串 349、369。由于齐纳二极管 409 与齐纳二极管 429 具有一大于输入或输出垫 401 上的正常信号电压准位的崩溃电压,所以在正常操作情形下,输入或输出垫 401 上的正常信号电压准位并不会造成齐纳二极管 409 与齐纳二极管 429 的崩溃,故此时 P-STSCR 元件 404 与 N-STSCR 元件 424 是处于一关闭(off)的状态。但是当 ESD 脉冲产生时,正或负的 ESD 电压会造成齐纳二极管 409 或齐纳二极管 429 的崩溃,并产生流至 P-STSCR 元件 404 的 P 型触发点 405 或 N-STSCR 元件 424 的 N 型触发点 425 的触发电流,以相对应的开启 P-STSCR 元件 404 与 N-STSCR 元件 424 来保护内部电路(internal circuit) 443。

请参照图 14,图 14 为本发明应用 P-STSCR 元件 444 与 N-STSCR 元件 464 于输入或输出 ESD 防护电路 440 的示意图。如图 14 所示,用来触发

P-STSCR 元件 444 的 ESD 侦测电路 446, 其包含一电阻 449、一电容 450 以及一反向器(inverter, INV-1) 452, 其设计为由 V_{DD} 电源接脚电连接一电阻 449 至反向器 452 的输入电极 453, 而 INV-1 452 的输入电极 453 至 V_{SS} 电源接脚之间可另设有一电容 450, 电容 450 可以是一寄生(parasitic) 电容或是一真实电容。

在集成电路的正常操作情形下, 此时集成电路接受 V_{SS} 以及 V_{DD} 电源供应, INV-1 452 的输入电极 453 因电阻 449 的存在而保持在 V_{DD} 电压准位, 因此 INV-1 452 的输出被保持在 V_{SS} 电压准位。在正常操作情形下, INV-1 452 的输出提供一 V_{SS} 电压施加于 P-STSCR 元件 444 的 P 型触发点 445 之上, 所以 P-STSCR 元件 444 是处于关闭(off)的情况。当一正的 ESD 电压脉冲被施加于输入或输出垫 441 上, 而 V_{SS} 电源接脚接地且 V_{DD} 电源接脚浮接时, INV-1 452 的输入一开始时因为电容 450 的存在而保持为零, 并且 INV-1 452 因为输入或输出垫 441 上的 ESD 能量而被偏压。因此 INV-1 452 的输出将会被 ESD 能量充电(charge up)至高电压准位, 并产生一触发电流至 P-STSCR 元件 444 的 P 型触发点 445。反向器 INV-452 的部分结构类似图 10 的晶体管 312、332, 因此触发电流的触发机制也类似于图 10 的说明。最后, 由 INV-1 452 的输出所产生的触发电流将会开启 P-STSCR 元件 444, 并将 ESD 电流由输入或输出垫 441 经由 P-STSCR 元件 444 释放至 V_{SS} 电源接脚, 以保护内部电路(internal circuit) 447。当一负的 ESD 电压脉冲被施加于输入或输出垫 441 上, 而 V_{DD} 电源接脚接地且 V_{SS} 电源接脚浮接时, 类似但相反的电路操作, 则可应用于电阻 469、电容 470 以及反向器(INV-2) 472 之上, 以开启 N-STSCR 元件 464。其中, 在集成电路正常操作情形下, N-STSCR 元件 464 为关闭状态。

在集成电路正常应用情形下, 有一些工作在具有高度杂讯脉波干扰的环境下, 如电动机控制用(motor control) IC 或军用(military) IC, 而其输入或输出 ESD 防护电路中的 P-STSCR 元件或 N-STSCR 元件可能会因

这些杂讯脉波的过冲 (overshooting) 以及下冲 (undershooting) 而被触发。在正常工作情形下,若是在 ESD 防护电路中的 P-STSCR 元件或 N-STSCR 元件被杂讯脉波所触发,则在输入或输出垫上的电压准位将会被箝在 LSCR 元件的保持电压附近(在非经由磊晶方法所制作的晶圆中通常约为 1 伏特),这将造成输入或输出讯号电压准位的错误,并导致集成电路或系统的操作错误。

为了避免上述输入或输出 ESD 防护电路中的 P-STSCR 元件或 N-STSCR 元件被不预期触发的情形发生,当集成电路操作于高杂讯干扰的环境时,作为本发明中第二实施例的另一设计则被提出。请参照图 15,图 15 为本发明中应用堆叠 (stacked) P-STSCR 元件 504 与堆叠 N-STSCR 元件 524 于 ESD 防护电路 500 的基本概念示意图。在 ESD 防护电路 500 中的堆叠 P-STSCR 元件 504 与堆叠 N-STSCR 元件 524,其总保持电压应该要大于集成电路的 V_{DD} 电压准位或输入或输出垫 501 上其正常信号的最大电压准位。而如图 15 所示,ESD 防护电路 500 另包含有二 ESD 侦测电路 506、526。

例如,在应用于 3.3 伏特的集成电路中,ESD 防护电路 500 中的堆叠 P-STSCR 元件 504 与堆叠 N-STSCR 元件 524 应由 4 个 SCR 元件堆叠而成,由 4 个 SCR 元件堆叠而成的堆叠 P-STSCR 元件 504 与堆叠 N-STSCR 元件 524 其总保持电压约为 4 伏特,大于输入或输出垫 501 上其正常信号的最大电压准位。因为总保持电压大于 V_{DD} 电压准位或输入或输出垫 501 上正常信号的最大电压准位,即使在 ESD 防护电路中的堆叠 P-STSCR 元件 504 与堆叠 N-STSCR 元件 524 中的一些 SCR 元件被杂讯脉波所触发,造成堆叠 P-STSCR 元件 504 与堆叠 N-STSCR 元件 524 的 SCR 元件不预期地被开启,也不会影响集成电路中输入或输出电路 543 的正常运作。

图 16 为本发明第二实施例中应用堆叠二极管 508 与堆叠二极管 528

于输入或输出 ESD 防护电路 500 的基本概念示意图。图 17 为本发明第二实施例中应用堆叠二极管以及堆叠 STSCR 于输入或输出 ESD 防护电路 500 的示意图。如图 16 所示,堆叠二极管 508 与堆叠二极管 528 是用来增加 P-STSCR 元件 504 与 N-STSCR 元件 524 的总保持电压。如图 17 所示,使用堆叠 P-STSCR 元件 504 与堆叠二极管 508 或堆叠 N-STSCR 元件 524 与堆叠二极管 528 两者的结合,其目的在于增加 ESD 防护电路中的 P-STSCR 元件 504 与 N-STSCR 元件 524 的总保持电压。而图 15 至图 17 中的 ESD 侦测电路与图 9 至图 14 所示的设计雷同。

P-STSCR 元件以及 N-STSCR 元件也可以应用在电源线 ESD 箝制电路的中。请参照图 18,图 18 为本发明第三实施例中应用堆叠二极管 608 以及一 N-STSCR 604 作为 V_{ss} 与 V_{DD} 电源线间的 ESD 箝制电路的示意图。当一相对正的 ESD 脉冲横跨在 V_{DD} 电源线与 V_{ss} 电源线之间时,ESD 侦测电路 606 会传导一触发电流至 N-STSCR 元件 604 的 N 型触发点 605,以触发 N-STSCR 元件 604,经由开启的 N-STSCR 元件 604 与堆叠二极管 608,可在 V_{DD} 与 V_{ss} 电源线间建立一极低阻抗的放电路径来排放 ESD 电流,因而可以有效保护内部电路(internal circuit) 647。电源线 ESD 箝制电路中的堆叠二极管 608 的数量与集成电路在正常操作情形下的 V_{DD} 电压准位相关。此外,在电源线 ESD 箝制电路中,串接于堆叠二极管 608 的 N-STSCR 元件 604 于开启状态下的总保持电压要大于最大的 V_{DD} 电压准位,以避免发生闭锁(latch-up issue)的现象。

请参照图 19,图 19 为本发明第三实施例应用堆叠二极管 628 以及一 P-STSCR 624 作为 V_{DD} 与 V_{ss} 电源线间的 ESD 箝制元件的示意图。当一相对正的 ESD 脉冲横跨在 V_{DD} 与 V_{ss} 电源线之间时,ESD 侦测电路 626 会传导一触发电流至 P-STSCR 元件 624 的 P 型触发点 625,以触发 N-STSCR 元件 624,并将该 ESD 电压脉冲的电流经由开启的 P-STSCR 元件 624 与堆叠二极管 628 自 V_{DD} 电源排放至 V_{ss} 电源,以保护内部电路(internal circuit) 627。同

样的，串接于堆叠二极管 628 的 P-STSCR 元件 624 于开启状态下的总保持电压要大于最大的 V_{DD} 电压准位，以避免发生闭锁 (latch-up issue) 的现象。

请参照图 20 至图 23，图 20 为本发明第三实施例中应用堆叠 P-STSCR 元件 644 于电源线 ESD 箝制电路 640 的示意图。图 21 为本发明第三实施例中应用堆叠 N-STSCR 元件 664 于电源线 ESD 箝制电路 660 的示意图。图 22 为本发明第三实施例应用堆叠 P-STSCR 元件 684 与堆叠 N-STSCR 元件 688 于电源线箝制电路 680 的示意图。图 23 为本发明第三实施例应用堆叠 P-STSCR 元件 704 与堆叠 N-STSCR 元件 708 与二极管 710 的结合设计于电源线 ESD 箝制电路 700 的示意图。如图 20 至图 23 所示，ESD 防护电路 640、660、680、700 均另包含有一 ESD 侦测电路 677，且 V_{DD} 电源线与 V_{SS} 电源线之间皆电连接有一内部电路 (internal circuit) 669。

请参照图 24 至图 25，图 24 为本发明第三实施例应用双触发硅控整流器 (double-triggered silicon controlled rectifier, DT-SCR) 724 于电源线 ESD 箝制电路 720 的示意图。图 25 为本发明第三实施例应用 DT-SCR 元件 744 与二极管 748 于电源线 ESD 箝制电路 740 的示意图。为了要开启双触发 SCR (DT-SCR) 元件 724，以保护内部电路 (internal circuit) 711，ESD 侦测电路 726 必需产生两个触发电流分别流至 DT-SCR 元件 724 的 P 型触发点 727 与 N 型触发点 728。至于 ESD 侦测电路 726 的电路设计将在图 26 至图 30 中说明。当然在电源线 ESD 箝制电路的堆叠结构中所使用的元件，亦可以为 P-STSCR、N-STSCR、DT-SCR 或二极管的组合。原则上，在集成电路正常操作情形下，在 V_{DD} 电源线与 V_{SS} 电源线间的由 P-STSCR、N-STSCR、DT-SCR 或二极管组合而成的堆叠结构，其总保持电压必需要大于 V_{DD} 电源的最大电压准位，以避免闭锁的情形。

请参照图 26 至图 30，图 26 至图 30 为本发明用以控制 V_{DD} 电源线与 V_{SS} 电源线间的堆叠结构的开启或关闭的 ESD 侦测电路 800、820、840、860、

880 的示意图。在图 26 中, 电阻 802 与电容 804 具有一约为 $0.1 \sim 1$ 微秒 (μs) 的 RC 常数, 因此能侦测到上升 (rise) 时间约为 10 ns 的 ESD 脉冲, 而 INV-1 806 的输出被电连接至 P-STSCR (未显示) 元件或是 DT-SCR (未显示) 元件的 P 型触发点, 且 INV-2 808 的输出被电连接至 N-STSCR (未显示) 元件或是 DT-SCR (未显示) 元件的 N 型触发点。

在图 27 中, 利用一齐纳二极管 822 来侦测 ESD 的发生。当一横跨 V_{DD} 电源线与 V_{SS} 电源线间的电压大于齐纳二极管 822 的崩溃电压时, 齐纳二极管 822 将会崩溃并产生一电连接至 P 型触发点的触发电流, 而 INV-2 824 的输出被电连接至 N 型触发点。在图 28 中, ESD 侦测电路 840 为一种栅极耦合设计, 由电容 842、电阻 844 与晶体管 846 所组成, 以增强流至 P 型触发点的触发电流, 而 INV-2 848 的输出则是电连接至 N 型触发点。

在图 29 中, ESD 侦测电路 860 是由二极管串 862 与电阻 864 所组成的。当 ESD 脉冲产生时, 流经二极管串 862 的 ESD 电流将产生一触发电流, 并且该触发电流会被电连接至 P 型触发点, 而 INV-2 866 的输出被电连接至 N 型触发点。在图 30 中, 于二极管串 862 与 INV-2 886 的输入电极 885 之间加入一 NMOS 晶体管 (Mn5) 888, 在 ESD 脉冲产生时, 可增强流至 P 型触发点的触发电流, 而 INV-2 886 的输出被电连接 N 型触发点。使用上述的 ESD 侦测电路, 当发生 ESD 的情形时, 在 V_{DD} 电源线与 V_{SS} 电源线间的堆叠结构中的元件会被触发, 而在集成电路正常操作情形下, 在 V_{DD} 电源线与 V_{SS} 电源线间的堆叠结构中的元件会被关闭。

当于单一晶片被赋予更多的电路与功能时, 如系统晶片 (system-on-chip), CMOS 集成电路可能会有不同的 V_{DD} 电源供应, 此时可在堆叠结构中使用 P-STSCR、N-STSCR、DT-SCR 或二极管作为混合电压 (mixed-voltage) 之间不同的电源线间 ESD 箝制电路, 以保护各种核心电路 (core circuit) 911。请参照图 31 至图 35, 图 31 至图 35 为本发明应用在具有不同 V_{DD} 电源供应的电源线间 ESD 箝制电路 (power-rail ESD clamp

circuit) 900、920、940、960、980 的示意图。

图 31 与图 32 分别揭示当一 ESD 脉冲横跨 V_{DD} 电源线 1 与 V_{SS} 电源线之间、 V_{DD} 电源线 2 与 V_{SS} 电源线之间, 以及 V_{DD} 电源线 1 与 V_{DD} 电源线 2 之间时, 电连接电源线 (V_{DD} 电源线 1、 V_{DD} 电源线 2 与 V_{SS} 电源线) 间的 ESD 箝制电路中的元件将被开启以将 ESD 电流排放至相对接地的电源线的电路示意图。

在图 31 中, 电源线 ESD 箝制电路 900 包含有: 一 ESD 侦测电路 726, 设于 V_{DD} 电源线 1 以及 V_{SS} 电源线之间; 至少一 P-STSCR, 其阳极与阴极分别电连接至 V_{DD} 电源线 1 以及 V_{SS} 电源线之间, 该 P-STSCR 包含有一横向 SCR 以及至少一触发点; 串联的二极管 $D_{1-1} \sim D_{1-k}$, 设于该 P-STSCR 以及 V_{SS} 电源线之间; 于 V_{DD} 电源线 1 以及该 V_{SS} 电源线之间设有另一 ESD 侦测电路 726; 一第三 ESD 侦测电路 726, 设于 V_{DD} 电源线 2 以及 V_{SS} 电源线之间; 一 P-STSCR, 其阳极与阴极分别电连接至 V_{DD} 电源线 2 以及 V_{SS} 电源线, 并包含有一横向 SCR 以及一触发点; 在该 P-STSCR 以及该 V_{SS} 电源线之间还设有串联的二极管 $D_{2-1} \sim D_{2-m}$ 。

请继续看图 31, 在 V_{DD} 电源线 1 以及 V_{DD} 电源线 2 之间, 至少设有一个次电源线 ESD 箝制电路, 该次电源线 ESD 箝制电路包含有: 至少一 P-STSCR, 包含有一横向 SCR 以及至少一触发点, 且该 P-STSCR 的阳极与阴极分别电连接至 V_{DD} 电源线 1 以及 V_{DD} 电源线 2; 串联的二极管 $D_{3-1} \sim D_{3-n}$, 设于 P-STSCR 以及 V_{DD} 电源线 2 之间; 在 V_{DD} 电源线 1 以及 V_{DD} 电源线 2 之间还设有串联的二极管; 图 31 中的各触发点也是 P 型。

图 32 的电源线 ESD 箝制电路 920 与图 31 结构和原理相似, 只是其中的各 STSCR 及各触发点均为 N 型。另外, 图 32 与图 31 的 V_{DD} 电源线 1 以及 V_{DD} 电源线 2 之间还可另包含有复数个 V_{DD} 电源线, 而各该 V_{DD} 电源线间均可设有一相对应的次电源线 ESD 箝制电路, 即可达到本发明的目的。

如图 33 至图 35 所示, P-STSCR、N-STSCR、DT-SCR 或二极管所组成

的堆叠结构也可以应用于分离电源线(seperated power rails)之间的ESD电连接(ESD-connection)电路。其设计原则为当集成电路在正常操作情形,并被供给以正确的电源供应时,在堆叠结构中的P-STSCR、N-STSCR、DT-SCR或二极管将会被关闭,但是当集成电路发生ESD脉冲时,则开启在堆叠结构中的P-STSCR、N-STSCR、DT-SCR或二极管。欲达到这样的目的,必需使用正确的ESD侦测电路来控制在P-STSCR、N-STSCR与DT-SCR元件中的P型触发点与N型触发点。在图26至图30中已说明过适合的ESD侦测电路,其也可以用来正确的控制在分离电源线之间的ESD电连接电路中元件的开启或关闭。

综上所述,本发明中制作全晶片ESD防护电路的方法为利用一基底触发SCR元件于防护电路中,并应用于输入ESD防护电路、输出ESD防护电路以及电源线ESD箝制电路,因此可以有效提升在深次微米CMOS制程中集成电路产品的ESD耐压能力,同时又可以节省总布局面积。

相较于习知的制作ESD防护电路的方法,本发明利用具有非常低导通电压的基底触发SCR元件于防护电路中,并应用于输入ESD防护电路、输出ESD防护电路以及电源线ESD箝制电路,所以可以有效提升在深次微米CMOS制程的集成电路产品的ESD耐压能力,节省总布局面积。

以上所述仅为本发明的较佳实施例,凡依本发明申请专利范围所做的均等变化与修饰,皆应属本发明专利的涵盖范围。

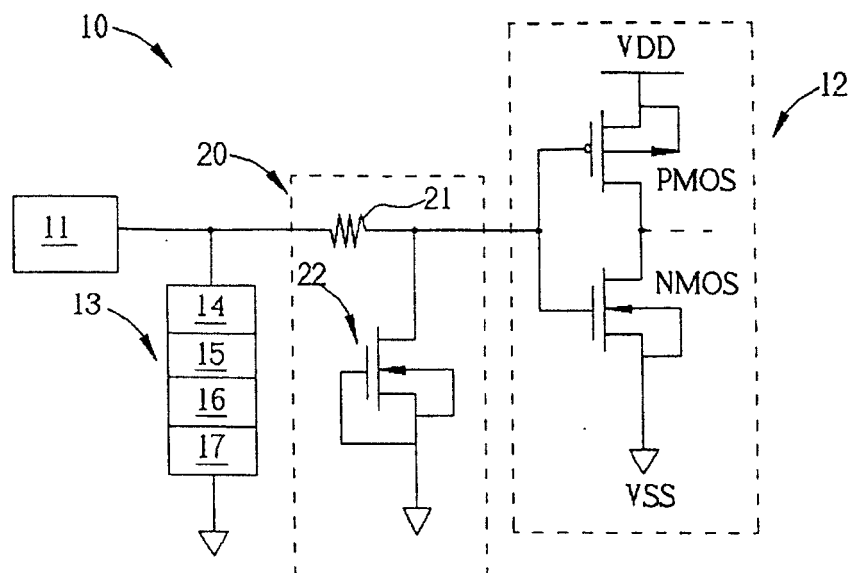


图 1

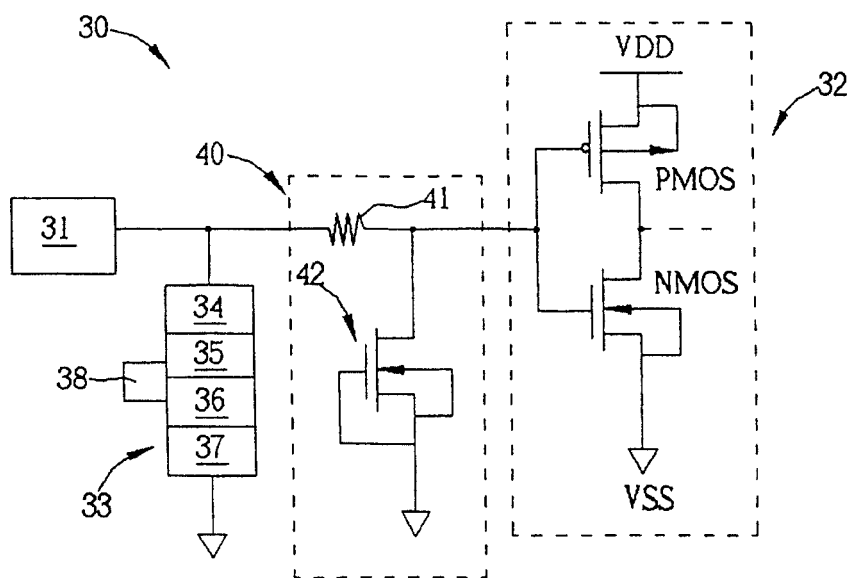


图 2

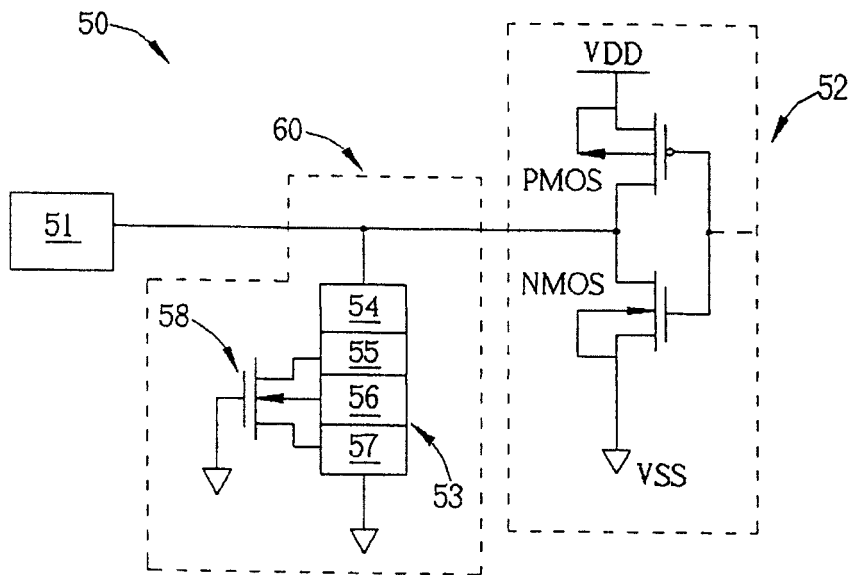


图 3

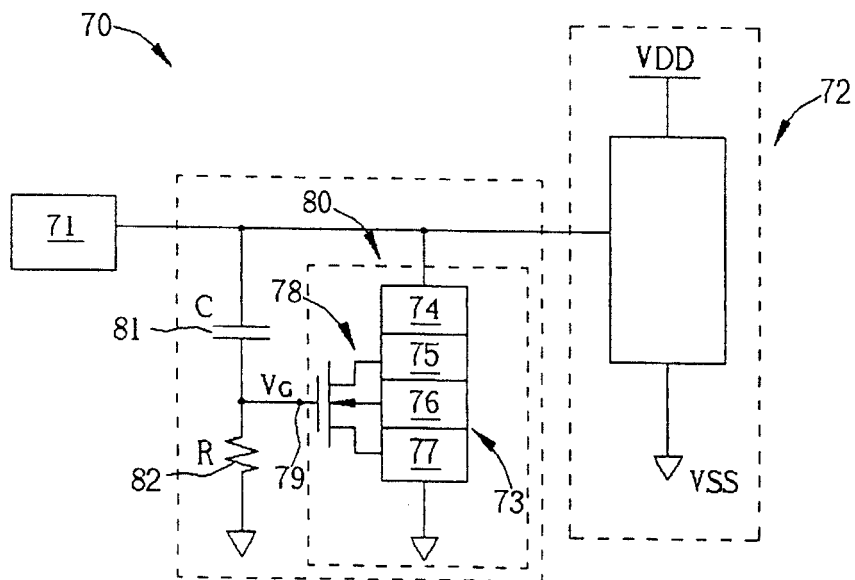


图 4

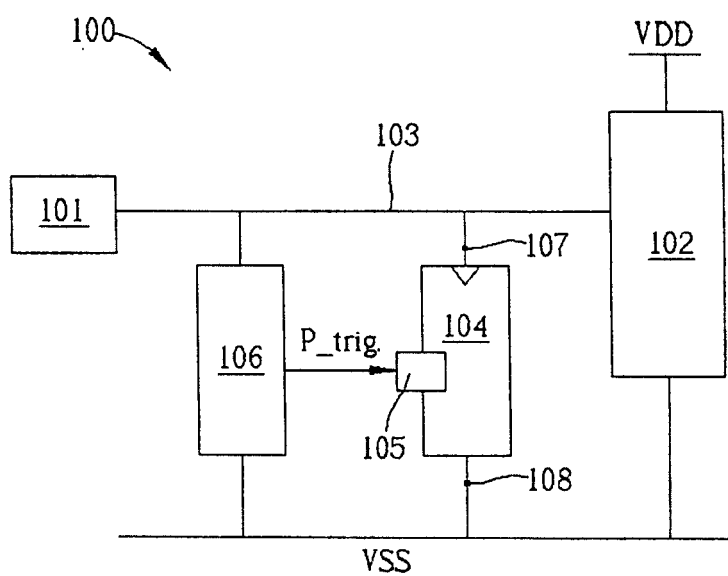


图 5

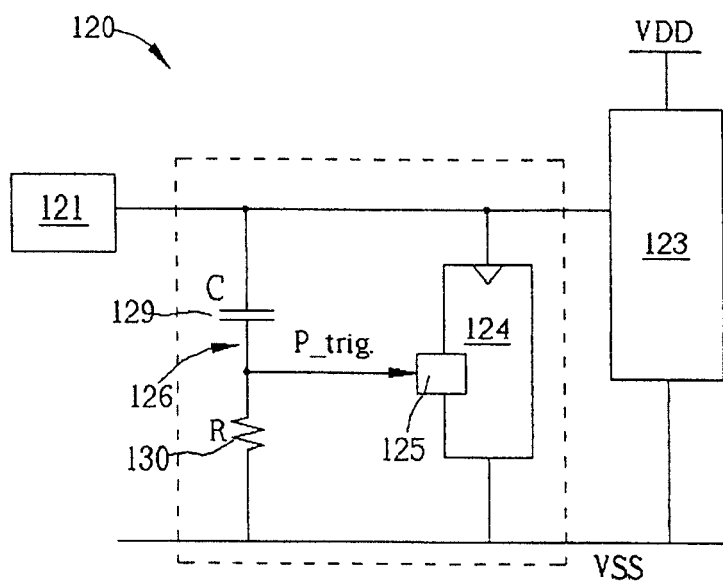


图 6

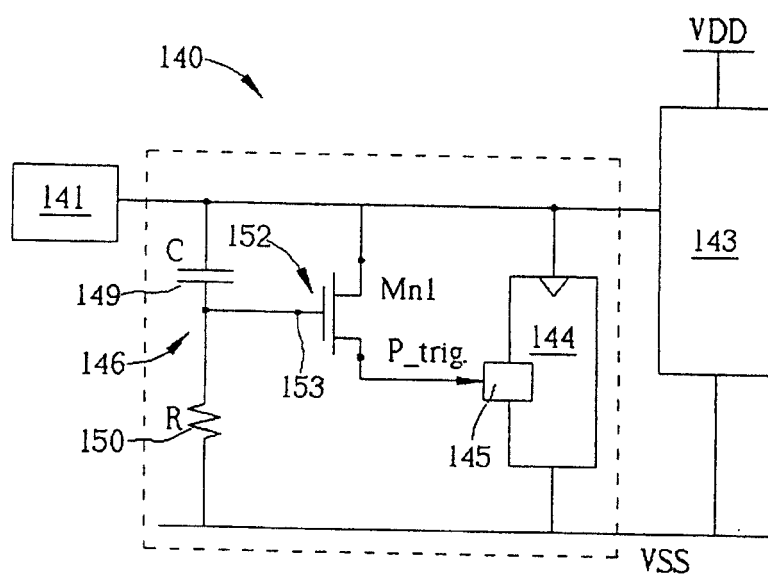


图 7

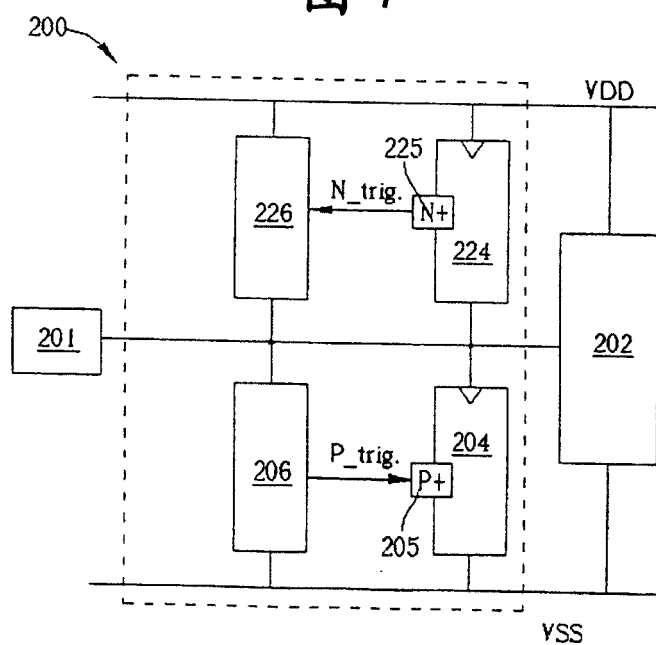


图 8

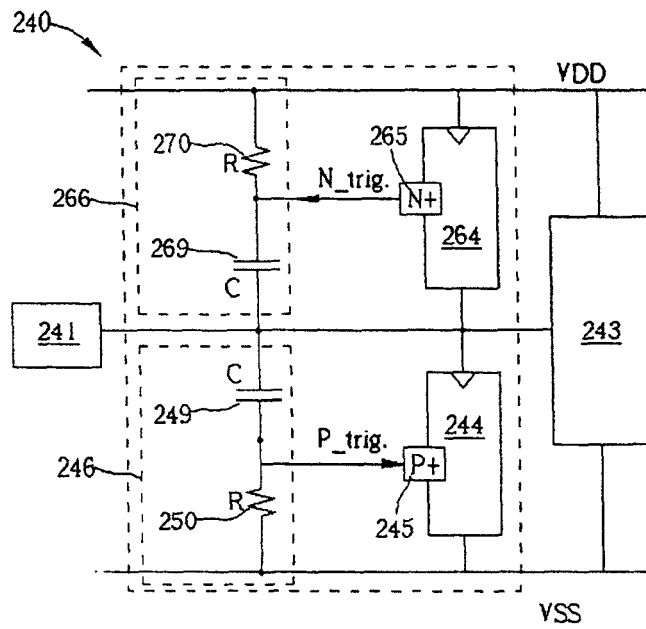


图 9

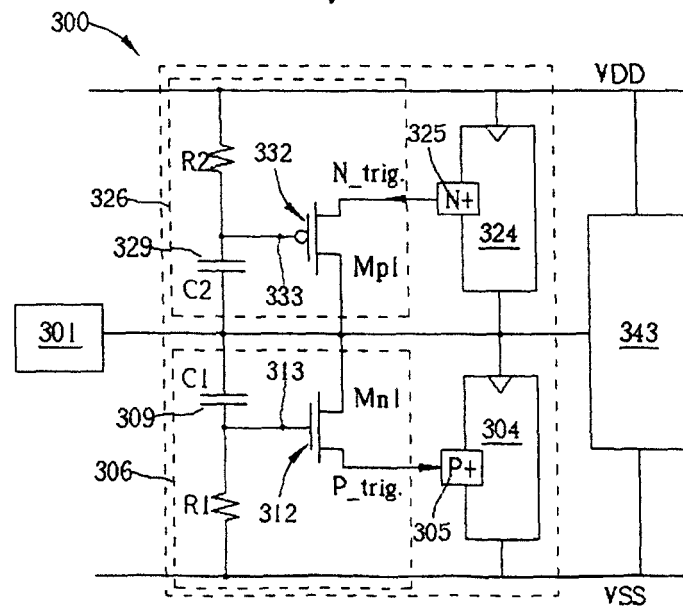


图 10

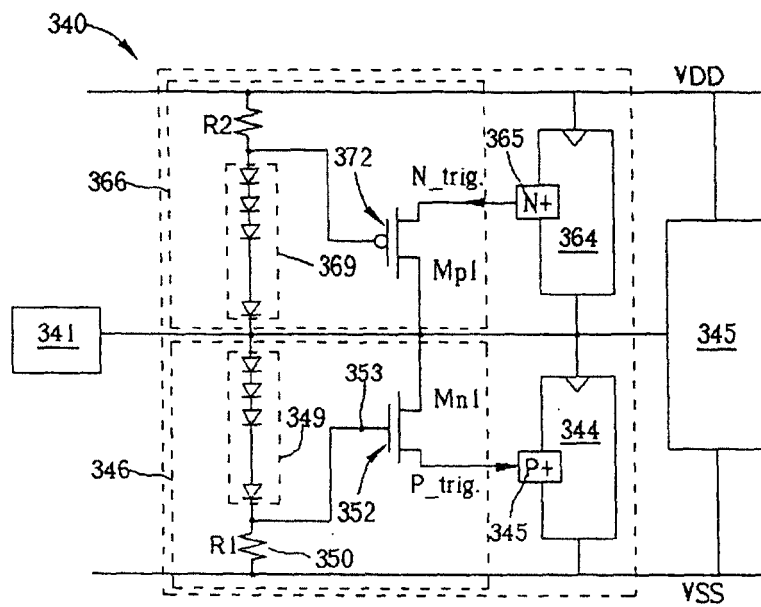


图 11

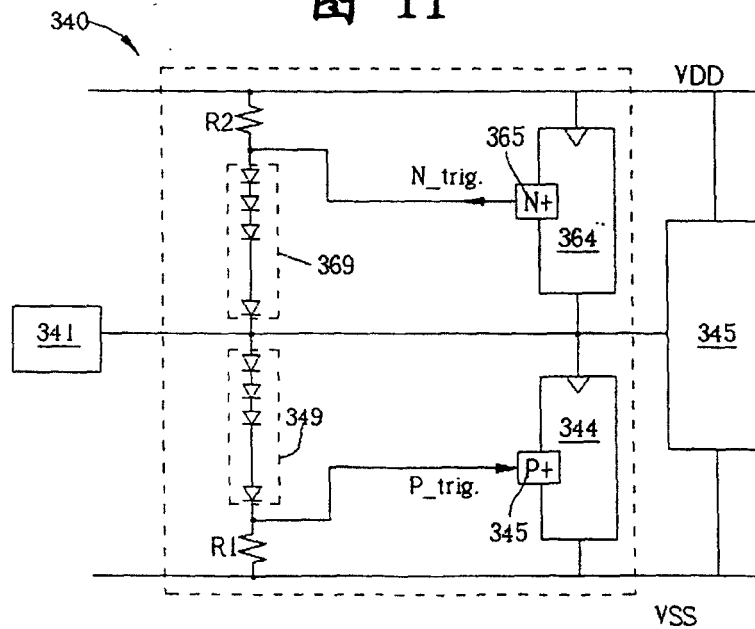


图 12

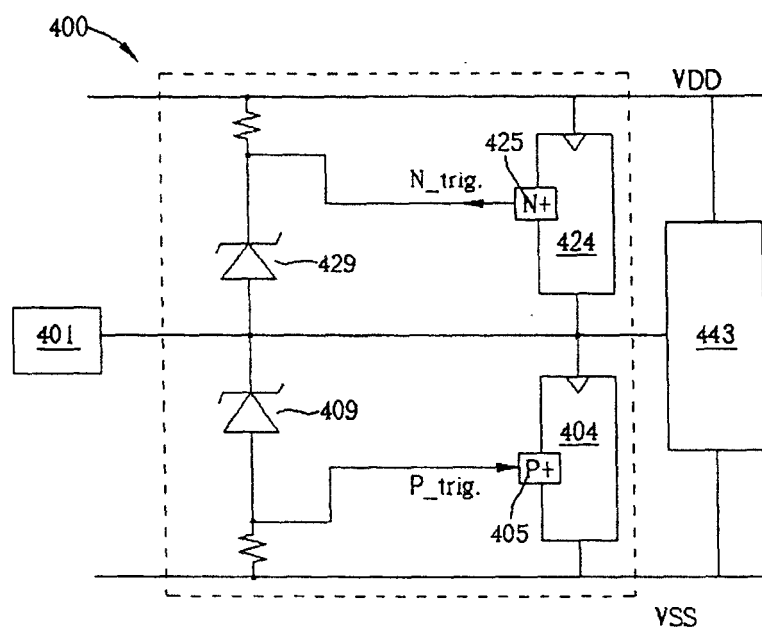


图 13

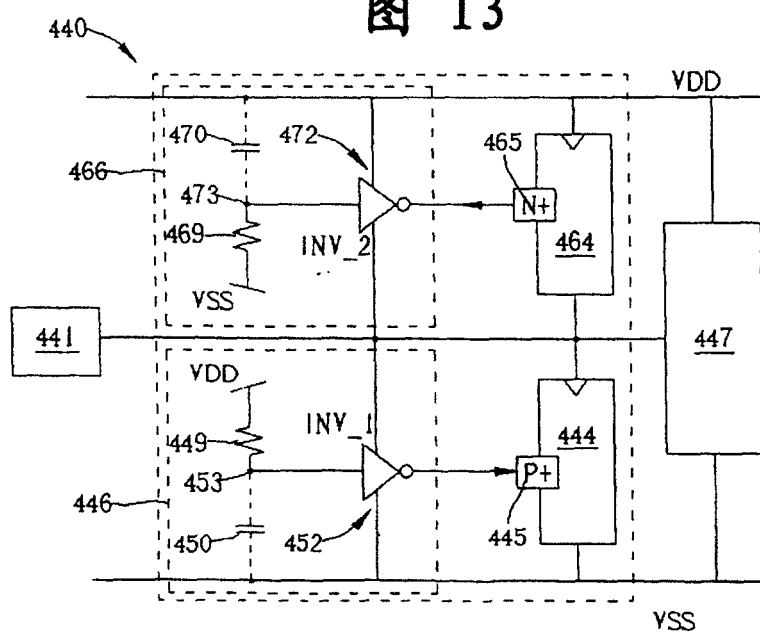


图 14

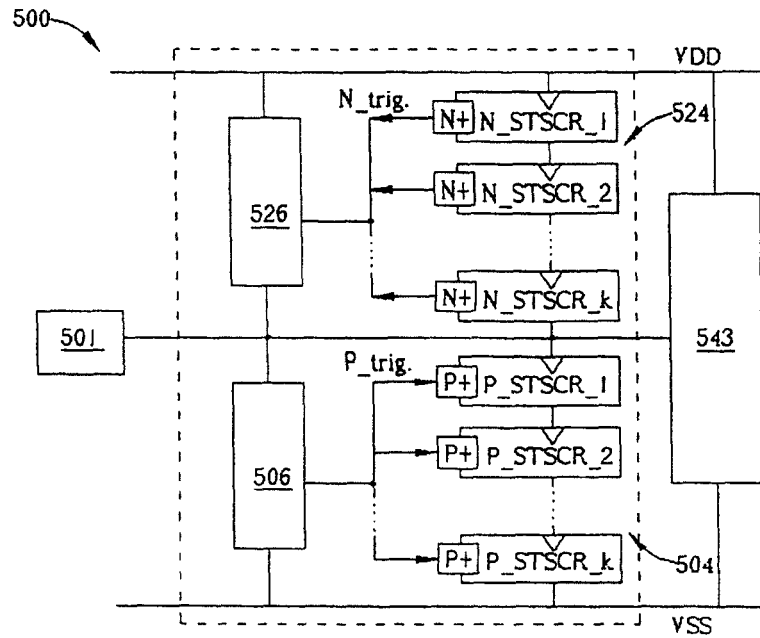


图 15

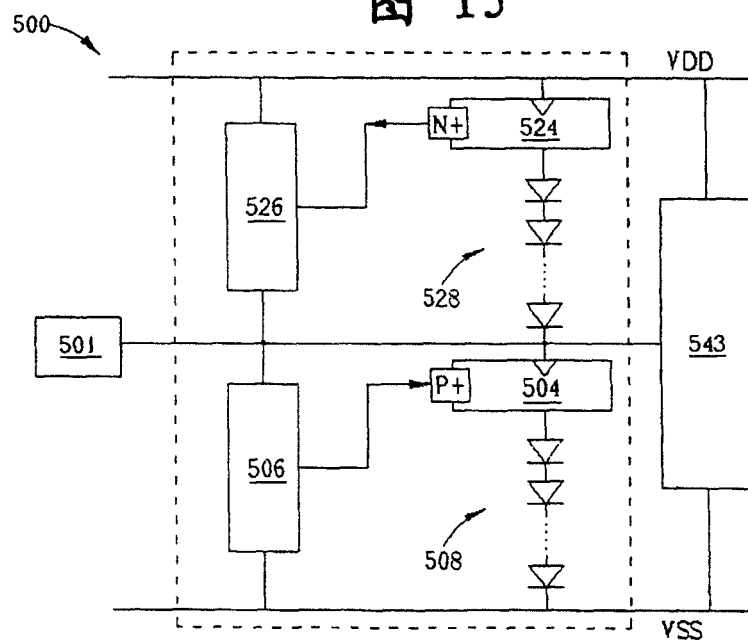


图 16

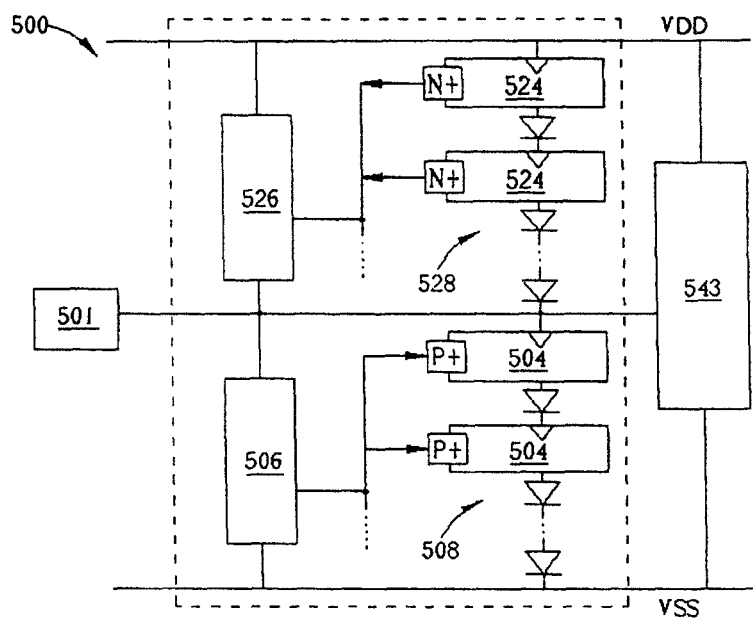


图 17

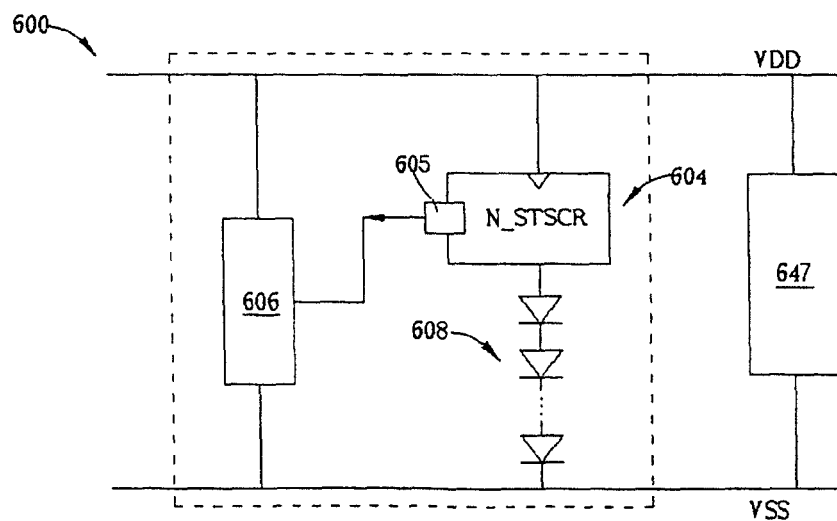


图 18

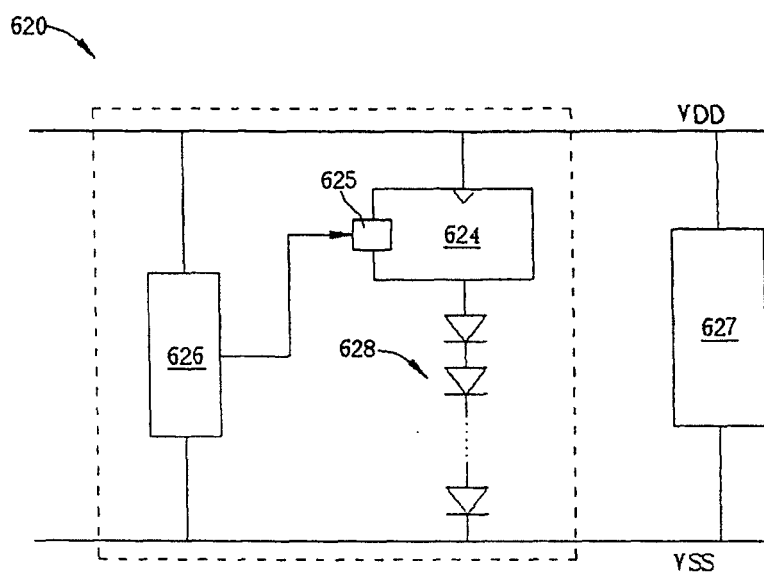


图 19

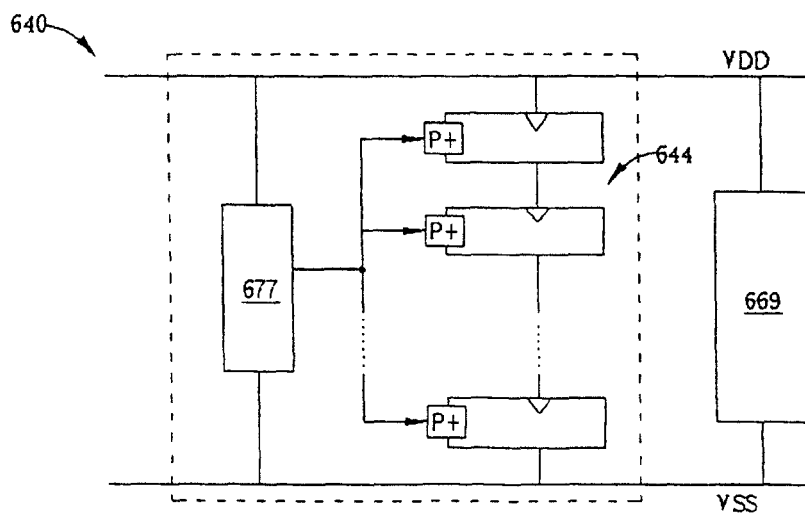


图 20

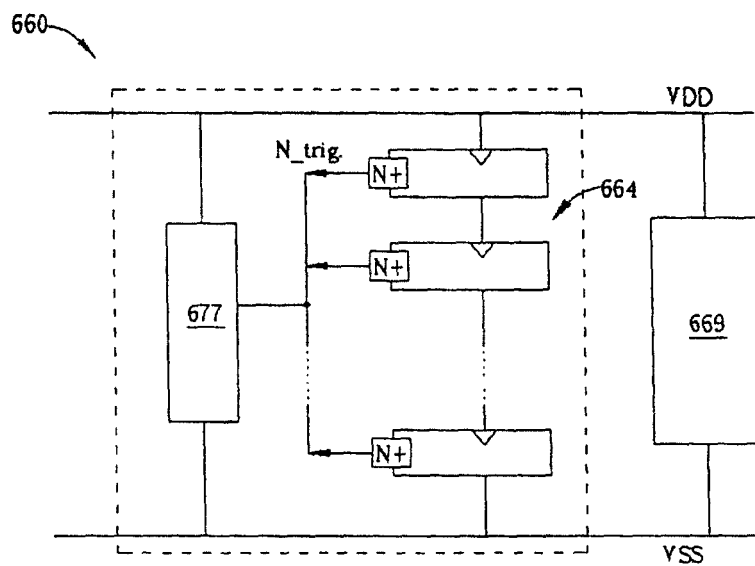


图 21

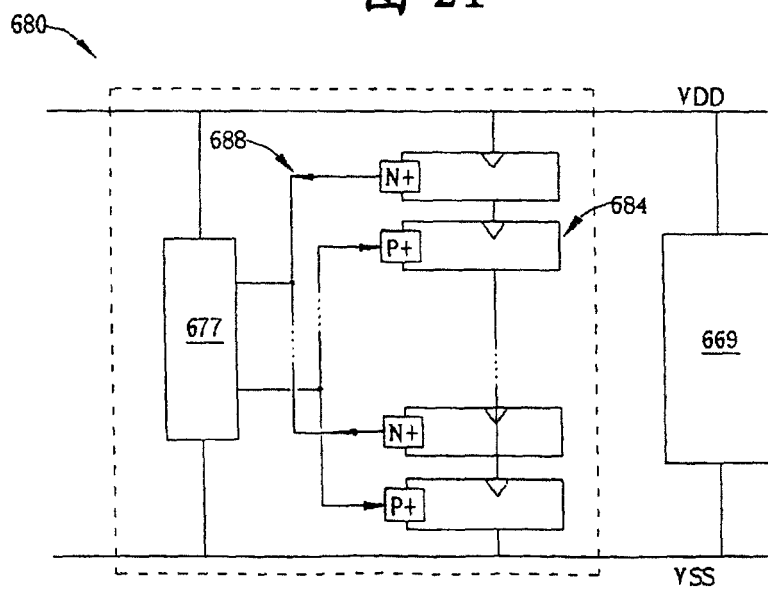


图 22

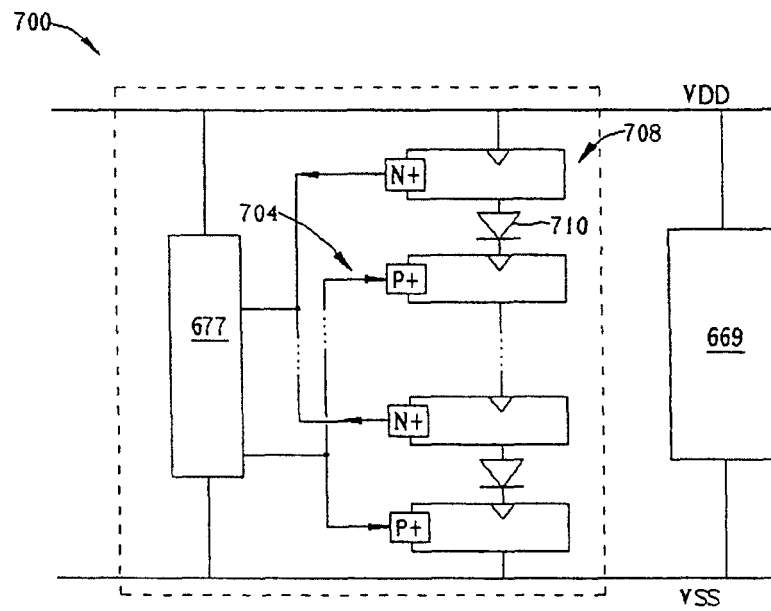


图 23

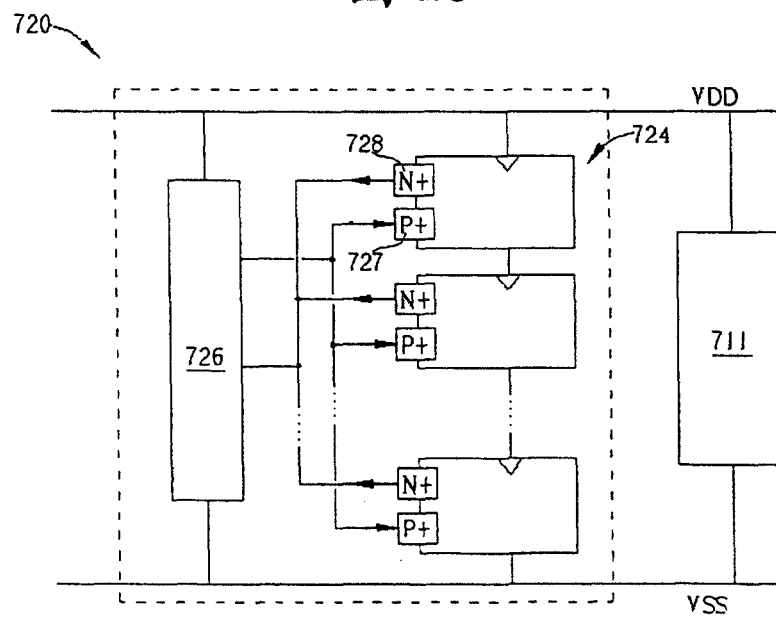


图 24

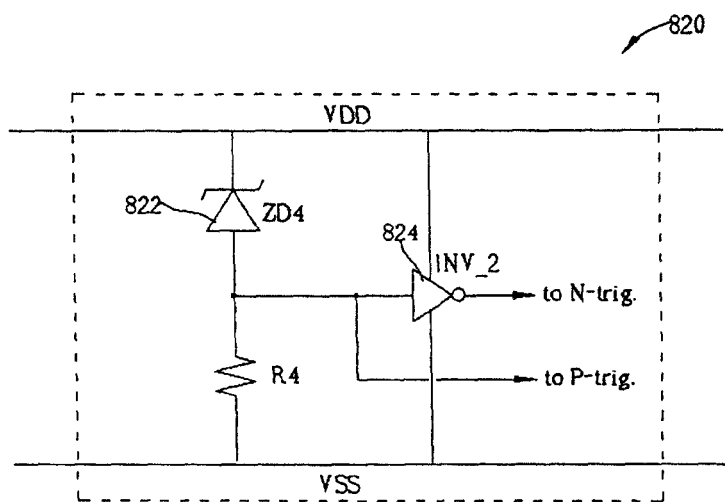


图 27

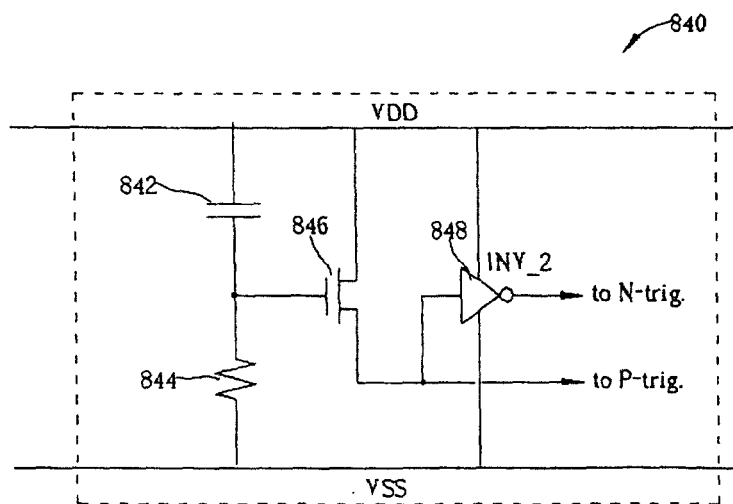


图 28

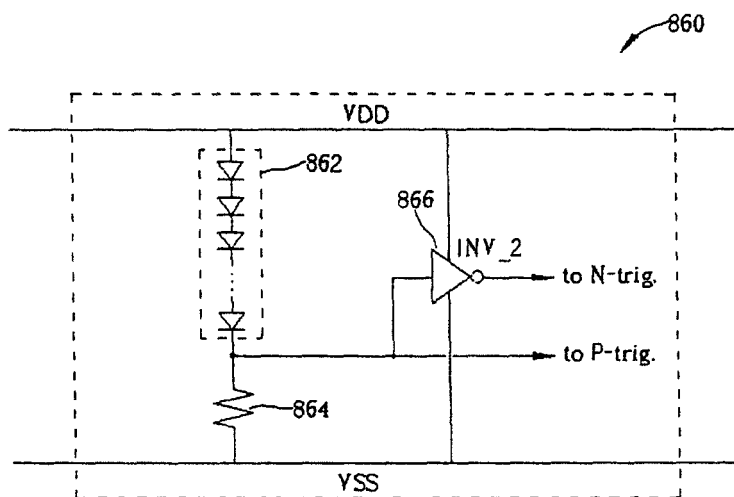


图 29

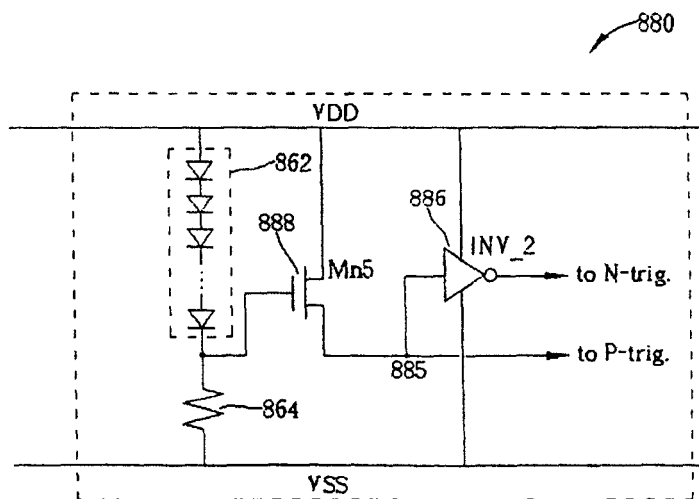


图 30

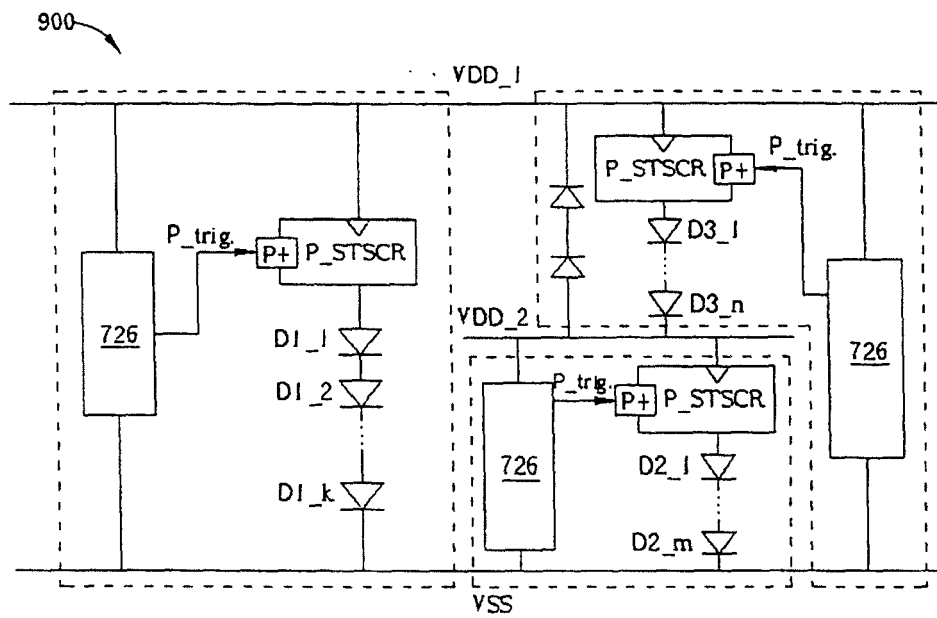


图 31

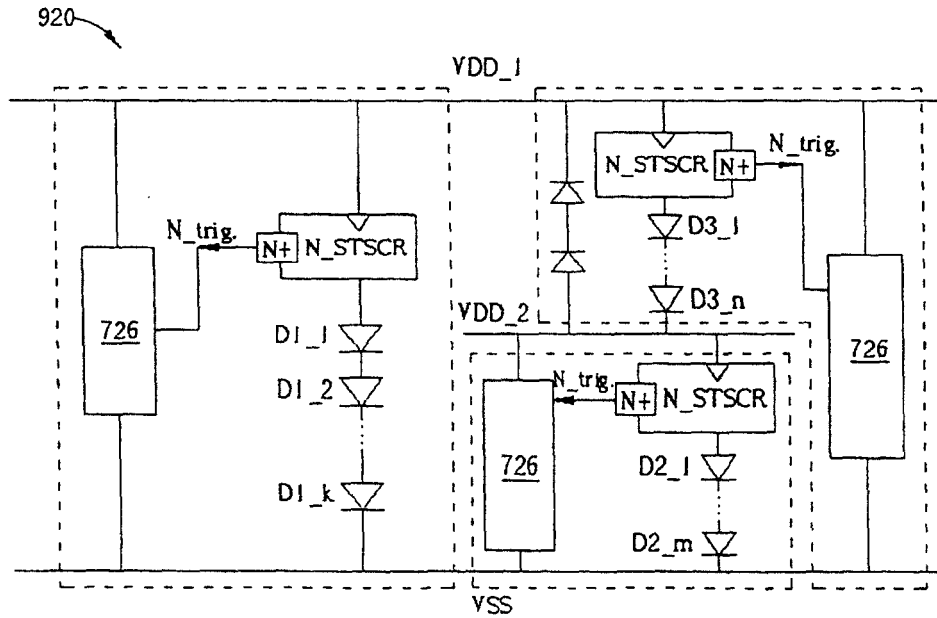


图 32

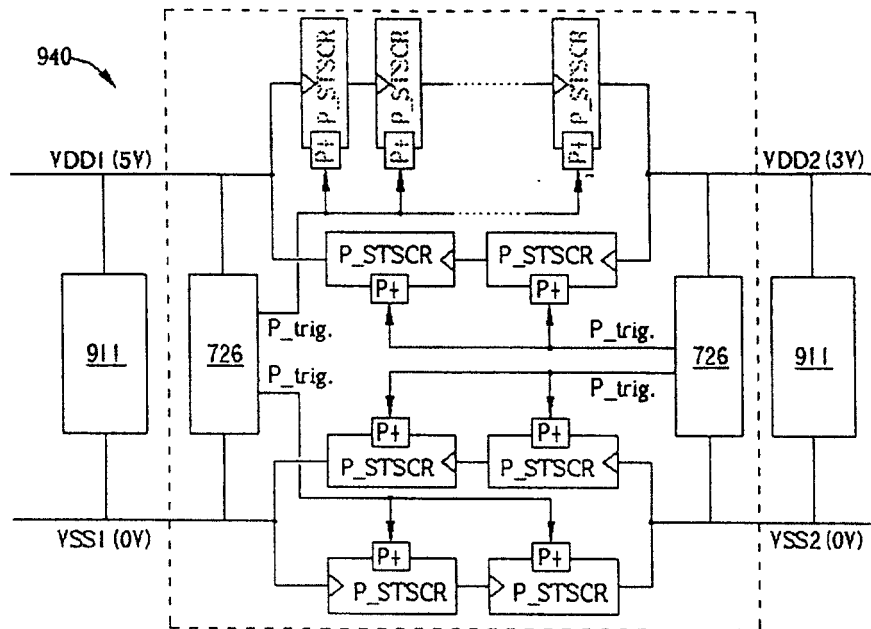


图 33

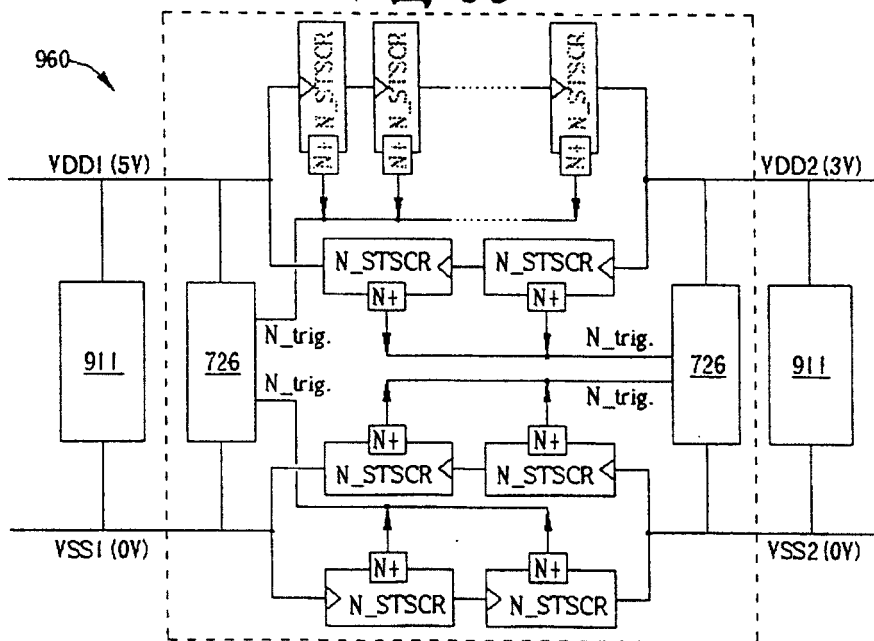


图 34

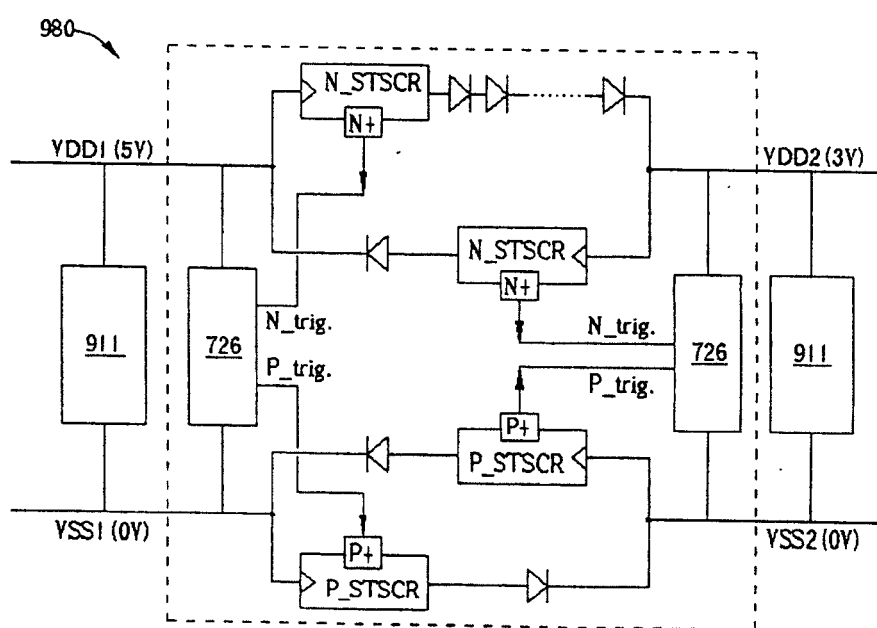


图 35