

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 03123932.3

H01L 23/60 (2006.01)

H01L 29/772 (2006.01)

H01L 29/861 (2006.01)

[45] 授权公告日 2009 年 1 月 14 日

[11] 授权公告号 CN 100452392C

[22] 申请日 2003.5.22 [21] 申请号 03123932.3

[73] 专利权人 统宝光电股份有限公司

地址 台湾省新竹科学工业区苗栗县

[72] 发明人 石安 柯明道 邓至刚 曾当贵
杨胜捷

[56] 参考文献

JP5 - 343684A 1993.12.24

JP11 - 251450A 1999.9.17

JP11 - 330439A 1999.11.30

US5656534A 1997.8.12

US6114197A 2000.9.5

JP63 - 115360A 1988.5.19

US5998247A 1999.12.7

US2002/0033504A1 2002.3.21

审查员 商纪楠

[74] 专利代理机构 北京市柳沈律师事务所

代理人 李晓舒 魏晓刚

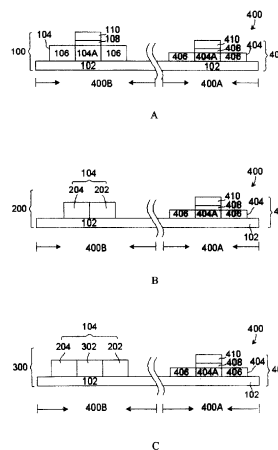
权利要求书 2 页 说明书 7 页 附图 5 页

[54] 发明名称

具厚膜多晶硅的静电放电防护元件、电子装置及制造方法

[57] 摘要

本发明提供一种具有厚膜多晶硅的静电放电防护元件、电子装置及制造方法。此静电放电防护元件为二极管或金属氧化物半导体晶体管，应用于静电放电防护电路以保护电子装置。具有静电放电防护元件的电子装置包含：基板，其具有元件区域及静电放电防护电路区域；第一多晶硅层，形成于基板的元件区域上，具有一第一厚度，以形成一电子元件；及第二多晶硅层，形成于基板的静电放电防护电路区域上，具有一第二厚度，以形成静电放电防护元件。其中第二厚度大于第一厚度，且第二厚度优选地介于约 100 至 500 纳米之间。



1. 一种具有厚膜多晶硅的静电放电防护元件，其应用于一静电放电防护电路以保护一电子装置，包括：

一基板；以及

一多晶硅层，形成于该基板之上，具有一厚度介于 100 至 500 纳米之间，该多晶硅层中形成有该静电放电防护元件的组成构件。

2. 如权利要求 1 所述的静电放电防护元件，其中更包含有一源极/漏极区域，形成于该多晶硅层中且藉由一沟道隔开。

3. 如权利要求 1 所述的静电放电防护元件，其中更包含有一 N 型掺杂区域及一 P 型掺杂区域，皆形成于该多晶硅层中。

4. 如权利要求 3 所述的静电放电防护元件，其中该 N 型掺杂区域紧邻该 P 型掺杂区域，以形成一 PN 二极管静电放电防护元件。

5. 如权利要求 3 所述的静电放电防护元件，更包含一本征区域，其介于该 N 型掺杂区域及该 P 型掺杂区域之间，以形成一 PIN 二极管静电放电防护元件。

6. 一种具厚膜多晶硅的静电放电防护元件的电子装置，包括：

一基板，其具有一元件区域及一静电放电防护电路区域；

一第一多晶硅层，形成于该基板的元件区域上，具有一第一厚度，用以形成一电子元件；以及

一第二多晶硅层，形成于该基板的静电放电防护电路区域上，具有一第二厚度，用以形成该静电放电防护元件；

其中该第二厚度大于该第一厚度。

7. 如权利要求 6 所述的电子装置，其中该电子元件更包含第一源极/漏极区域，于该第一多晶硅层中，藉由一第一沟道隔开。

8. 如权利要求 6 所述的电子装置，其中该第二厚度介于 100 至 500 纳米之间。

9. 一种形成具有厚膜多晶硅的静电放电防护元件的方法，该静电放电防护元件应用于一静电放电防护电路，以保护一电子装置，包括：

提供一基板，其具有一元件区域及一静电放电防护电路区域；

形成一第一多晶硅层，于该基板的元件区域上，具有一第一厚度，用以

形成一电子元件；以及

形成一第二多晶硅层，于该基板的静电放电防护电路区域上，具有一第二厚度，用以形成该静电放电防护元件；

其中该第二厚度大于该第一厚度。

10. 如权利要求9所述的方法，其中形成该第一多晶硅层及该第二多晶硅层的步骤包括：

形成该第二多晶硅层于该基板，并覆盖该元件区域及该静电放电防护电路区域；

形成一图案化光致抗蚀剂层于该第二多晶硅层上，该图案化光致抗蚀剂层暴露出该元件区域对应的该第二多晶硅层；以及

以该图案化光致抗蚀剂层为掩模，蚀刻该第二多晶硅层达该第一厚度。

11. 如权利要求9所述的方法，其中形成该第一多晶硅层及该第二多晶硅层的步骤包含：

形成一多晶硅层于该基板，并覆盖该元件区域及该静电放电防护电路区域，该多晶硅层具有一第三厚度；

形成一图案化光致抗蚀剂层于该多晶硅层上，该图案化光致抗蚀剂层暴露出该元件区域对应的该多晶硅层；

以该图案化光致抗蚀剂层为掩模，蚀刻该多晶硅层以暴露出该基板；

去除该图案化光致抗蚀剂层；以及

沉积该第一多晶硅层于该基板上，且该第二多晶硅层的第二厚度为该多晶硅层的第三厚度加上该第一多晶硅层的第一厚度。

12. 如权利要求9所述的方法，其中该第二厚度介于100至500纳米之间。

具厚膜多晶硅的静电放电防护元件、电子装置及制造方法

技术领域

本发明涉及一种应用于静电放电防护电路元件的改善及其制造方法，特别是涉及一种具厚膜多晶硅层的静电放电防护元件、包含此静电放电防护元件的电子装置及其制造方法。

背景技术

薄膜晶体管虽为大多数半导体装置不可或缺的元件，例如，其可作为有源阵列液晶显示装置、影像感应装置等等的开关，其于应用上仍有一些限制。以液晶显示器为例，当如玻璃或石英等基板于生产线进行传输制造时，因其晶粒不规则排列且阻抗大，使得薄膜晶体管元件容易累积大量的电荷，导致静电放电(ESD)的破坏。因此，一般的电子装置通常会于输入/输出垫端，增加静电放电防护电路的设计，以提高生产良率。

然而，例如图 1A 所示，当一正静电放电电压加到输出垫(漏极端)，且 V_{ss} 垫(源极端)相对地接地时，应用于漏极端的静电放电防护元件 10，如反向二极管，会因受压于静电放电电压而造成击穿，导致电子装置失效。此外，当静电放电所产生的热能大于 ESD 防护元件所能承受的极限值，ESD 防护元件便会烧毁。因此，近年来有越来越多的研究涉及薄膜晶体管的静电放电事件。然而大部分的研究仍着重于静电放电事件造成的破坏结果以及其机制。有些现有技术提出如要能承受更大的静电放电电流，则可利用增加元件面积以提高元件的击穿电压。然而如图 1B 的研究资料所示，当单一元件沟道宽度大到一个值，如 10 微米时，击穿电压趋于一个定值，并不会无限制增加。

因此，针对上述问题必须提出一种方案，以增加静电放电元件的耐性，以承受较高的静电放电电流，达到保护电子装置的目的。

发明内容

本发明的一目的在于提供一种静电放电防护元件(ESD protection

device), 其具有比一般元件厚的多晶硅层, 以增强静电放电元件如二极管或金属氧化物半导体晶体管的耐用性(robustness)。

本发明的又一目的在于提供一种静电放电防护元件, 其具有厚度约为100至500纳米之间的多晶硅层, 以承受更高的电流, 保护内部电路(internal circuit)不受破坏。

为达上述目的, 本发明提供一种具有厚膜多晶硅的静电放电防护元件, 其应用于静电放电防护电路, 以保护电子装置。此静电放电防护元件包含有: 一基板以及一多晶硅层。多晶硅层形成于基板上, 具有一厚度约介于100至500纳米(nanometer)之间。该多晶硅层中形成有静电放电防护元件的组成构件。本发明的静电放电防护元件包含金属氧化物半导体晶体管或二极管的静电放电防护元件。

于一优选实施例中, 金属氧化物半导体晶体管的静电放电防护元件更包含有: 源极/漏极区域形成于多晶硅层之中, 且藉由一沟道隔开、一栅极氧化层及一栅极。而于另一优选实施例中, 二极管的静电放电防护元件更包含一N型掺杂区域以及一P型掺杂区域形成于多晶硅层之中。此外, N型掺杂区域紧邻P型掺杂区域, 以形成一PN二极管静电放电防护元件。再者, 此二极管的静电放电防护元件更包含一本征区域(intrinsic region), 其介于N型掺杂区域及P型掺杂区域之间, 以形成一PIN二极管静电放电防护元件。

本发明的另一目的在于提供一种具厚膜多晶硅的静电放电防护元件的电子装置, 其包含有: 一基板、一第一多晶硅层以及一第二多晶硅层。基板具有一元件区域及一静电放电防护电路区域。第一多晶硅层形成于基板的元件区域上, 且具有一第一厚度, 用以形成一电子元件。第二多晶硅层则形成于基板的静电放电防护电路区域上, 且具有一第二厚度, 用以形成静电放电防护元件。第二厚度大于第一厚度, 且第二厚度优选地约介于100至500纳米之间。电子元件可为一金属氧化物半导体晶体管。静电放电防护元件可为上述的二极管或金属氧化物半导体晶体管的静电放电防护元件。

本发明的再一目的是提供一种形成具有厚膜多晶硅的静电放电防护元件的方法, 其可与现行的薄膜晶体管工艺相容, 且可承受较大的电源热能以避免烧坏元件。

本发明方法包含: 提供一基板, 其具有一元件区域及一静电放电防护电路区域、形成一第一多晶硅层于基板的元件区域上, 且第一多晶硅层具有一第一厚度, 用以形成一电子元件、形成一第二多晶硅层于基板的静电放电防

护电路区域上，且第二多晶硅层具有一第二厚度，用以形成静电放电防护元件，其中第二厚度大于第一厚度，且第二厚度优选地约介于 100 至 500 纳米之间。

于一实施例中，形成第一多晶硅层及第二多晶硅层的步骤包含：形成第二多晶硅层于基板，并覆盖元件区域及静电放电防护电路区域、形成一图案化光致抗蚀剂层于第二多晶硅层上，且图案化光致抗蚀剂层暴露出元件区域对应的第二多晶硅层、以图案化光致抗蚀剂层为掩模，蚀刻第二多晶硅层直到达第一厚度为止。

此外，形成第一多晶硅层及第二多晶硅层的步骤包含：形成一多晶硅层于基板之上，并覆盖元件区域及静电放电防护电路区域，且多晶硅层具有一第三厚度、形成一图案化光致抗蚀剂层于多晶硅层上，且图案化光致抗蚀剂层暴露出元件区域对应的多晶硅层、以图案化光致抗蚀剂层为掩模，蚀刻多晶硅层以暴露出基板。然后，去除图案化光致抗蚀剂层。沉积第一多晶硅层于基板上，且第二多晶硅层的第二厚度为多晶硅层的第三厚度加上第一多晶硅层的第一厚度。

本发明方法更包含形成二极管或金属氧化物半导体晶体管的静电放电防护元件的其他步骤。例如，于第二多晶硅层中，形成一 N 型掺杂区域及一 P 型掺杂区域，以形成一 PN 二极管静电放电防护元件。此外，更包含形成一本征区域，其介于 N 型掺杂区域及 P 型掺杂区域之间，以形成一 PIN 二极管静电放电防护元件。

附图说明

图 1A 为现有静电放电防护元件位于电子装置的输入/输出垫端的示意图；

图 1B 为现有的静电放电防护元件沟道与击穿电压关系图；

图 2 为显示本发明的静电放电防护元件位于电子装置的输入/输出垫端的示意图；

图 3A 为本发明的静电放电防护元件与电子装置的第一实施例的剖面图；

图 3B 为本发明的静电放电防护元件与电子装置的第二实施例的剖面图；

图 3C 为本发明的静电放电防护元件与电子装置的第三实施例的剖面图；

图 4 为本发明方法的剖面示意图；

图 5A-5B 为本发明形成第一及第二多晶硅层的第一范例剖面示意图；

以及

图 6A-6C 为本发明形成第一及第二多晶硅层的第二范例剖面示意图。

附图中的附图标记说明如下：

- 10 现有静电放电防护元件
- 100 金属氧化物半导体晶体管静电放电防护元件
- 102 基板
- 104 第二多晶硅层
- 104A 沟道
- 106 源极/漏极区域
- 108 栅极氧化层
- 110 栅极
- 200 PN 二极管静电放电防护元件
- 202 N 型掺杂区域
- 204 P 型掺杂区域
- 300 PIN 二极管静电放电防护元件
- 302 本征区域
- 400 电子装置
- 400A 元件区域
- 400B 静电放电防护电路区域
- 402 电子元件
- 404 第一多晶硅层
- 404A 沟道
- 406 源极/漏极区域
- 408 栅极氧化层
- 410 栅极
- 412 图案化光致抗蚀剂
- 414 多晶硅层

具体实施方式

本发明公开一种静电放电防护元件其应用于静电放电电路，其具有比一般元件厚的多晶硅层，可加强元件的耐用性，以承受较高的电流保护电子装置。为了使本发明的叙述更加详尽与完备，可参照下列描述并配合图 2 至图 6 的图示。

图 2 是本发明的具厚膜多晶硅的静电放电防护元件(如 100、200 或 300)的电子装置 400 的输入/输出垫的示意图。图 3A-3C 显示具不同静电放电防护元件的电子装置 400 的剖面示意图。图 2 说明静电放电防护元件位于电子装置的输入/输出垫端，以提供静电放电防护。

同时参考图 2 及图 3A，其为本发明的第一实施例，在此本发明提供一种具有厚膜多晶硅的静电放电防护元件 100，例如金属氧化物半导体晶体管，其应用于静电放电防护电路，以保护电子装置 400。此静电放电防护元件 100

包含一基板 102 以及一多晶硅层 104。其中基板 102 可为玻璃基板、石英基板或是两者组成的族群所选出。而多晶硅层 104 形成于基板 102 之上，其厚度约介于 100 至 500 纳米(nanometer)之间。多晶硅层 104 中又包含有一沟道 104A 以及一源极/漏极区域 106。此静电放电防护元件 100 更包含一栅极氧化层 108 及一栅极 110，以形成一金属氧化物半导体晶体管的静电放电防护元件。

接着请参考图 3B，其为本发明的第二实施例，在这个实施例中，静电放电防护元件 200 为二极管(diode)，其包含有：一基板 102 以及一多晶硅层 104。与第一实施例相同地，基板 102 可为玻璃基板、石英基板或其两者组成的族群所选出。多晶硅层 104 形成于基板 102 上，其厚度介于 100 至 500 纳米(nanometer)之间，此多晶硅层 104 中更包含有一 N 型掺杂区域 202 以及一 P 型掺杂区域 204。其中，N 型掺杂区域 202 可紧邻 P 型掺杂区域 204，以形成一 PN 二极管静电放电防护元件 200。

再者请参考图 3C，其为本发明的第三实施例，在此实施例中，与上述第二个实施例不同之处仅在于静电放电防护元件 300 更包含有一本征区域 302，其介于 N 型掺杂区域 202 及 P 型掺杂区域 204 之间，以形成一 PIN 二极管静电放电防护元件 300。

同时参考图 2 及图 3A-3C，本发明的具厚膜多晶硅的静电放电防护元件(如 100、200 或 300)的电子装置 400 包含有：一基板 102、一第一多晶硅层 404 以及一第二多晶硅层 104。如上所述，基板 102 可为玻璃基板、石英基板或其两者组成的族群所选出，且基板 102 具有一元件区域 400A 及一静电放电防护电路区域 400B。元件区域 400A 可如图 2 的内部电路区域。第一多晶硅层 404 形成于基板 102 的元件区域 400A 上，且具有一第一厚度(H1)，用以形成一电子元件 402。而第二多晶硅层 104 形成于基板 102 的静电放电防护电路区域 400B 上，且具有一第二厚度(H2)，用以形成静电放电防护元件(如 100、200 或 300)。第二厚度(H2)大于第一厚度(H1)，且第二厚度(H2)优选地约介于 100 至 500 纳米之间。

电子元件 402 可为一 P 型或 N 型金属氧化物半导体晶体管。因此，电子元件 402 更包含第一源极/漏极区域 406，形成于第一多晶硅层 404 之中，藉由一第一沟道 404A 隔开。静电放电防护元件可为一二极管(200 或 300)或一具较厚的多晶硅层的金属氧化物半导体晶体管(100)。以静电放电防护元件

100 为例, 其更包含第二源极/漏极区域 106, 形成于第二多晶硅层 104 中, 藉由第二沟道 104A 隔开, 形成金属氧化物半导体晶体管的静电放电元件。

此外, 此电子装置 400 更包含一 N 型掺杂区域 202 及一 P 型掺杂区域 204, 形成于第二多晶硅层 104 之中, 以形成一 PN 二极管静电放电防护元件 200。再者, 电子装置 400 更包含一本征区域 302, 其介于 N 型掺杂区域 202 及 P 型掺杂区域 204 之间, 以形成一 PIN 二极管静电放电防护元件 300。

因为现有静电放电电路中的元件具有与一般内部电路的电子元件相同厚度的有源区域多晶硅, 其优选厚度大约为 50 纳米, 以便栅极对沟道有良好控制性。但此较薄的多晶硅厚度却不利于静电放电事件。因此应用本发明, 使得静电放电防护元件(如 100、200 或 300)的多晶硅层厚度较厚(优选厚度范围约为 100 至 500 纳米)。如此一来, 可将静电放电电流充分消散于多晶硅层, 以增强静电放电元件的耐用性。此外, 当图 2 所示的输入/输出垫端发生 PS 型或 ND 型的静电放电事件时, 具厚膜多晶硅层的静电放电元件可承受较高的电流, 以避免烧毁而达到保护电子装置的目的。

参考图 4, 于另一实施例。本发明提供一种形成具有厚膜多晶硅的静电放电防护元件的方法, 其应用于静电放电防护电路, 以保护一电子装置。本发明步骤包含提供一基板 102, 其具有一元件区域 400A 及一静电放电防护电路区域 400B。形成一第一多晶硅层 404 于基板 102 的元件区域 400A 上, 且第一多晶硅层 404 具有一第一厚度(H1), 用以形成一电子元件 402(如图 3A-3C 所示)。形成一第二多晶硅层 104 于基板 102 的静电放电防护电路区域 400B 上, 且此第二多晶硅层 104 具有一第二厚度(H2), 用以形成静电放电防护元件((如示于图 3A-3C 的 100、200 或 300), 其中第二厚度(H2)大于第一厚度(H1), 且第二厚度(H2)优选地约介于 100 至 500 纳米之间。

在此须注意, 形成第一多晶硅层 404 及第二多晶硅层 104 的步骤可有多样的变化。例如, 图 5A 及 5B 的范例所示, 其步骤包含: 先全面性形成一第二多晶硅层 104 于基板 102 之上, 并覆盖元件区域 400A 及静电放电防护电路区域 400B, 其中此第二多晶硅层 104 具有第二厚度(H2)。接着形成一图案化光致抗蚀剂层 412 于第二多晶硅层 104 之上, 用以暴露出元件区域 400A 对应的第二多晶硅层 104。以图案化光致抗蚀剂层 412 为掩模, 蚀刻第二多晶硅层 104 直到达到第一厚度(H1)为止。

又例如图 6A-6B 所示, 形成第一多晶硅层 404 及第二多晶硅层 104 的

步骤包含：先全面性形成一多晶硅层 414 于基板 102 之上，并覆盖元件区域 400A 及静电放电防护电路区域 400B，此多晶硅层 414 具有一第三厚度(H3)。然后，形成一图案化光致抗蚀剂层 412 于前述多晶硅层 414 之上，且图案化光致抗蚀剂层 412 暴露出元件区域 400A 对应的多晶硅层 414，如图 6A 所示。以图案化光致抗蚀剂层 412 为掩模，蚀刻多晶硅层 414 直到暴露出基板 102 为止。然后，去除图案化光致抗蚀剂层 412，如图 6B 所示。沉积第一多晶硅层 404 于基板 102 上，且第二多晶硅层 104 的第二厚度(H2)为多晶硅层 414 的第三厚度(H3)加上第一多晶硅层 404 的第一厚度(H1)，亦即 $H2=H1+H3$ ，如图 6C 所示。此外，依设计需求，本发明方法更包含定义有源区域的步骤，以完成如图 4 所示的结构。

本发明方法更包含形成二极管或金属氧化物半导体晶体管的静电放电防护元件的其他步骤。此外，本发明方法可与现行的薄膜晶体管工艺相容。例如图 3A 所示，本发明方法更包含形成电子元件 400 的第一源极/漏极区域 406 于第一多晶硅层 404 中，且藉由一第一沟道 404A 隔开。于此步骤同时，可形成金属氧化物半导体晶体管的静电放电防护元件 100 的源极/漏极区域 106 于第二多晶硅层 104 中，且由沟道区域 104A 隔开。如此一来，较厚的第二多晶层 104 可承受较大的电源热能以避免烧坏元件 100。

此外，参考图 3B，本发明方法更包含于第二多晶硅层 104 中，形成一 N 型掺杂区域 202 及一 P 型掺杂区域 204，以形成一 PN 二极管静电放电防护元件 200。再者，参考图 3C，本发明方法更包含形成一本征区域 302，其介于 N 型掺杂区域 202 及 P 型掺杂区域 204 之间，以形成一 PIN 二极管静电放电防护元件 300。

形成多晶硅层 104、404 或 414 的方法，其可例用现有技术如沉积、光刻及蚀刻等完成。并且形成源极/漏极或 N/P 型掺杂区域的技术，可利用现有扩散或离子注入等技术，在此不再赘述。

以上所述仅为本发明的优选实施例而已，并非用以限定本发明的权利要求；凡其它未脱离本发明所公开的精神下所完成的等效改变或修饰，均应包含在所附的权利要求内。

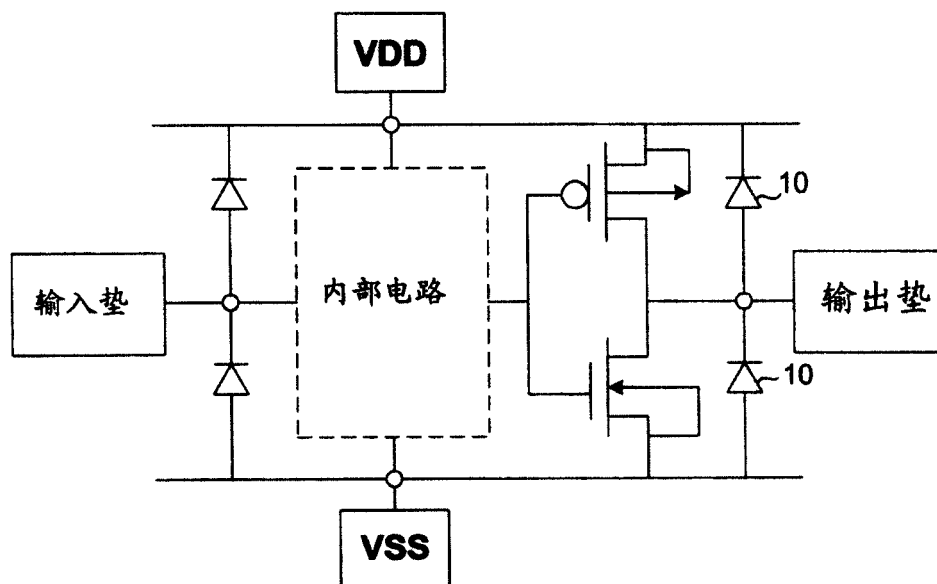


图 1A

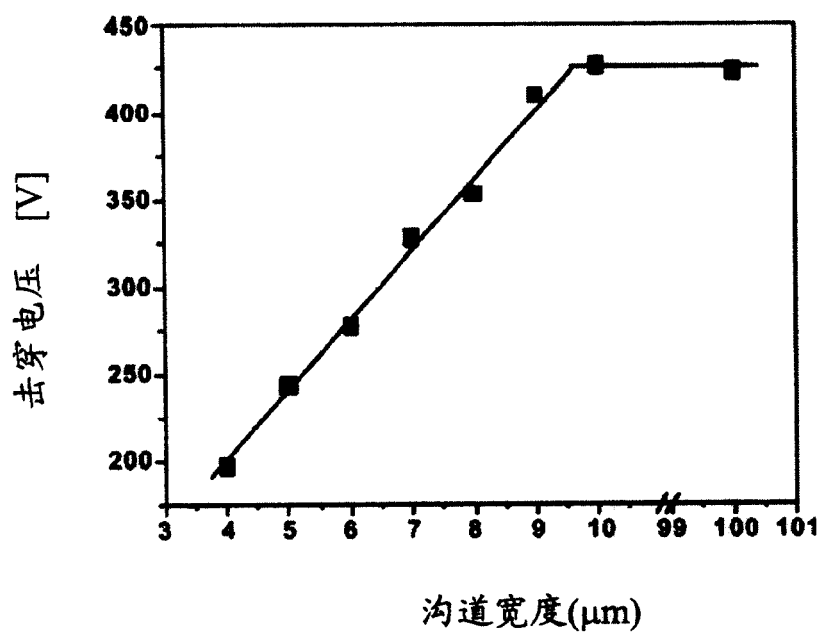


图 1B

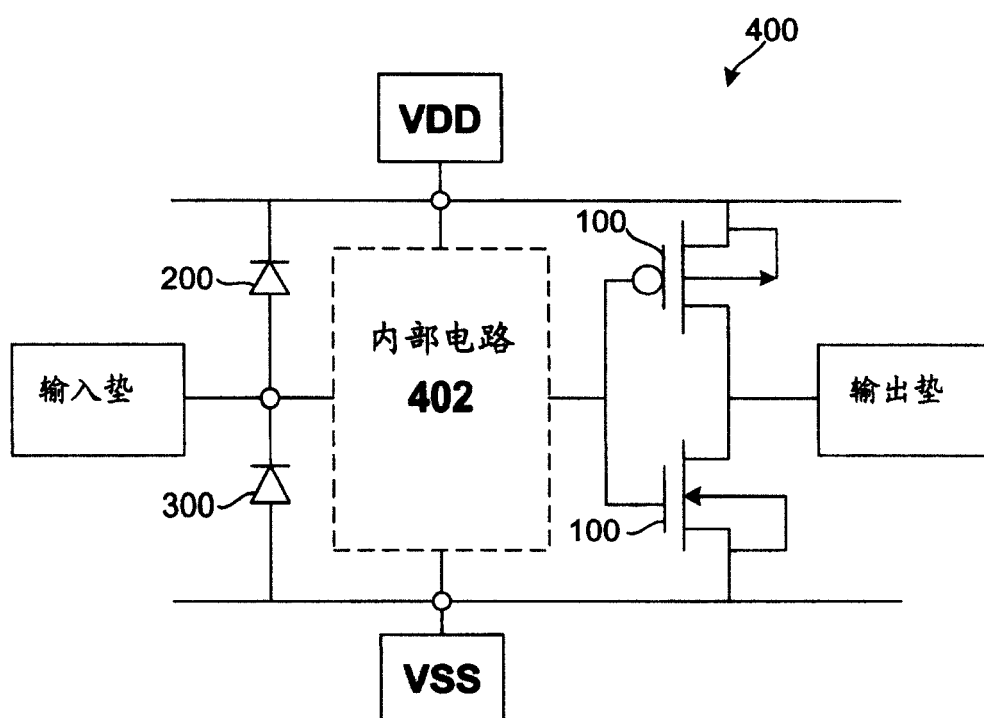


图 2

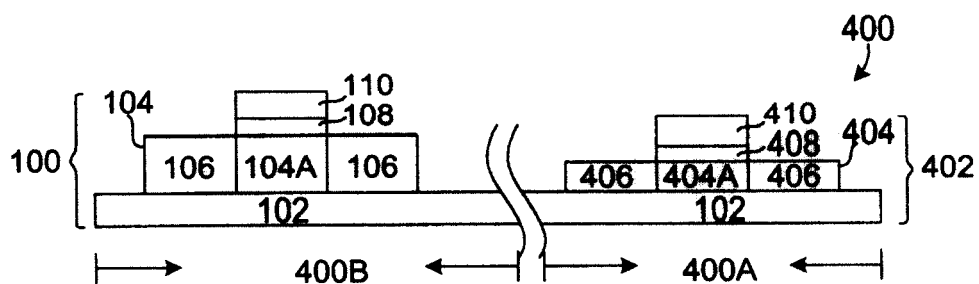


图 3A

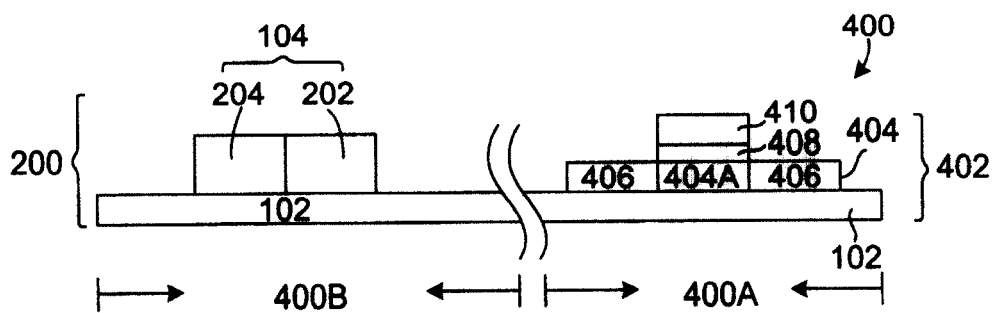


图 3B

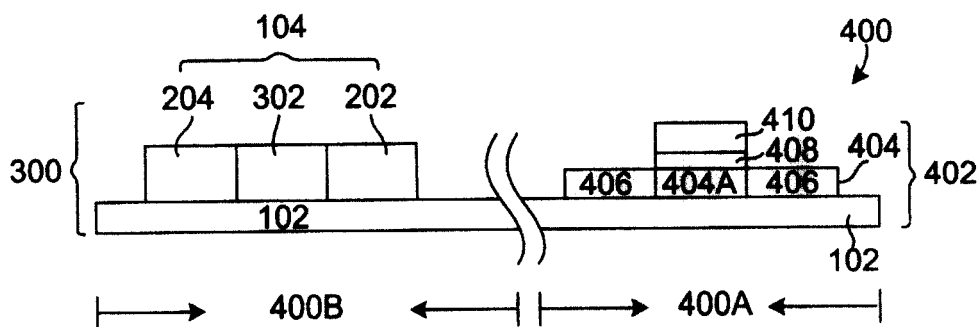


图 3C

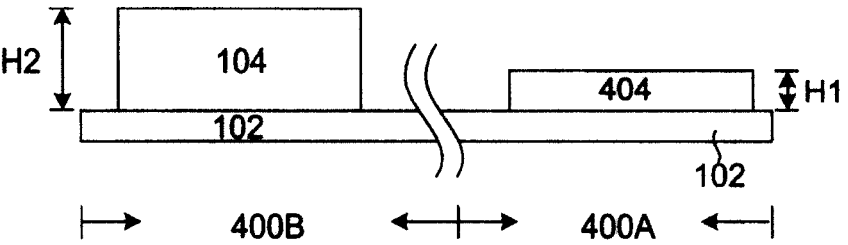


图 4

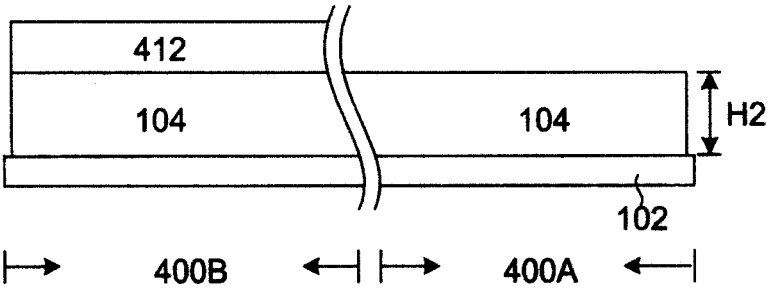


图 5A

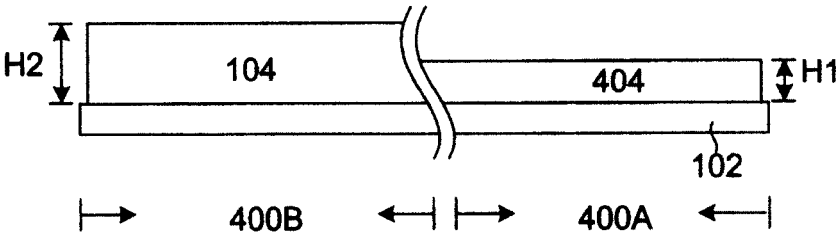


图 5B

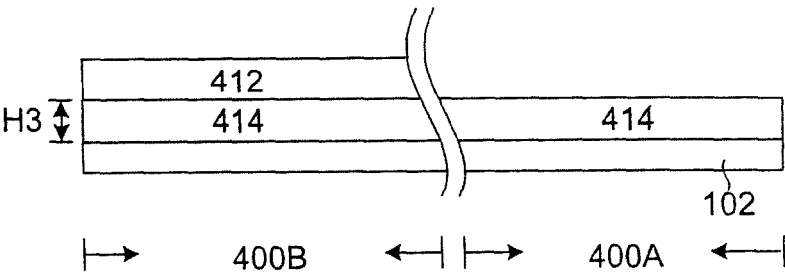


图 6A

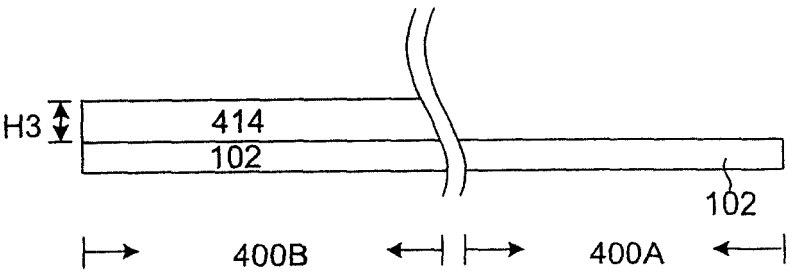


图 6B

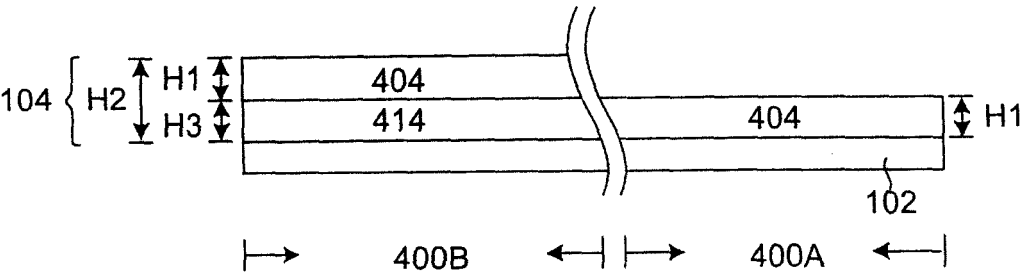


图 6C