

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H02H 9/00 (2006.01)
H02H 9/04 (2006.01)



[12] 发明专利说明书

专利号 ZL 03134783.5

[45] 授权公告日 2008 年 5 月 21 日

[11] 授权公告号 CN 100389528C

[22] 申请日 2003.9.30 [21] 申请号 03134783.5
[30] 优先权
[32] 2003. 5. 19 [33] US [31] 10/440, 083
[73] 专利权人 矽统科技股份有限公司
地址 台湾省新竹科学工业园区
[72] 发明人 柯明道 罗文裕
[56] 参考文献
US6392860B1 2002. 5. 21
US6690561B2 2004. 2. 10
US5926353A 1999. 7. 20
审查员 李 莉

[74] 专利代理机构 上海专利商标事务所有限公司
代理人 陈 亮

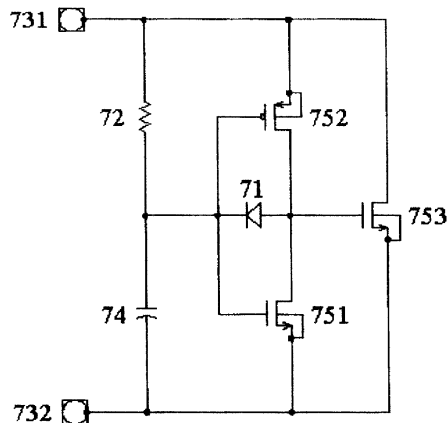
权利要求书 7 页 说明书 14 页 附图 12 页

[54] 发明名称

闸极偏压可调式的静电放电防护电路

[57] 摘要

本发明提供一种闸极偏压可调式的静电放电防护电路，耦接于接收第一及第二供应电压的第一及第二接合垫之间，包括一二极管、电阻、电容、以及第一、第二、第三晶体管。电阻耦接于二极管的负极及第一接合垫之间。电容耦接于二极管的负极与第二接合垫之间。第一晶体管具有第一导电性，其闸极耦接至二极管的负极，汲极耦接至二极管的正极，源极则耦接至第二接合垫。第二晶体管具有第二导电性，其闸极耦接至二极管的负极，汲极耦接至二极管的正极，源极则耦接至第一接合垫。第三晶体管具有第一导电性，其闸极耦接至二极管的正极，汲极耦接至第一接合垫，源极则耦接至第二接合垫。



1、一种闸极偏压可调式的静电放电防护电路，耦接于一第一及第二接合垫之间，该第一及第二接合垫分别是用以接收一第一及第二供应电压，该静电放电防护电路包括：

一二极管，具有一正极及负极；

一电阻，耦接于该二极管的负极及该第一接合垫之间；

一电容，耦接于该二极管的负极与该第二接合垫之间；

一第一晶体管，具有一第一导电性，其闸极耦接至该二极管的负极，汲极耦接至该二极管的正极，源极则耦接至该第二接合垫；

一第二晶体管，具有一第二导电性，其闸极耦接至该二极管的负极，汲极耦接至该二极管的正极，源极则耦接至该第一接合垫；以及

一第三晶体管，具有该第一导电性，其闸极耦接至该二极管的正极，汲极耦接至该第一接合垫，源极则耦接至该第二接合垫。

2、根据权利要求1所述的闸极偏压可调式的静电放电防护电路，其中该第一晶体管更包括一耦接至该第二接合垫的基极，该第二晶体管更包括一耦接至该第一接合垫的基极，该第三晶体管更包括一耦接至该第二接合垫的基极，该二极管是一第四晶体管，具有该第一导电性，其汲极做为该正极使用，源极做为该负极使用，基极耦接至该第二接合垫，闸极则与汲极耦接，该二极管亦可为一第五晶体管，具有该第二导电性，其汲极做为该负极使用，源极做为该正极使用，基极耦接至该第一接合垫，闸极则与汲极耦接。

3、一种闸极偏压可调式的静电放电防护电路，耦接于一第一及第二接合垫之间，该第一及第二接合垫分别是用以接收一第一及第二供应电压，该静电放电防护电路包括：

一系列同向串连的二极管，两端具有一正极及负极；

一电阻，耦接于该列二极管的负极及该第一接合垫之间；

一电容，耦接于该列二极管的负极与该第二接合垫之间；

一第一晶体管，具有一第一导电性，其闸极耦接至该列二极管的负极，汲极耦接至该列二极管的正极，源极则耦接至该第二接合垫；

一第二晶体管，具有一第二导电性，其闸极耦接至该列二极管的负极，汲极耦接至该列二极管的正极，源极则耦接至该第一接合垫；以及

一第三晶体管，具有该第一导电性，其闸极耦接至该列二极管的正极，汲极耦接至该第一接合垫，源极则耦接至该第二接合垫。

4、根据权利要求3所述的闸极偏压可调式的静电放电防护电路，其中该第一晶体管更包括一耦接至该第二接合垫的基极，该第二晶体管更包括一耦接至该第一接合垫的基极，该第三晶体管更包括一耦接至该第二接合垫的基极，该列二极管之一是一第四晶体管，具有该第一导电性，其汲极做为正极使用，源极做为负极使用，基极耦接至该第二接合垫，闸极则与汲极耦接，该列二极管的一亦可为一第五晶体管，具有该第二导电性，其汲极做为负极使用，源极做为正极使用，基极耦接至该第一接合垫，闸极则与汲极耦接。

5、一种闸极偏压可调式的静电放电防护电路，耦接于一第一及第二接合垫之间，该第一及第二接合垫分别是用以接收一第一及第二供应电压，该静电放电防护电路包括：

一第一二极管；

一第二二极管，其负极耦接至该第一二极管的负极；

一电阻，耦接于该第二二极管的正极及该第一接合垫之间；

一电容，耦接于该第二二极管的正极与该第二接合垫之间；

一第一晶体管，具有一第一导电性，其闸极耦接至该第一二极管的负极，汲极耦接至该第一二极管的正极，源极则耦接至该第二接合垫；

一第二晶体管，具有一第二导电性，其闸极耦接至该第二二极管的正极，汲极耦接至该第一二极管的正极，源极则耦接至该第一接合垫；以及

一第三晶体管，具有该第一导电性，其闸极耦接至该第一二极管的正极，

汲极耦接至该第一接合垫，源极则耦接至该第二接合垫。

6、根据权利要求5所述的闸极偏压可调式的静电放电防护电路，其中该第一晶体管更包括一耦接至该第二接合垫的基极，该第二晶体管更包括一耦接至该第一接合垫的基极，该第三晶体管更包括一耦接至该第二接合垫的基极，该第一与第二二极管之一是一第四晶体管，具有该第一导电性，其汲极做为该正极使用，源极做为该负极使用，基极耦接至该第二接合垫，闸极则与汲极耦接，该第一与第二二极管的一亦可为一第五晶体管，具有该第二导电性，其汲极做为该负极使用，源极做为该正极使用，基极耦接至该第一接合垫，闸极则与汲极耦接。

7、一种闸极偏压可调式的静电放电防护电路，耦接于一第一及第二接合垫之间，该第一及第二接合垫分别是用以接收一第一及第二供应电压，该静电放电防护电路包括：

一列同向串连的第一二极管，两端具有一正极及负极；

一第二二极管，其负极耦接至该列第一二极管的负极；

一电阻，耦接于该第二二极管的正极及该第一接合垫之间；

一电容，耦接于该第二二极管的正极与该第二接合垫之间；

一第一晶体管，具有一第一导电性，其闸极耦接至该列第一二极管的负极，汲极耦接至该列第一二极管的正极，源极则耦接至该第二接合垫；

一第二晶体管，具有一第二导电性，其闸极耦接至该第二二极管的正极，汲极耦接至该列第一二极管的正极，源极则耦接至该第一接合垫；以及

一第三晶体管，具有该第一导电性，其闸极耦接至该列第一二极管的正极，汲极耦接至该第一接合垫，源极则耦接至该第二接合垫。

8、根据权利要求7所述的闸极偏压可调式的静电放电防护电路，其中该第一晶体管更包括一耦接至该第二接合垫的基极，该第二晶体管更包括一耦接至该第一接合垫的基极，该第三晶体管更包括一耦接至该第二接合垫的基极，该些第一与第二二极管之一是一第四晶体管，具有该第一导电性，其

汲极做为该正极使用，源极做为该负极使用，基极耦接至该第二接合垫，闸极则与汲极耦接，该些第一与第二二极管的一亦可为一第五晶体管，具有该第二导电性，其汲极做为该负极使用，源极做为该正极使用，基极耦接至该第一接合垫，闸极则与汲极耦接。

9、一种闸极偏压可调式的静电放电防护电路，耦接于一第一及第二接合垫之间，该第一及第二接合垫分别是用以接收一第一及第二供应电压，该静电放电防护电路包括：

一第一晶体管，具有一第二导电性；

一二极管，具有一正极及负极分别耦接至该第一晶体管的闸极与汲极；

一电阻，耦接于该二极管的正极及该第一接合垫之间；

一电容，耦接于该二极管的正极与该第二接合垫之间；

一第二晶体管，具有一第一导电性，其闸极耦接至该二极管的负极，汲极耦接至该第一晶体管的源极，源极则耦接至该第二接合垫；

一第三晶体管，具有该第二导电性，其闸极耦接至该二极管的正极，汲极耦接至该第一晶体管的源极，源极则耦接至该第一接合垫；以及

一第四晶体管，具有该第一导电性，其闸极耦接至该第一晶体管的源极，汲极耦接至该第一接合垫，源极耦接至该第二接合垫。

10、根据权利要求9所述的闸极偏压可调式的静电放电防护电路，其中该第一晶体管更包括一耦接至该第一接合垫的基极，该第二晶体管更包括一耦接至该第二接合垫的基极，该第三晶体管更包括一耦接至该第一接合垫的基极，该第四晶体管更包括一耦接至该第二接合垫的基极，该二极管是一第五晶体管，具有该第一导电性，其汲极做为该正极使用，源极做为该负极使用，基极耦接至该第二接合垫，闸极则与汲极耦接，该二极管亦可为一第六晶体管，具有该第二导电性，其汲极做为该负极使用，源极做为该正极使用，基极耦接至该第一接合垫，闸极则与汲极耦接。

11、根据权利要求9所述的闸极偏压可调式的静电放电防护电路，其中

该二极管是一晶体管，其汲极做为正极，源极做为负极，基极耦接至该第二接合垫，闸极则与汲极耦接。

12、一种闸极偏压可调式的静电放电防护电路，耦接于一第一及第二接合垫之间，该第一及第二接合垫分别是用以接收一供应电压及一输入信号，该静电放电防护电路包括：

一二极管，具有一正极及负极；

一电阻，耦接于该二极管的负极及该第一接合垫之间；

一电容，耦接于该二极管的负极与该第二接合垫之间；

一晶体管，其闸极耦接至该二极管的负极，汲极耦接至该第二接合垫，源极耦接至该第一接合垫，基极则耦接至该二极管的正极。

13、一种闸极偏压可调式的静电放电防护电路，耦接于一第一及第二接合垫之间，该第一及第二接合垫分别是用以接收一供应电压及一输入信号，该静电放电防护电路包括：

一系列同向串连的二极管，两端具有一正极及负极；

一电阻，耦接于该列二极管的负极及该第一接合垫之间；

一电容，耦接于该列二极管的负极与该第二接合垫之间；

一晶体管，其闸极耦接至该列二极管的负极，汲极耦接至该第二接合垫，源极耦接至该第一接合垫，基极则耦接至该二极管的正极。

14、根据权利要求 13 所述的闸极偏压可调式的静电放电防护电路，其中该列二极管之一是一晶体管，其汲极做为正极，源极做为负极，基极耦接至该第一接合垫，闸极则与汲极耦接。

15、一种闸极偏压可调式的静电放电防护电路，耦接于一第一及第二接合垫之间，该第一及第二接合垫分别是用以接收一供应电压及一输入信号，该静电放电防护电路包括：

一二极管，具有一正极及负极；

一电阻，耦接于该二极管的正极及该第一接合垫之间；

一电容，耦接于该二极管的正极与该第二接合垫之间；

一晶体管，其闸极耦接至该二极管的正极，汲极耦接至该第二接合垫，源极耦接至该第一接合垫，基极则耦接至该二极管的负极。

16、根据权利要求 15 所述的闸极偏压可调式的静电放电防护电路，其中该二极管是一晶体管，其汲极做为正极，源极做为负极，基极耦接至该第一接合垫，闸极则与汲极耦接。

17、一种闸极偏压可调式的静电放电防护电路，耦接于一第一及第二接合垫之间，该第一及第二接合垫分别是用以接收一供应电压及一输入信号，该静电放电防护电路包括：

一列同向串连的二极管，两端具有一正极及负极；

一电阻，耦接于该二极管的正极及该第一接合垫之间；

一电容，耦接于该二极管的正极与该第二接合垫之间；

一晶体管，其闸极耦接至该二极管的正极，汲极耦接至该第二接合垫，源极耦接至该第一接合垫，基极则耦接至该二极管的负极。

18、根据权利要求 17 所述的闸极偏压可调式的静电放电防护电路，其中该列二极管之一是一晶体管，其汲极做为正极，源极做为负极，基极耦接至该第一接合垫，闸极则与汲极耦接。

19、一种闸极偏压可调式的静电放电防护电路，耦接于一第一及第二接合垫之间，该第一及第二接合垫分别是用以接收一第一及第二供应电压，该静电放电防护电路包括：

一二极管，具有一正极及负极；

一第一晶体管，具有一第一导电性，其闸极耦接至该二极管的正极，汲极耦接至该二极管的负极，源极耦接至该第二接合垫；

一第二晶体管，具有一第二导电性，其闸极耦接至该二极管的正极，汲极耦接至该二极管的负极，源极则耦接至该第一接合垫；

一第三晶体管，具有该第一导电性，其汲极耦接至该二极管的正极，源

极则耦接至该第二接合垫；

一第四晶体管，具有该第二导电性，其闸极耦接至该第三晶体管的闸极，汲极耦接至该二极管的正极，源极耦接至该第一接合垫；

一第五晶体管，具有该第二导电性，其闸极耦接至该二极管的负极，汲极耦接至该第二接合垫，源极则耦接至该第一接合垫；

一电阻，耦接于该第三晶体管的闸极及该第一接合垫之间；

一电容，耦接于该第三晶体管的闸极与该第二接合垫之间。

20、根据权利要求 19 所述的闸极偏压可调式的静电放电防护电路，其中该第一晶体管更包括一耦接至该第二接合垫的基极，该第二晶体管更包括一耦接至该第一接合垫的基极，该第三晶体管更包括一耦接至该第二接合垫的基极，该第四晶体管更包括一耦接至该第一接合垫的基极，该第五晶体管更包括一耦接至该第一接合垫的基极，该二极管是一第六晶体管，具有该第一导电性，其汲极做为该正极使用，源极做为该负极使用，基极耦接至该第二接合垫，闸极则与汲极耦接，该二极管亦可为一第七晶体管，具有该第二导电性，其汲极做为该负极使用，源极做为该正极使用，基极耦接至该第一接合垫，闸极则与汲极耦接。

闸极偏压可调式的静电放电防护电路

技术领域

本发明是有关于一种静电放电防护电路，特别有关于一种闸极偏压可调式的静电放电防护电路。

背景技术

闸极驱动(gate-driven)或门极耦合(gate-coupled)的技术是广泛地用于传统的静电放电防护电路设计中。这两种静电放电防护电路的设计，可以使静电放电防护组件在受到静电放电脉冲袭击时，获得一闸极偏压，而降低导通静电放电防护组件的触发电位，并提高其导通的均匀度与效率。

图1是一传统闸极耦合输入静电放电防护电路。其包括了一NMOS晶体管MNESD、一PMOS晶体管MPESD、电阻R1及R2、电容C1及C2。晶体管MNESD的源极与汲极分别耦接至VSS及一输入接合垫。晶体管MPESD的源极与汲极分别耦接至VDD及输入接合垫。电阻R2及R1分别耦接于晶体管MNESD的闸极与VSS之间、以及晶体管MPESD的闸极与VDD之间。电容C2及C1则分别耦接于晶体管MNESD的闸极与输入接合垫之间、以及晶体管MPESD的闸极与输入接合垫之间。

电容C1及C2的作用在于将输入接合垫上的静电放电瞬时电压耦合至晶体管MNESD及MPESD的闸极上。藉由此一闸极耦合电压，静电放电防护晶体管MNESD及MPESD中的指状元件可以均匀地被导通而疏散静电放电电流，将输入接合垫上的电荷排除。

图 2 是一传统闸极驱动静电放电防护电路,设置于 VDD 及 VSS 供应电压源之间。其包括了一 PMOS 晶体管 MP1、NMOS 晶体管 MN1、电阻 R、电容 C、以及 NMOS 晶体管 MNESD。PMOS 晶体管 MP1 的基极及源极共同耦接至 VDD。NMOS 晶体管 MN1 的基极与源极共同耦接至 VSS,闸极与汲极则分别耦接至电晶 MP1 的闸极与汲极。电阻 R 耦接于 VDD 与晶体管 MP1 及 MN1 的闸极。电容 C 耦接于 VSS 与晶体管 MP1 及 MN1 的闸极间。NMOS 晶体管 MNESD 的闸极耦接至晶体管 MP1 及 MN1 的汲极,源极与汲极则分别耦接至 VSS 及 VDD。当一正向静电放电脉冲施加至 VDD 的接合垫上时,在电阻 R 的两端会产生一个瞬时压差并导通晶体管 MP1,拉高了晶体管 MNESD 的闸极电位而使其导通,如此便经由导通的晶体管 MNESD 而产生了从 VDD 接合垫至 VSS 接合垫的静电放电电流路径。

图 3 是另一传统的闸极驱动静电放电防护电路。图 3 的闸极驱动电路中较图 2 多了两个晶体管 MP2 及 MN2。其操作方法与图 2 的静电放电防护电路类似。当一正向静电放电脉冲施加至 VDD 的接合垫上时,在电阻 R 的两端会产生一个瞬时压差并导通晶体管 MP1,拉高了晶体管 MN2 的闸极电位而使其导通。如此,晶体管 MPESD 的闸极电位被降低至 VSS 而使其导通。经由导通的晶体管 MPESD,便产生了从 VDD 接合垫至 VSS 接合垫的静电放电电流路径。

然而,在深次微米的互补式金氧半 (CMOS) 制程中,如果静电放电防护晶体管 MNESD 的闸极电位在静电放电期间一直处于一高电位,就会形成静电放电晶体管 MNESD 的表面通道,而使得静电放电电流经由此极浅的通道流过。静电放电电流值通常是在数安培的谱。举例来说,在 2K 伏特的人体模型 (HBM) 静电放电事件中,静电放电电流量可达 1.33 安培。如此高的电流量流经极浅的表面通道时,不论静电放电晶体管的尺寸大小,均会造成一极高的电流密度,而很容易就使得静电放电晶体管 MNESD 损毁。这种被称为「过闸极驱动效应」(overstress gate-driven effect)

的现象导致静电放电晶体管的静电放电耐受力降低。因此，在设计静电放电防护电路时，闸极电位必需在一定的设计限制范围 (design window) 下。这个限制范围已在 J. Chen 等人所提出的「次微米 CMOS 制程的闸极驱动 NMOS 静电放电防护电路的设计方法及最佳化」(“Design Methodology and Optimization of Gate-Driven NMOS ESD Protection Circuits in Submicron CMOS Processes”, IEEE Trans. on Electron Devices, vol. 45, No. 12, pp. 2448-2456, Dec. 1998.) 一文中被提出。如果闸极电位过高时，静电放电防护组件的耐受力便会降低。静电放电防护组件的闸极电位最佳范围主要是由所使用的技术与制程来决定。

为了解决这个问题，美国第 6249410 号专利提出了一种不具过闸极驱动效应的静电放电防护电路，如图 4 - 图 6 所示。从图中可以注意到，图 4 - 图 6 中的静电放电防护电路分别是在第 1 - 3 图中于每一个静电放电防护晶体管的闸极与源极间加入一个二极管。为了避免在闸极上形成过高的电压，二极管在静电放电脉冲施加于接合垫上时会导通而将静电放电防护晶体管的闸极电位钳制在一定程度上，足够使静电放电防护组件导通但又不会造成任何损坏。

本发明提供了另一种新的闸极驱动与门极耦合的静电放电防护电路，其闸极偏压是可调的，以防止因过闸极电压效应造成静电放电耐受力的降低。

发明内容

本发明的第一目的在于提供一种闸极偏压可调式的静电放电防护电路，耦接于一第一及第二接合垫之间，该第一及第二接合垫分别是用以接收一第一及第二供应电压，该静电放电防护电路包括：一二极管，具有一正极及负极；一电阻，耦接于该二极管的负极及该第一接合垫之间；

一电容，耦接于该二极管的负极与该第二接合垫之间；一第一晶体管，具有一第一导电性，其闸极耦接至该二极管的负极，汲极耦接至该二极管的正极，源极则耦接至该第二接合垫；一第二晶体管，具有一第二导电性，其闸极耦接至该二极管的负极，汲极耦接至该二极管的正极，源极则耦接至该第一接合垫；以及一第三晶体管，具有该第一导电性，其闸极耦接至该二极管的正极，汲极耦接至该第一接合垫，源极则耦接至该第二接合垫。

本发明的第二目的在于提供一种闸极偏压可调式的静电放电防护电路，耦接于一第一及第二接合垫之间，该第一及第二接合垫分别是用以接收一第一及第二供应电压，该静电放电防护电路包括：一列同向串连的二极管，两端具有一正极及负极；一电阻，耦接于该列二极管的负极及该第一接合垫之间；一电容，耦接于该列二极管的负极与该第二接合垫之间；一第一晶体管，具有一第一导电性，其闸极耦接至该列二极管的负极，汲极耦接至该列二极管的正极，源极则耦接至该第二接合垫；一第二晶体管，具有一第二导电性，其闸极耦接至该列二极管的负极，汲极耦接至该列二极管的正极，源极则耦接至该第一接合垫；以及一第三晶体管，具有该第一导电性，其闸极耦接至该列二极管的正极，汲极耦接至该第一接合垫，源极则耦接至该第二接合垫。

本发明的第三目的在于提供一种闸极偏压可调式的静电放电防护电路，耦接于一第一及第二接合垫之间，该第一及第二接合垫分别是用以接收一第一及第二供应电压，该静电放电防护电路包括：一第一二极管；一第二二极管，其负极耦接至该第一二极管的负极；一电阻，耦接于该第二二极管的正极及该第一接合垫之间；一电容，耦接于该第二二极管的正极与该第二接合垫之间；一第一晶体管，具有一第一导电性，其闸极耦接至该第一二极管的负极，汲极耦接至该第一二极管的正极，源极则耦接至该第二接合垫；一第二晶体管，具有一第二导电性，其闸极耦

接至该第二二极管的正极，汲极耦接至该第一二极管的正极，源极则耦接至该第一接合垫；以及一第三晶体管，具有该第一导电性，其闸极耦接至该第一二极管的正极，汲极耦接至该第一接合垫，源极则耦接至该第二接合垫。

本发明的第四目的在于提供一种闸极偏压可调式的静电放电防护电路，耦接于一第一及第二接合垫之间，该第一及第二接合垫分别是用以接收一第一及第二供应电压，该静电放电防护电路包括：一列同向串连的第一二极管，两端具有一正极及负极；一第二二极管，其负极耦接至该列第一二极管的负极；一电阻，耦接于该第二二极管的正极及该第一接合垫之间；一电容，耦接于该第二二极管的正极与该第二接合垫之间；一第一晶体管，具有一第一导电性，其闸极耦接至该列第一二极管的负极，汲极耦接至该列第一二极管的正极，源极则耦接至该第二接合垫；一第二晶体管，具有一第二导电性，其闸极耦接至该第二二极管的正极，汲极耦接至该列第一二极管的正极，源极则耦接至该第一接合垫；以及一第三晶体管，具有该第一导电性，其闸极耦接至该列第一二极管的正极，汲极耦接至该第一接合垫，源极则耦接至该第二接合垫。

本发明的第五目的在于提供一种闸极偏压可调式的静电放电防护电路，耦接于一第一及第二接合垫之间，该第一及第二接合垫分别是用以接收一第一及第二供应电压，该静电放电防护电路包括：一第一晶体管，具有一第二导电性；一二极管，具有一正极及负极分别耦接至该第一晶体管的汲极与闸极；一电阻，耦接于该二极管的正极及该第一接合垫之间；一电容，耦接于该二极管的正极与该第二接合垫之间；一第二晶体管，具有一第一导电性，其闸极耦接至该二极管的负极，汲极耦接至该第一晶体管的源极，源极则耦接至该第二接合垫；一第三晶体管，具有该第二导电性，其闸极耦接至该二极管的正极，汲极耦接至该第一晶体管的源极，源极则耦接至该第一接合垫；以及一第四晶体管，具有该第

一导电性，其闸极耦接至该第一晶体管的源极，汲极耦接至该第一接合垫，源极耦接至该第二接合垫。

本发明的第六目的在于提供一种闸极偏压可调式的静电放电防护电路，耦接于一第一及第二接合垫之间，该第一及第二接合垫分别是用以接收一供应电压及一输入信号，该静电放电防护电路包括：一二极管，具有一正极及负极；一电阻，耦接于该二极管的负极及该第一接合垫之间；一电容，耦接于该二极管的负极与该第二接合垫之间；一晶体管，其闸极耦接至该二极管的负极，汲极耦接至该第二接合垫，源极耦接至该第一接合垫，基极则耦接至该二极管的正极。

本发明的第七目的在于提供一种闸极偏压可调式的静电放电防护电路，耦接于一第一及第二接合垫之间，该第一及第二接合垫分别是用以接收一供应电压及一输入信号，该静电放电防护电路包括：一列同向串连的二极管，两端具有一正极及负极；一电阻，耦接于该列二极管的负极及该第一接合垫之间；一电容，耦接于该列二极管的负极与该第二接合垫之间；一晶体管，其闸极耦接至该列二极管的负极，汲极耦接至该第二接合垫，源极耦接至该第一接合垫，基极则耦接至该二极管的正极。

本发明的第八目的在于提供一种闸极偏压可调式的静电放电防护电路，耦接于一第一及第二接合垫之间，该第一及第二接合垫分别是用以接收一供应电压及一输入信号，该静电放电防护电路包括：一二极管，具有一正极及负极；一电阻，耦接于该二极管的正极及该第一接合垫之间；一电容，耦接于该二极管的正极与该第二接合垫之间；一晶体管，其闸极耦接至该二极管的正极，汲极耦接至该第二接合垫，源极耦接至该第一接合垫，基极则耦接至该二极管的负极。

本发明的第九目的在于提供一种闸极偏压可调式的静电放电防护电路，耦接于一第一及第二接合垫之间，该第一及第二接合垫分别是用以接收一供应电压及一输入信号，该静电放电防护电路包括：一列同向串

连的二极管，两端具有一正极及负极；一电阻，耦接于该二极管的正极及该第一接合垫之间；一电容，耦接于该二极管的正极与该第二接合垫之间；一晶体管，其闸极耦接至该二极管的正极，汲极耦接至该第二接合垫，源极耦接至该第一接合垫，基极则耦接至该二极管的负极。

本发明的第十目的在于提供一种闸极偏压可调式的静电放电防护电路，耦接于一第一及第二接合垫之间，该第一及第二接合垫分别是用以接收一第一及第二供应电压，该静电放电防护电路包括：一二极管，具有一正极及负极；一第一晶体管，具有一第一导电性，其闸极耦接至该二极管的正极，汲极耦接至该二极管的负极，源极耦接至该第二接合垫；一第二晶体管，具有一第二导电性，其闸极耦接至该二极管的正极，汲极耦接至该二极管的负极，源极则耦接至该第一接合垫；一第三晶体管，具有该第一导电性，其汲极耦接至该二极管的正极，源极则耦接至该第二接合垫；一第四晶体管，具有该第二导电性，其闸极耦接至该第三晶体管的闸极，汲极耦接至该二极管的正极，源极耦接至该第一接合垫；一第五晶体管，具有该第二导电性，其闸极耦接至该二极管的负极，汲极耦接至该第二接合垫，源极则耦接至该第一接合垫；一电阻，耦接于该第三晶体管的闸极及该第一接合垫之间；一电容，耦接于该第三晶体管的闸极与该第二接合垫之间。

附图说明

图 1 是一传统闸极耦合输入级静电放电防护电路；

图 2 是一传统连接于 VDD 及 VSS 接合垫间的闸极驱动静电放电防护电路；

图 3 是另一传统闸极驱动静电放电防护电路；

图 4 - 图 6 是美国第 6249410 号专利所揭露的无过闸极驱动效应的静

电放电防护电路;

图 7A - 图 7C 是本发明一第一实施例中的闸极驱动静电放电防护电路以及变化型;

图 8A - 图 8D 是本发明一第二实施例中的闸极驱动静电放电防护电路以及变化型;

图 9A - 图 9C 是本发明一第三实施例中的闸极驱动静电放电防护电路以及变化型;

图 10A 及图 10B 是本发明一第四实施例中的闸极驱动静电放电防护电路以及变化型;

图 11A 及图 11B 是本发明一第五实施例中的闸极驱动静电放电防护电路以及变化型;

图 12A 及图 12B 是本发明一第六实施例中的闸极驱动静电放电防护电路以及变化型。

符号说明:

731、732、831、832、931、932、1041、1042、1131-1133、1231、1232 - 接合垫;

71、81、911-913、102、1111-1114、121、126 - 二极管;

72、82、92、103、1121、1122、124 - 电阻;

74、84、94、105、1141、1142、125 - 电容;

751-755、851-855、951-955、1011-1015、1151、1152、1221-1225 - 晶体管。

具体实施方式

以下,就图式说明本发明的闸极偏压可调式的静电放电防护电路的各种实施例。

图 7A 是本发明一第一实施例中连接于 VDD 及 VSS 接合垫间的闸极驱动静电放电防护电路。其包括了一二极管 71、电阻 72、电容 74、NMOS 晶体管 751 及 753、以及 PMOS 晶体管 752。电阻 72 是耦接于二极管 71 的负极及 VDD 接合垫 731 之间。电容 74 是耦接于二极管 71 的负极及 VSS 接合垫 732 之间。晶体管 751 的闸极耦接至二极管 71 的负极，汲极耦接至二极管 71 的正极，源极则耦接至 VSS 接合垫 732。晶体管 752 的闸极耦接至二极管 71 的负极，汲极耦接至二极管 71 的正极，源极则耦接至 VDD 接合垫 731。晶体管 753 的闸极耦接至二极管 71 的正极，汲极耦接至 VDD 接合垫 731，源极则耦接至 VSS 接合垫 732。晶体管 751、752、753 的基极(Bulk)分别耦接至 VSS 接合垫 732、VDD 接合垫 731、VSS 接合垫 732。

当一正向静电放电脉冲施加至 VDD 接合垫 731 上时，在电阻 72 的两端会因其与电容 74 间的电阻-电容延迟效应而产生一个瞬时压差。这个压差会导通晶体管 752，拉高了晶体管 753 的闸极电位。晶体管 753 的闸极电位值会被二极管 71 及晶体管 751 钳制，而具有一最大值 $V_d + V_{th}$ ，其中 V_d 是二极管的导通电压值而 V_{th} 是晶体管 751 的临限电压值。

此外，如图 7B 所示，二极管 71 亦可由 NMOS 晶体管 754 取代，其汲极用做正极，源极用做负极，基极耦接至 VSS 接合垫 732，闸极与汲极耦接。如图 7C 所示，二极管 71 亦可由 PMOS 晶体管 755 取代，其汲极用做负极，源极用做正极，基极耦接至 VDD 接合垫 731，闸极与汲极耦接。

图 8A 是本发明一第二实施例中连接于 VDD 与 VSS 间的闸极驱动静电放电防护电路。其包括了一列同向串连的二极管 81、电阻 82、电容 84、NMOS 晶体管 851 及 853、以及 PMOS 晶体管 852。电阻 82 是耦接于二极管串行 81 的负极 Z 及 VDD 接合垫 831 之间。电容 84 是耦接于二极管串行 81 的负极 Z 及 VSS 接合垫 832 之间。晶体管 851 的闸极耦接至二极管串行 81 的负极 Z，汲极耦接至二极管串行 81 的正极 A，源极则耦接至 VSS

接合垫 832。晶体管 852 的闸极耦接至二极管串行 81 的负极 Z，汲极耦接至二极管串行 81 的正极 A，源极则耦接至 VDD 接合垫 831。晶体管 853 的闸极耦接至二极管串行 81 的正极 A，汲极耦接至 VDD 接合垫 831，源极则耦接至 VSS 接合垫 832。晶体管 851、852、853 的基极 (Bulk) 分别耦接至 VSS 接合垫 832、VDD 接合垫 831、VSS 接合垫 832。

其操作方式与图 7A 的电路类似。晶体管 853 的闸极电位最大值为 $V_{d1}+V_{d2}+\dots+V_{dn}+V_{th}$ ，其中 V_{d1} 、 V_{d2} 、...、 V_{dn} 分别是每一个二极管 81 的导通电压值而 V_{th} 是晶体管 851 的临限电压值。因此，可以藉由改变二极管 81 的数量来调整晶体管 853 的闸极电位值。

此外，如图 8B 所示，二极管 81 亦可由 NMOS 晶体管 854 取代，其汲极用做正极，源极用做负极，基极耦接至 VSS 接合垫 832，闸极与汲极耦接。如图 8C 所示，二极管 81 亦可由 PMOS 晶体管 855 取代，其汲极用做负极，源极用做正极，基极耦接至 VDD 接合垫 831，闸极与汲极耦接。如图 8D 所示，甚至亦可以使用 NMOS 晶体管 854 及 PMOS 晶体管 855 的组合来形成二极管串行。

图 9A 是本发明一第三实施例中连接于 VDD 及 VSS 接合垫间的闸极驱动静电放电防护电路。其包括了二极管 911 及 912、电阻 92、电容 94、NMOS 晶体管 951 及 953、以及 PMOS 晶体管 952。二极管 912 的负极是耦接至二极管 911 的负极。电阻 92 是耦接于二极管 912 的正极及 VDD 接合垫 931 之间。电容 94 是耦接于二极管 912 的正极及 VSS 接合垫 932 之间。晶体管 951 的闸极耦接至二极管 911 的负极，汲极耦接至二极管 911 的正极，源极则耦接至 VSS 接合垫 932。晶体管 952 的闸极耦接至二极管 912 的正极，汲极耦接至二极管 911 的正极，源极则耦接至 VDD 接合垫 931。晶体管 953 的闸极耦接至二极管 911 的正极，汲极耦接至 VDD 接合垫 931，源极则耦接至 VSS 接合垫 932。晶体管 951、952、953 的基极 (Bulk) 分别耦接至 VSS 接合垫 932、VDD 接合垫 931、VSS 接合垫 932。

当一正向静电放电脉冲施加至 VDD 接合垫 931 上时, 在电阻 92 的两端会因其与电容 94 间的电阻-电容延迟效应而产生一个瞬时压差。这个压差会导通晶体管 952, 拉高了晶体管 953 的闸极电位。晶体管 953 的闸极电位值会被二极管 911 及晶体管 951 钳制, 而具有一最大值 $V_d + V_{th}$, 其中 V_d 是二极管的导通电压值而 V_{th} 是晶体管 951 的临限电压值。藉由电阻 92 及电容 94 所形成的电阻-电容常数值来控制二极管 912 正极电位的上升速度, 可以使得二极管 912 因其负极电位上升速度较其正极快而被关闭, 进而将电阻 92 及电容 94 所构成的电阻-电容电路与二极管 911 的负极隔绝。因此, NMOS 晶体管 953 的导通时间可以更容易被控制。

此外, 如图 9B 所示, 二极管 912 亦可由 NMOS 晶体管 954 取代, 其汲极用做正极, 源极用做负极, 基极耦接至 VSS 接合垫 932, 闸极与汲极耦接, 而二极管 912 可由 PMOS 晶体管 955 取代, 其汲极用做负极, 源极用做正极, 基极耦接至 VDD 接合垫 931, 闸极与汲极耦接。再如图 9C 所示, 二极管 911 亦可由一系列同向串连的二极管 913 取代, 在此列二极管的两端分别具有一正极 A 及负极 Z, 使得晶体管 953 的闸极电位可经由改变二极管 913 的数量来调整。

图 10A 是本发明一第四实施例中连接于 VDD 及 VSS 接合垫间的闸极驱动静电放电防护电路。其包括了一 PMOS 晶体管 1011 及 1013、二极管 102、电阻 103、电容 105、以及 NMOS 晶体管 1012 及 1014。二极管 102 的正极及负极分别耦接至晶体管 1011 的闸极及汲极。电阻 103 是耦接于二极管 102 的正极及 VDD 接合垫 1041 之间。电容 105 是耦接于二极管 102 的正极及 VSS 接合垫 1042 之间。晶体管 1012 的闸极耦接至二极管 102 的负极, 汲极耦接至晶体管 1011 的源极, 源极则耦接至 VSS 接合垫 1042。晶体管 1013 的闸极耦接至二极管 102 的正极, 汲极耦接至晶体管 1011 的源极, 源极则耦接至 VDD 接合垫 1042。晶体管 1014 的闸极耦接至晶体管 1011 的源极, 汲极耦接至 VDD 接合垫 1041, 源极则耦接至 VSS 接合垫 1042。

晶体管 1011 - 1014 的基极分别耦接至 VDD 接合垫 1041、VSS 接合垫 1042、VDD 接合垫 1041、VSS 接合垫 1042。

当一正向静电放电脉冲施加至 VDD 接合垫 1041 上时，在电阻 103 的两端会因其与电容 105 间的电阻-电容延迟效应而产生一个瞬时压差。这个压差会导通晶体管 1013，拉高了晶体管 1014 的闸极电位。藉由电阻 103 及电容 105 所形成的电阻-电容常数值来控制晶体管 1011 的闸极电位的上升速度，可以使得 PMOS 晶体管 1011 因其源极电位上升速度较其闸极快而导通。晶体管 1014 的闸极电位值会被晶体管 1012 钳制，而具有一最大值 V_{th} ，其中 V_{th} 是晶体管 1012 的临限电压值。

此外，如图 10B 所示，二极管 102 亦可由 NMOS 晶体管 1015 取代，其汲极用做正极，源极用做负极，基极耦接至 VSS 接合垫 1042，闸极与汲极耦接。二极管 102 亦可由 PMOS 晶体管(图未显示)取代，其汲极用做负极，源极用做正极，基极耦接至 VDD 接合垫 1041，闸极与汲极耦接。

图 11A 是本发明一第五实施例中的闸极驱动静电放电防护电路。其包括了一二极管 1111 及 1112、电阻 1121 及 1122、电容 1141 及 1142、PMOS 晶体管 1151 及 NMOS 晶体管 1152。电阻 1121 是耦接于二极管 1111 的负极及 VDD 接合垫 1131 之间。电容 1141 耦接于二极管 1111 的负极及输入接合垫 1132 之间。晶体管 1151 的闸极耦接至二极管 1111 的负极，汲极耦接至输入接合垫 1132，源极耦接至 VDD 接合垫 1131、基极则耦接至二极管 1111 的正极。电阻 1122 是耦接于二极管 1112 的正极及 VSS 接合垫 1133 之间。电容 1142 耦接于二极管 1112 的正极及输入接合垫 1132 之间。晶体管 1152 的闸极耦接至二极管 1112 的正极，汲极耦接至输入接合垫 1132，源极耦接至 VSS 接合垫 1133、基极则耦接至二极管 1112 的负极。

此外，如图 11B 所示，二极管 1111 可由一系列同向串连的二极管 1113 取代，在此列二极管的两端分别具有一正极 A1 及负极 Z1，而二极管 1112 亦可由一系列同向串连的二极管 1114 取代，在此列二极管的两端分别具有

一正极 A2 及负极 Z2。如此使得晶体管 1151 及 1152 的闸极电位可经由改变二极管 1113 及 1114 的数量来调整。任何一个二极管均可由一 NMOS 晶体管取代,其汲极用做正极,源极用做负极,基极耦接至 VSS 接合垫 1133,闸极与汲极耦接;或是由一 PMOS 晶体管取代,其汲极用做负极,源极用做正极,基极耦接至 VDD 接合垫 1131,闸极与汲极耦接。

图 12A 是本发明一第六实施例中连接于 VDD 及 VSS 接合垫间的闸极驱动静电放电防护电路。其包括了一二极管 121、NMOS 晶体管 1221 及 1223、PMOS 晶体管 1222、1224 及 1225、电阻 124 以及电容 125。晶体管 1221 的闸极耦接至二极管 121 的正极,汲极耦接至二极管 121 的负极,源极则耦接至 VSS 接合垫 1232。晶体管 1222 的闸极耦接至二极管 121 的正极,汲极耦接至二极管 121 的负极,源极则耦接至 VDD 接合垫 1231。晶体管 1223 的汲极耦接至二极管 121 的正极,源极则耦接至 VSS 接合垫 1232。晶体管 1224 的闸极耦接至晶体管 1223 的闸极,汲极耦接至二极管 121 的正极,源极则耦接至 VDD 接合垫 1231。晶体管 1225 的闸极耦接至二极管 121 的负极,汲极耦接至 VSS 接合垫 1232,源极则耦接至 VDD 接合垫 1231。电阻 124 耦接于晶体管 1223 的闸极及 VDD 接合垫 1231 之间。电容 125 耦接于晶体管 1223 的闸极与 VSS 接合垫 1232 之间。晶体管 1221 - 1225 的基极分别耦接至 VSS 接合垫 1232、VDD 接合垫 1231、VSS 接合垫 1232、VDD 接合垫 1231、VDD 接合垫 1231。

当一正向静电放电脉冲施加至 VDD 接合垫 1231 上时,在电阻 124 的两端会因其与电容 125 间的电阻-电容延迟效应而产生一个瞬时压差。这个压差会导通晶体管 1224,拉高了晶体管 1221 的闸极电位而使其导通。随着晶体管 1221 的导通,晶体管 1225 的闸极电位被拉降至 VSS。晶体管 1225 的闸极电位值会被二极管 121 及晶体管 1222 钳制,而具有一最大值 $VDD - V_d - V_{th}$, 其中 V_d 是二极管 121 的导通电压值而 V_{th} 是晶体管 1222 的临限电压值。

此外，如图 12B 所示，二极管 121 可由一系列同向串连的二极管 126 取代，在此列二极管的两端分别具有一正极 A 及负极 Z。如此使得晶体管 1225 的闸极电位可经由改变二极管 126 的数量来调整。任何一个二极管均可由一 NMOS 晶体管取代，其汲极用做正极，源极用做负极，基极耦接至 VSS 接合垫 1232，闸极与汲极耦接；或是由一 PMOS 晶体管取代，其汲极用做负极，源极用做正极，基极耦接至 VDD 接合垫 1231，闸极与汲极耦接。

综合上述，本发明提供了一种新的静电放电防护电路，其闸极偏压是可调的。其中，静电放电防护组件的闸极偏压可以轻易地调整在适当的范围内，以提高组件导通效率与均匀度，不会因任何过高的闸极偏压而造成静电放电防护力的降低。

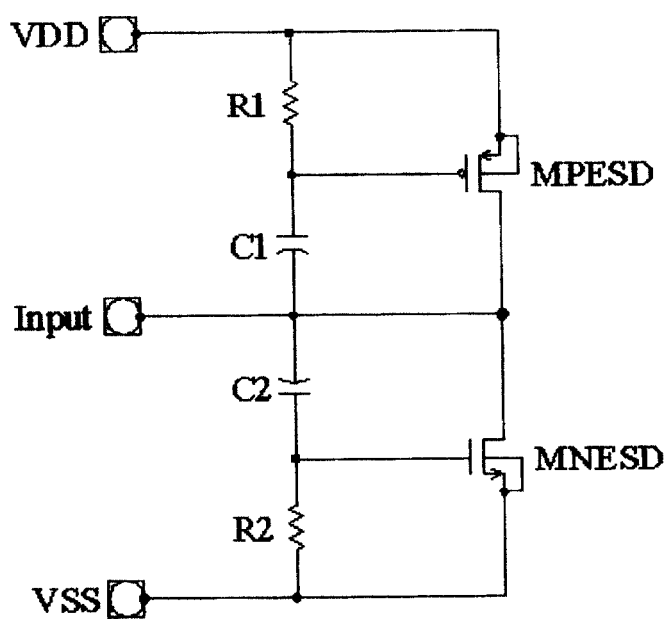


图 1

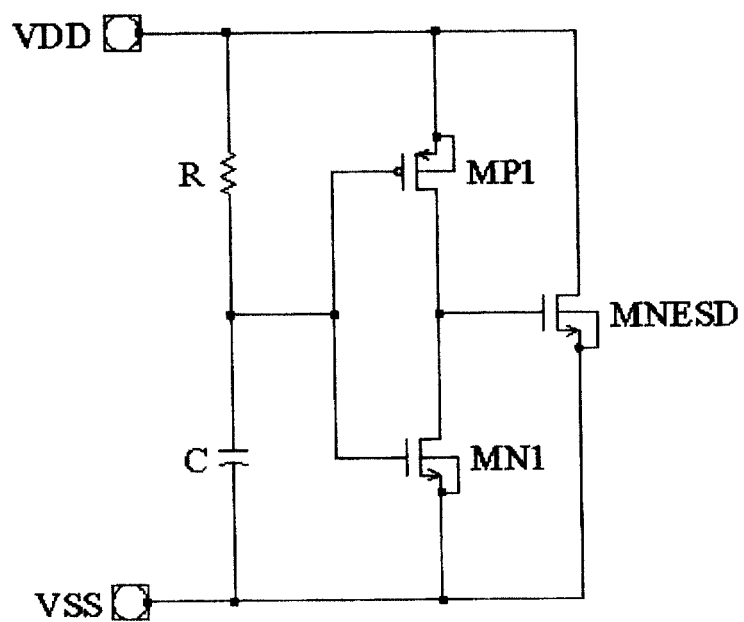


图 2

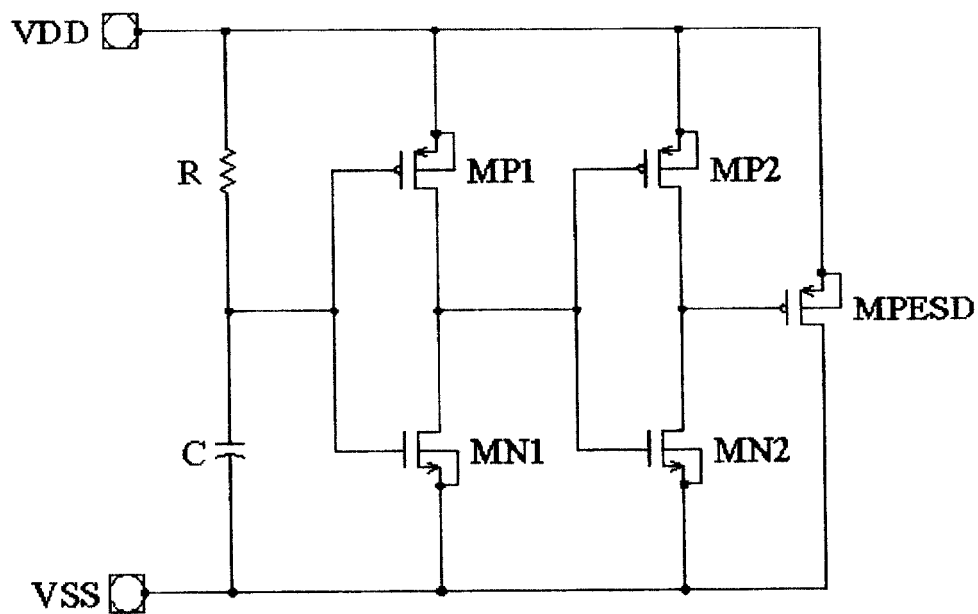


图 3

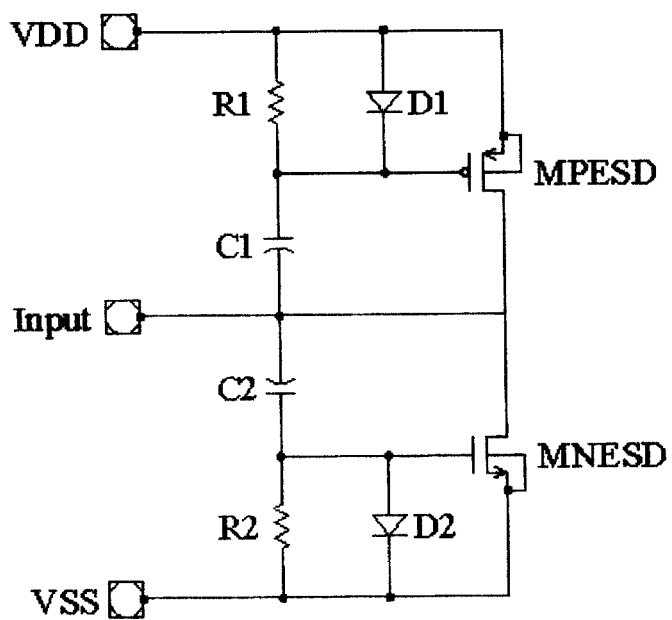


图 4

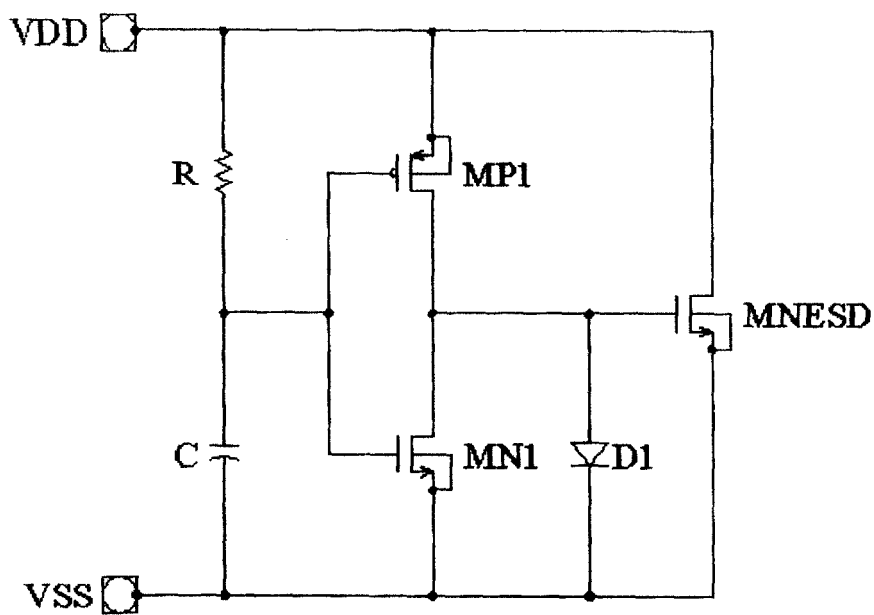


图 5

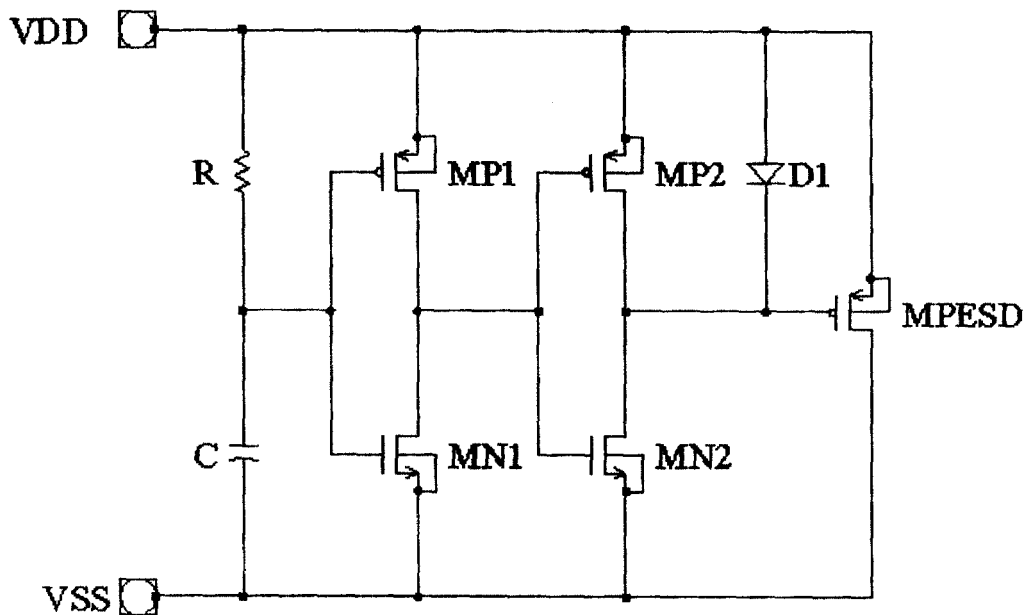


图 6

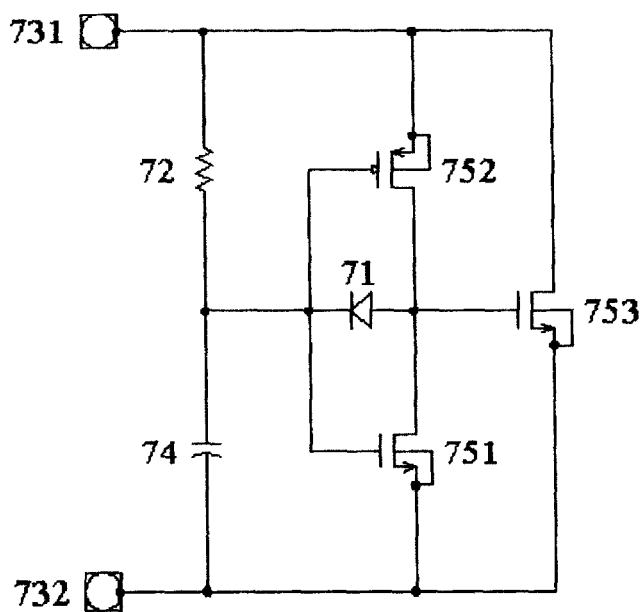


图 7A

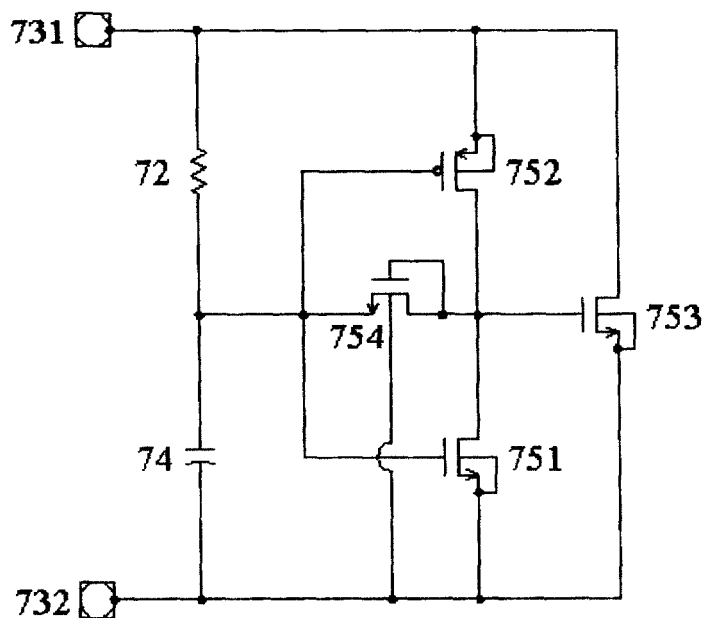


图 7B

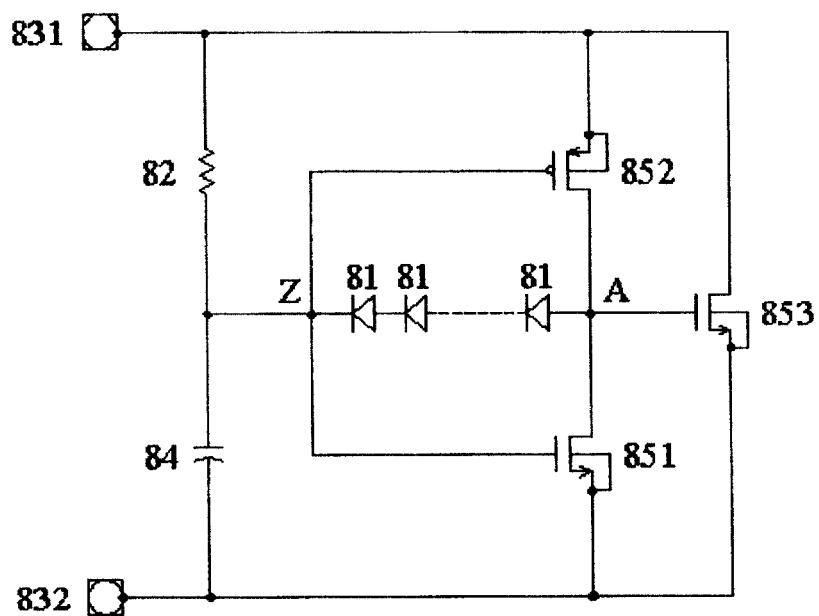


图 8A

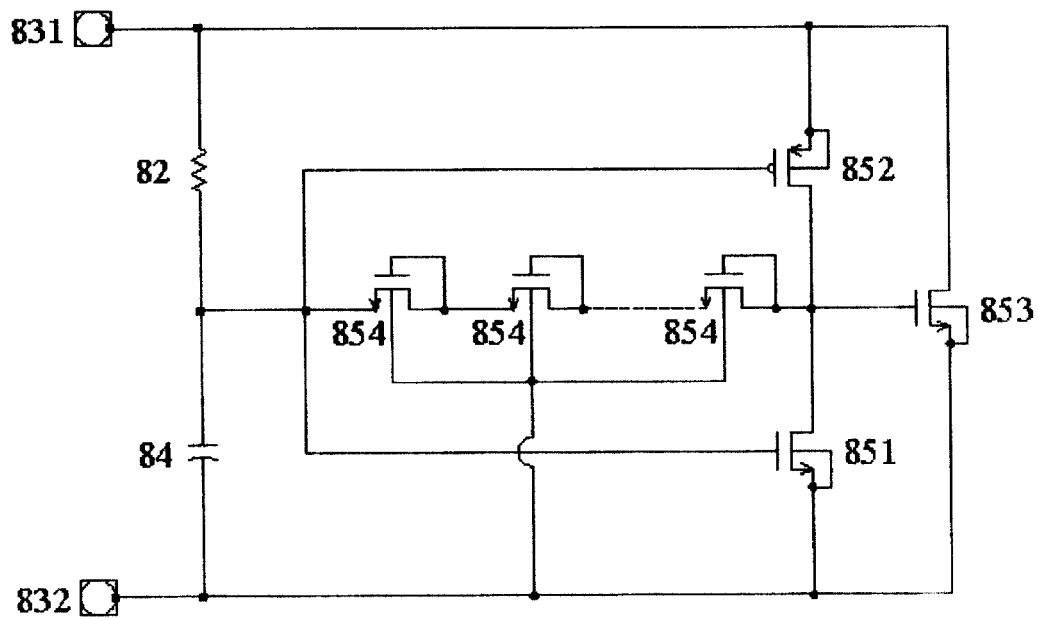


图 8B

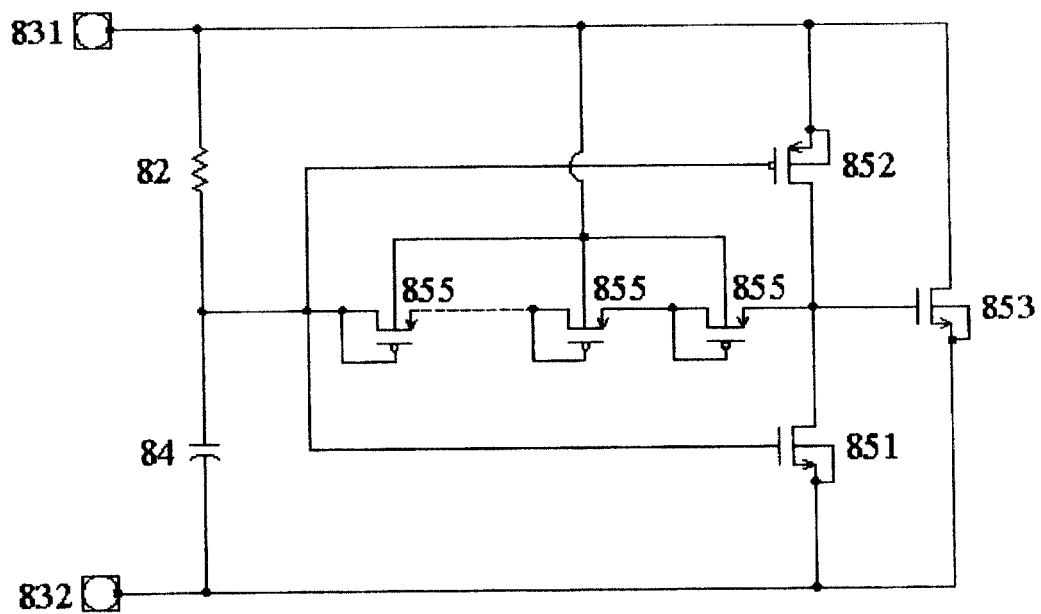


图 8C

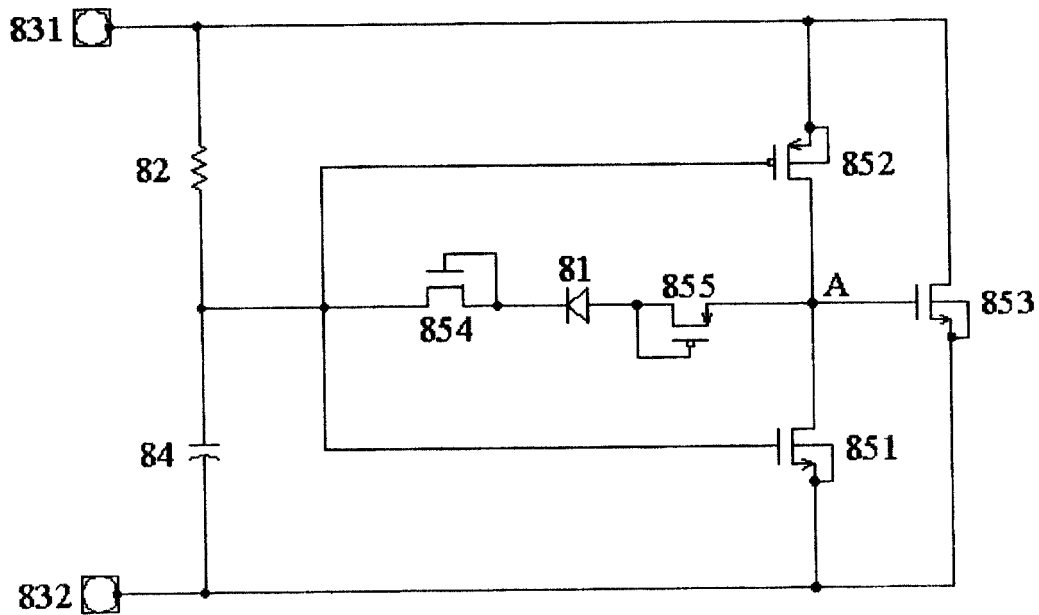


图 8D

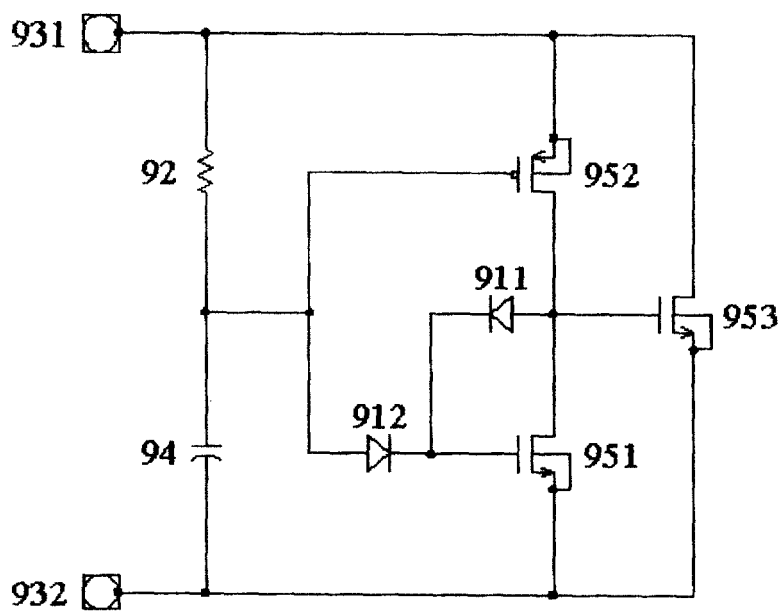


图 9A

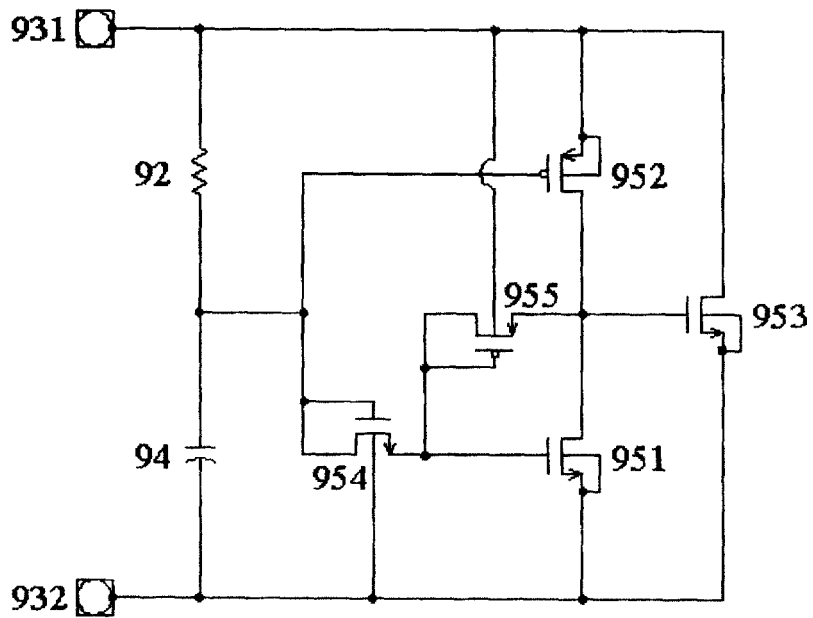


图 9B

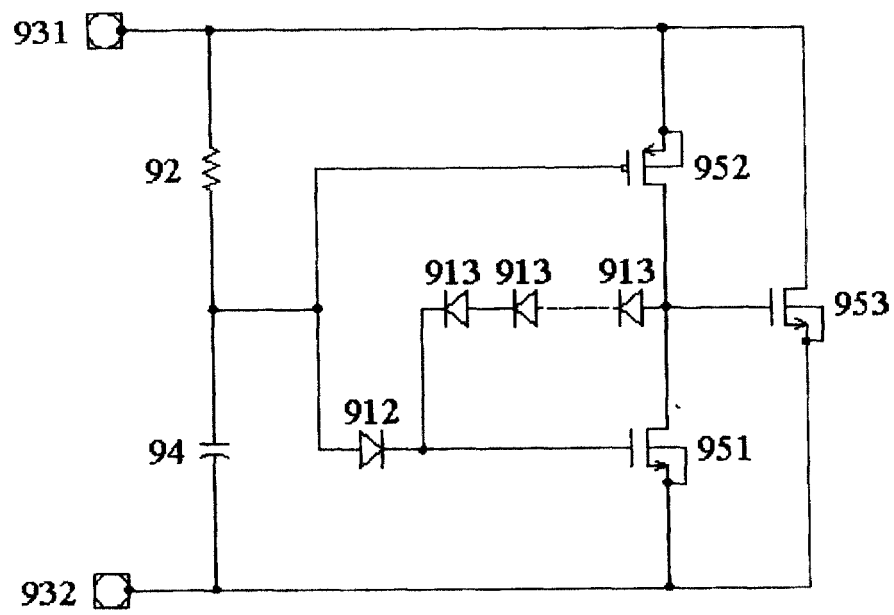


图 9C

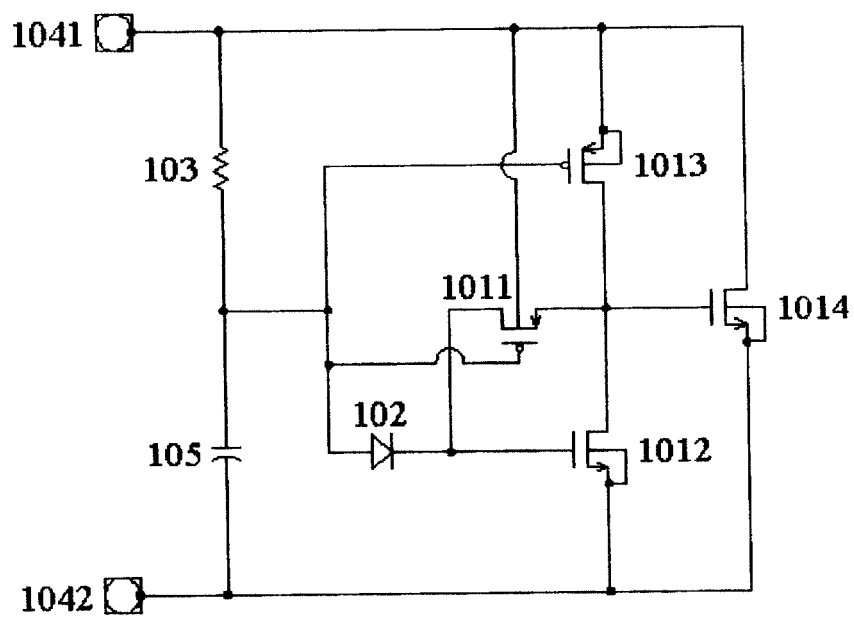


图 10A

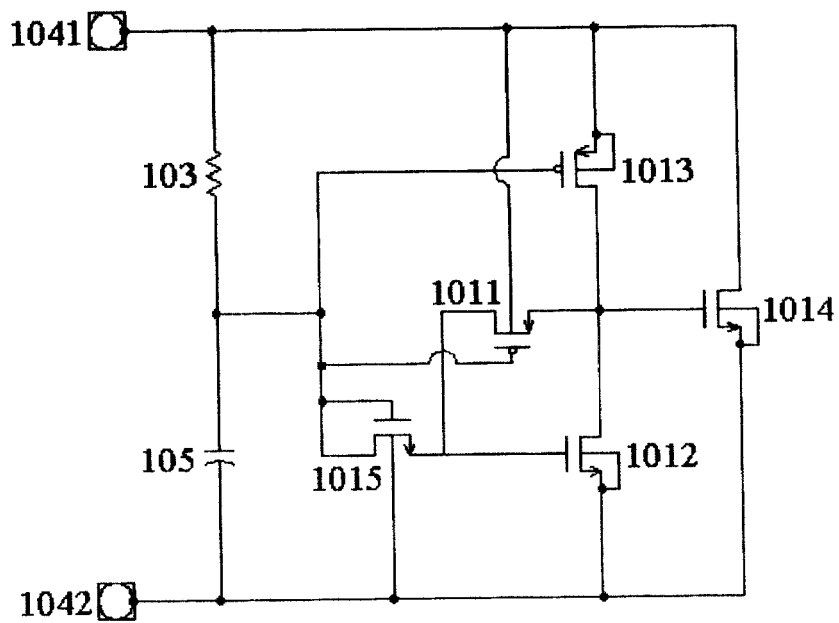


图 10B

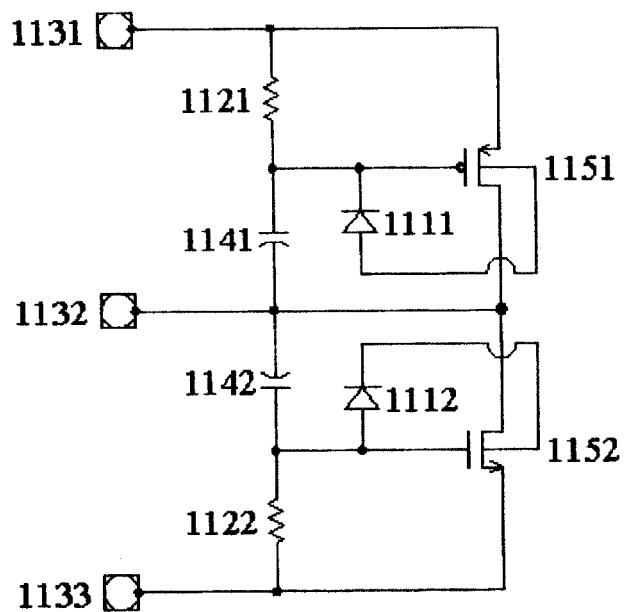


图 11A

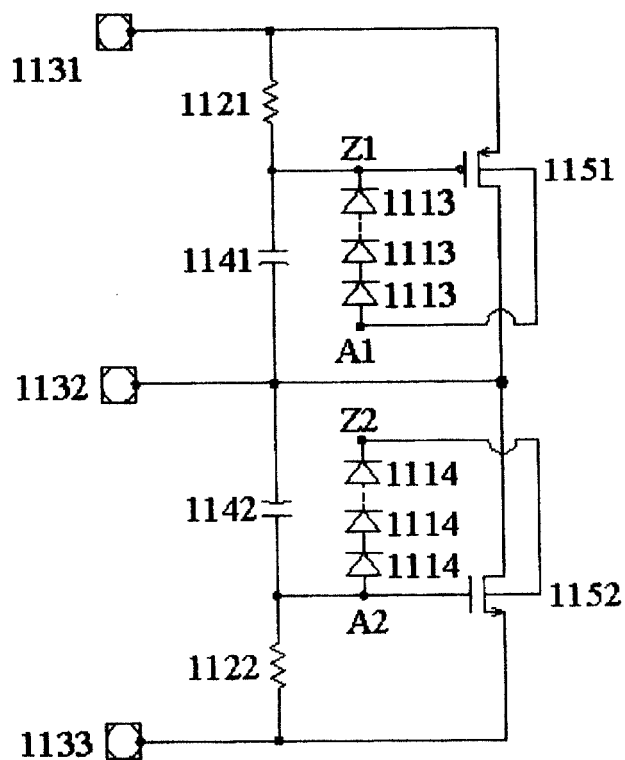


图 11B

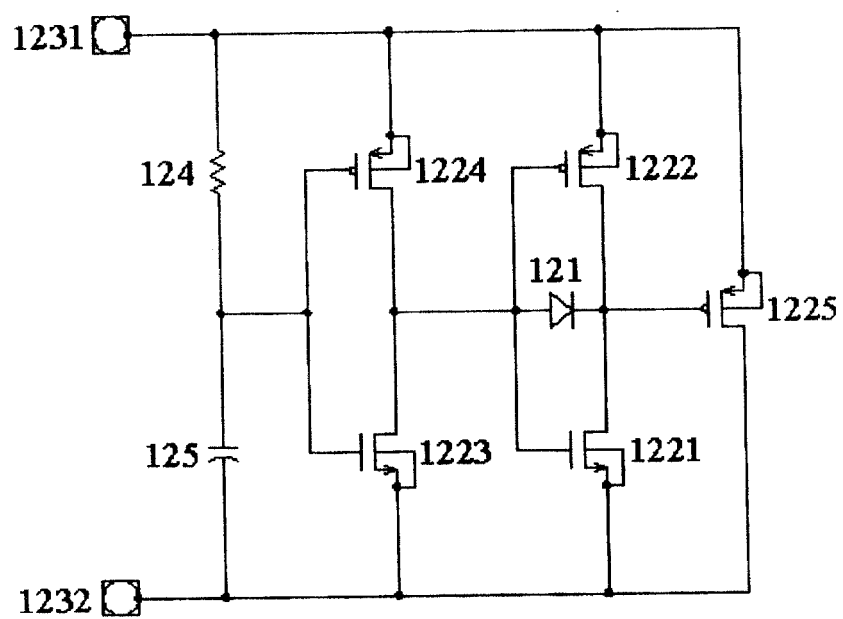


图 12A

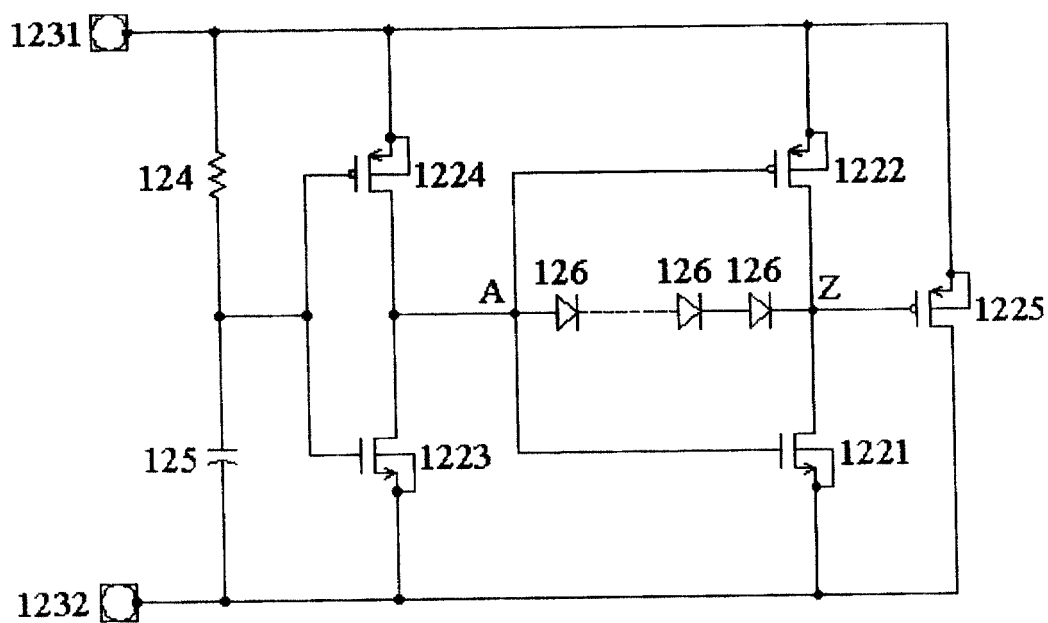


图 12B