

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G09G 5/00 (2006.01)

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610080354.7

[45] 授权公告日 2009 年 8 月 5 日

[11] 授权公告号 CN 100524449C

[22] 申请日 2006.5.11

[21] 申请号 200610080354.7

[73] 专利权人 联华电子股份有限公司

地址 中国台湾新竹科学工业园区

[72] 发明人 柯明道 吴建桦

[56] 参考文献

US2003/0190006A1 2003.10.9

US2003/0102928A1 2003.6.5

US6977975B1 2005.12.20

CN1591373A 2005.3.9

US6775345B1 2004.8.10

CN1540528A 2004.10.27

审查员 戈颖杰

[74] 专利代理机构 北京市柳沈律师事务所

代理人 王志森 黄小临

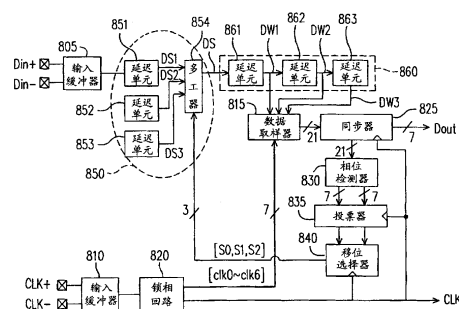
权利要求书 5 页 说明书 12 页 附图 12 页

[54] 发明名称

数据恢复装置与方法

[57] 摘要

一种数据恢复装置与方法，用以接收传送端所提供的至少一原始时钟与至少一原始数据串，以输出至少一恢复数据。其中，于原始时钟的周期 T 中，原始数据串与恢复数据各自包含 N 个步距， N 为大于 0 的整数。该数据恢复装置包括取样单元以及处理单元。取样单元包括锁相回路以及数据取样器，用于依据原始时钟取样原始数据串，其中于每一步距中以 $T/(4N)$ 时间周期取样原始数据串的对数据至少三次。处理单元包括同步器、相位检测器、投票器、数字低通滤波器以及相位选择器，用于接收并比较取样单元所输出的取样结果，并依据前述比较结果而将取样结果恢复为恢复数据。



1. 一种数据恢复装置，用以接收一传送端所提供的至少一原始时钟与至少一原始数据串，以输出至少一恢复数据，其中于该原始时钟的周期 T 中该原始数据串包含 N 个步距， N 为大于 0 的整数，则该数据恢复装置包括：

一取样单元，用以依据该原始时钟取样该原始数据串，其中于每一步距中以 $T/(4N)$ 时间周期取样该原始数据串的对应数据至少三次；以及

一处理单元，电连接到该取样单元，用以接收并比较该取样单元所输出的该多个取样结果，并依据前述比较结果而将该多个取样结果恢复为该恢复数据；其中，

该取样单元包括：

一锁相回路，用以依据该原始时钟至少产生 $4N$ 个不同相位的取样时钟；以及

一数据取样器，电连接到该锁相回路，用以依据前述 $4N$ 个不同相位的取样时钟而取样该原始数据串，并将该多个取样结果输出至该处理单元；

该处理单元包括：

一同步器，电连接到该取样单元，用以使该取样单元所输出的该多个取样结果同步化；

一相位检测器，电连接到该同步器，用以通过比较该同步器的输出而检知该原始数据串的周期 T 中每一步距落后或领先该原始时钟的时序，并输出于周期 T 中每一步距相对应的相位检测结果；

一投票器，电连接到该相位检测器，用以依据于目前周期 T 中每一步距相对应的相位检测结果而决定并输出周期相位检测结果；

一数字低通滤波器，电连接到该投票器，用以过滤噪声；以及

一相位选择器，电连接到该数字低通滤波器，用以经由该数字低通滤波器接收该周期相位检测结果，并据以选择该锁相回路所产生该多个取样时钟其中之一作为一内部时钟；

其中该同步器还依据该相位选择器的选择结果而从该取样单元所输出的该多个取样结果中选择 N 个数据，并依据该内部时钟的时序而将所选择 N 个数据输出作为该恢复数据。

2. 一种数据恢复装置, 用以接收一传送端所提供的至少一原始时钟与至少一原始数据串, 以输出至少一恢复数据, 其中于该原始时钟的周期 T 中该原始数据串包含 N 个步距, N 为大于 0 的整数, 则该数据恢复装置包括:

一取样单元, 用以依据该原始时钟取样该原始数据串, 其中于每一步距中以 $T/(4N)$ 时间周期取样该原始数据串的对应数据至少三次; 以及

一处理单元, 电连接到该取样单元, 用以接收并比较该取样单元所输出的该多个取样结果, 并依据前述比较结果而将该多个取样结果恢复为该恢复数据;

其中, 该取样单元包括:

一锁相回路, 用以依据该原始时钟至少产生一内部时钟与 N 个不同相位的取样时钟;

一延迟选择器, 用以接收该原始数据串用以依据一移位控制信号决定该原始数据串的延迟时间, 并输出择定延迟数据串;

一检测窗单元, 电连接到该延迟选择器, 用以接收并延迟该延迟选择器所输出的数据串, 以输出至少三个不同相位的数据串; 以及

一数据取样器, 电连接到该锁相回路与该检测窗单元, 用以依据该锁相回路输出的每一取样时钟而取样该检测窗单元输出的该多个数据串, 并将该多个取样结果输出至该处理单元;

其中该处理单元包括:

一同步器, 电连接到该取样单元, 用以使该取样单元所输出的该多个取样结果同步化;

一相位检测器, 电连接到该同步器, 用以通过比较该同步器的输出而检知该原始数据串的周期 T 中每一步距落后或领先该原始时钟的时序, 并输出于周期 T 中每一步距相对应的相位检测结果;

一投票器, 电连接到该相位检测器, 用以依据于目前周期 T 中每一步距相对应的相位检测结果而决定并输出周期相位检测结果; 以及

一移位选择器, 电连接到该投票器, 用以接收该周期相位检测结果, 并依据该周期相位检测结果产生该移位控制信号, 以控制该延迟选择器决定该原始数据串的延迟时间;

其中该同步器还依据该移位选择器的选择结果而从该取样单元所输出的该多个取样结果中选择N个数据，并依据该内部时钟的时序而将所选择N个数据输出作为该恢复数据。

3. 如权利要求2所述的数据恢复装置，其中该延迟选择器包括：

一第一延迟器，用以接收该原始数据串，并将该原始数据串延迟后输出第一延迟数据串；

一第二延迟器，电连接到该第一延迟器，用以接收该第一延迟数据串，并将该第一延迟数据串延迟后输出第二延迟数据串；

一第三延迟器，电连接到该第二延迟器，用以接收该第二延迟数据串，并将该第二延迟数据串延迟后输出第三延迟数据串；以及

一多工器，电连接到该第一延迟器、该第二延迟器与该第三延迟器，用以依据该移位控制信号选择该第一延迟数据串、该第二延迟数据串与该第三延迟数据串其中之一，并输出作为该择定延迟数据串。

4. 如权利要求2所述的数据恢复装置，其中该检测窗单元包括：

一第四延迟器，电连接到该延迟选择器，用以接收该延迟选择器所输出的择定延迟数据串，并将该择定延迟数据串延迟后输出第四延迟数据串；

一第五延迟器，电连接到该第四延迟器，用以接收该第四延迟数据串，并将该第四延迟数据串延迟后输出第五延迟数据串；以及

一第六延迟器，电连接到该第五延迟器，用以接收该第五延迟数据串，并将该第五延迟数据串延迟后输出第六延迟数据串；

其中该数据取样器依据该锁相回路输出的每一取样时钟而取样该第四延迟数据串、该第五延迟数据串与该第六延迟数据串，并将该多个取样结果输出至该处理单元。

5. 一种数据恢复方法，用以将一传送端所提供的至少一原始时钟与至少一原始数据串恢复为至少一恢复数据，其中于该原始时钟的周期T中该原始数据串包含N个步距，N为大于0的整数，则该数据恢复方法包括：

a. 于每一步距中，以 $T/(4N)$ 时间周期取样该原始数据串的对应数据至少三次；以及

b. 于每一步距中，比较前述取样结果，而将该多个取样结果恢复为该恢复数据；

其中，步骤a包括：

延迟该原始时钟以产生至少 $4N$ 个不同相位的取样时钟；以及
依据前述 $4N$ 个不同相位的取样时钟而取样该原始数据串；

其中，步骤 b 包括：

使步骤 a 的该多个取样结果同步化；

通过比较已同步化的该多个取样结果而检知该原始数据串的周期 T 中每一步距落后或领先该原始时钟的时序；

依据上述于目前周期 T 中每一步距相对应的相位检测结果而决定周期相位检测结果；

依据上述周期相位检测结果选择该多个取样时钟其中之一作为一内部时钟；

依据上述选择结果而从该多个取样结果中选择 N 个数据；以及

依据该内部时钟的时序而将上述所选择 N 个数据输出作为该恢复数据。

6. 一种数据恢复方法，用以将一传送端所提供的至少一原始时钟与至少一原始数据串恢复为至少一恢复数据，其中于该原始时钟的周期 T 中该原始数据串与该恢复数据各自包含 N 个步距， N 为大于 0 的整数，则该数据恢复方法包括：

a. 依据一移位控制信号改变该原始数据串的相位，以获得至少三个不同相位的数据串，且所述三个不同相位的数据串之间的相位差为 $T/(4N)$ 时间；

b. 依据该原始时钟至少产生 N 个不同相位的取样时钟；

c. 依据步骤 b 中 N 个取样时钟的时序，取样步骤 a 中所获得不同相位的三个数据串；以及

d. 比较步骤 c 中取样结果，而将该多个取样结果恢复为该恢复数据，其中该步骤 d 包括：

依据该原始时钟产生一内部时钟；

使步骤 c 的该多个取样结果同步化；

通过比较已同步化的该多个取样结果，而检知该原始数据串的周期 T 中，每一步距落后或领先该原始时钟的时序；

依据上述于目前周期 T 中每一步距相对应的相位检测结果而决定周期相位检测结果；

依据该周期相位检测结果产生该移位控制信号，以决定该原始数据串的延迟时间；

依据上述选择结果而从该多个取样结果中选择 N 个数据；以及
依据该内部时钟的时序而将上述所选择 N 个数据输出作为该恢复数据。

7. 如权利要求 6 所述的数据恢复方法，其中步骤 b 中不同相位的 N 个取样时钟之间的相位差为 T/N 时间。

8. 如权利要求 6 所述的数据恢复方法，其中步骤 a 包括：

依据该移位控制信号决定该原始数据串的延迟时间，并获得择定延迟数据串；以及

延迟该择定延迟数据串，以获得上述至少三个不同相位的数据串。

数据恢复装置与方法

技术领域

本发明有關於一種數據恢復裝置與方法，且特別是有關於一種三倍四分之一步距取樣(three quarter steps oversampling)的數據恢復裝置與方法。

背景技術

電子電路一直朝著高速化與小型化的方向而蓬勃發展。在高速的數據傳送速度下，如何正確地傳送數據成為一個值得研究的課題。以平面顯示器為例，隨著平面顯示器尺寸不斷地增加，顯示器所提供的色彩濃度與分辨率也不斷地提升。分辨率 SVGA (800×600 像素) 和 XGA (1024×768 像素) 已是平面顯示器最基本的要求。分辨率不斷地提升，同時也意味著數據傳輸量與數據傳送速度的提升。尤其以位於平面顯示系統里，直接連接顯示卡到液晶顯示時鐘控制器之間的數據傳送遇到的瓶頸最為明顯。

圖 1 說明典型平面顯示器中時序控制器與顯示卡之間的數據傳輸接口。請參照圖 1，傳送端（在此為顯示卡 110）通過低壓差動信號（low-voltage differential signaling，以下簡稱 LVDS）接口傳送 28 位寬的圖像信號給接收端（在此為平面顯示器中的時序控制器 140）。LVDS 接口包含 LVDS 傳送單元 120 與 LVDS 接收單元 130。LVDS 傳送單元 120 利用 4 個多工器 MUX 將顯示卡 110 所輸出的 28 位寬的圖像信號轉換成 4 位寬 7 位深的 LVDS 數據，並以差動信號的形式傳送给 LVDS 接收單元 130。在 LVDS 接口標準中，傳送端 120 還通過鎖相回路 PLL 額外地傳送一組時鐘信號給接收端。因此，接收端 130 的數據恢復電路 DRC 便可使用該時鐘而恢復其他數據，並且將這些數據從 4 位寬轉換成 28 位寬。圖 2A～圖 2C 是說明三倍取樣（three times oversampling）的操作時序。傳統時鐘與數據恢復電路（clock and data recovery circuit）大多使用三倍取樣結構來恢復輸入信號，以防止因時鐘與數據之間偏移（skew）所造成的錯誤，進而正確地恢復所輸入的數據。

圖 3 說明圖 1 的接收端 130 中，時鐘與數據恢復電路的傳統結構。請同時參照圖 3 與圖 2A，該時鐘與數據恢復電路包含輸入緩衝器 205 和 210、數

据取样器 215、锁相回路 220、同步器 225、相位检测器 230、投票器 235、数字低通滤波器 240 与相位选择器 245。首先，输入缓冲器 205、210 分别将 LVDS 类型的输入数据串 Din+、Din-与输入时钟 CLKin+、CLKin-转换为全幅信号 (full swing signal) 以传送给数据取样器 215 与锁相回路 220。锁相回路 220 锁住该全幅类型的输入时钟，并提供 21 个不同相位的取样时钟给数据取样器 215。由于使用了这 21 个不同相位的取样时钟，数据取样器 215 即会在位数据 d0-d6 中的每一个步距取样三次而形成 21 位宽的数据串。然后，同步器 225 将数据取样器 215 所输出的取样数据同步化。

通过比较每一个步距 (例如如图 2A 中的 d0) 的三次取样数据，相位检测器 230 可以检测出该输入数据串是否领先或落后输入时钟。依照对位数据 d0-d6 的检测结果，相位检测器 230 对应地输出 7 组信号对 (每一信号对包含“上”位与“下”位)。例如，当取样时钟相位落后输入数据串 (data stream) 时，如图 2B 所示，相位检测器 230 检测出输入数据串每一个步距 (例如 d0) 中第三取样结果不同于第一与第二取样结果，则相位检测器 230 于对应的信号对中输出“上”信号给投票器 235。反之，当取样时钟相位领先输入数据串时，如图 2C 所示，相位检测器 230 检测出输入数据串的每一个步距 (例如 d0) 中第一取样结果不同于第二与第三取样结果，则相位检测器 230 于对应的信号对中输出“下”信号给投票器 235。

投票器 235 相位检测器 230 依据所输出 7 组信号对的“上”信号与“下”信号的数量而输出真实“上”、“下”信号给相位选择器 245。例如，在一个时钟周期中，若投票器 235 接收的 7 组信号对中有一个“上”信号与三个“下”信号，则投票器 235 输出真实“下”信号给相位选择器 245。

为了防止剧跳 (jitter) 效应影响检测结果，因此利用数字低通滤波器 240 过滤噪声。相位选择器 245 通过数字低通滤波器 240 接收投票器 235 所输出的真实“上”、“下”信号。若相位选择器 245 接收到投票器 235 所输出的真实“上”信号，则相当于相位选择器 245 接受到“输入数据串 Din 领先输入时钟 CLKin”的检测结果 (如图 2B 所示)，因此相位选择器 245 将在下一个时钟周期将 21 个取样相位向上 (即图中向左) 移位一个相位 (如图 2A 所示)。反之，若相位选择器 245 接收到投票器 235 所输出的真实“下”信号，则相当于相位选择器 245 接受到“输入数据串 Din 落后输入时钟 CLKin”的检测结果 (如图 2C 所示)，因此相位选择器 245 将在下一个时钟周期将

21 个取样相位向下（即图中向右）移位一个相位（如图 2A 所示）。最后，同步器 225 则依据相位选择器 245 的选择结果而将所接收的取样数据恢复为 7 位宽的恢复数据 Dout。

在公知技术中，当输入数据的偏移量接近二分之一步距时，三倍取样结构将无法分辨出偏移量是领先还是落后取样时钟，因此可能造成恢复数据的出错。另外，传统的相位选择结构搭配三倍取样结构，在平面显示系统低电压差动信号接收器的应用中，需要使用 21 个不同相位的取样时钟，如此一来将增加电路布局的复杂度，连带造成布局面积的膨胀。

发明内容

本发明的目的是提供一种数据恢复装置与方法，以三倍四分之一步距取样，以提升对眼图的容忍度。

本发明的再一目的就是提供一种数据恢复装置与方法，以大幅减低布局的复杂度，同时缩小整个布局面积达到降低成本的目的。另外，由于使用延迟选择结构取代相位选择结构，因此整个电路大幅减少所需要使用到的取样时钟的相位数量。

基于上述目的，本发明提出一种数据恢复装置，用以接收传送端所提供的至少一原始时钟与至少一原始数据串，以输出至少一恢复数据。其中，于原始时钟的周期 T 中，原始数据串包含 N 个步距， N 为大于 0 的整数。该数据恢复装置包括取样单元以及处理单元。取样单元依据原始时钟取样原始数据串，其中于每一步距中以 $T/(4N)$ 时间周期取样原始数据串的对应数据至少三次。处理单元接收并比较取样单元所输出的取样结果，并依据前述比较结果而将取样结果恢复为恢复数据。其中，取样单元包括：一锁相回路，用以依据原始时钟至少产生 $4N$ 个不同相位的取样时钟；以及一数据取样器，电连接到锁相回路，用以依据前述 $4N$ 个不同相位的取样时钟而取样原始数据串，并将多个取样结果输出至处理单元。处理单元包括：一同步器，电连接到取样单元，用以使取样单元所输出的多个取样结果同步化；一相位检测器，电连接到同步器，用以通过比较同步器的输出而检知原始数据串的周期 T 中每一步距落后或领先原始时钟的时序，并输出于周期 T 中每一步距相对应的相位检测结果；一投票器，电连接到相位检测器，用以依据于目前周期 T 中每一步距相对应的相位检测结果而决定并输出周期相位检测结果；一数字低通

滤波器，电连接到投票器，用以过滤噪声；以及，一相位选择器，电连接到数字低通滤波器，用以经由数字低通滤波器接收周期相位检测结果，并据以选择锁相回路所产生多个取样时钟其中之一作为一内部时钟。其中同步器还依据相位选择器的选择结果而从取样单元所输出的多个取样结果中选择 N 个数据，并依据内部时钟的时序而将所选择 N 个数据输出作为恢复数据。

基于上述目的，本发明还提出一种数据恢复装置，用以接收一传送端所提供的至少一原始时钟与至少一原始数据串，以输出至少一恢复数据，其中于原始时钟的周期 T 中原始数据串包含 N 个步距， N 为大于 0 的整数，则数据恢复装置包括：一取样单元，用以依据原始时钟取样原始数据串，其中于每一步距中以 $T/(4N)$ 时间周期取样原始数据串的对应数据至少三次；以及，一处理单元，电连接到取样单元，用以接收并比较取样单元所输出的多个取样结果，并依据前述比较结果而将多个取样结果恢复为恢复数据。其中，取样单元包括：一锁相回路，用以依据原始时钟至少产生一内部时钟与 N 个不同相位的取样时钟；一延迟选择器，用以接收原始数据串用以依据一移位控制信号决定原始数据串的延迟时间，并输出择定延迟数据串；一检测窗单元，电连接到延迟选择器，用以接收并延迟延迟选择器所输出的数据串，以输出至少三个不同相位的数据串；以及，一数据取样器，电连接到锁相回路与检测窗单元，用以依据锁相回路输出的每一取样时钟而取样检测窗单元输出的多个数据串，并将多个取样结果输出至处理单元。处理单元包括：一同步器，电连接到取样单元，用以使取样单元所输出的多个取样结果同步化；一相位检测器，电连接到同步器，用以通过比较同步器的输出而检知原始数据串的周期 T 中每一步距落后或领先原始时钟的时序，并输出于周期 T 中每一步距相对应的相位检测结果；一投票器，电连接到相位检测器，用以依据于目前周期 T 中每一步距相对应的相位检测结果而决定并输出周期相位检测结果；以及，一移位选择器，电连接到投票器，用以接收周期相位检测结果，并依据周期相位检测结果产生移位控制信号，以控制延迟选择器决定原始数据串的延迟时间。其中同步器还依据移位选择器的选择结果而从取样单元所输出的多个取样结果中选择 N 个数据，并依据内部时钟的时序而将所选择 N 个数据输出作为恢复数据。

从另一观点来看，本发明提出一种数据恢复方法，用以将传送端所提供的至少一原始时钟与至少一原始数据串恢复为至少一恢复数据。其中，于原

始时钟的周期 T 中原始数据串包含 N 个步距, N 为大于 0 的整数。数据恢复方法包括: a. 于每一步距中, 以 $T/(4N)$ 时间周期取样原始数据串的对应数据至少三次; 以及 b. 于每一步距中, 比较前述取样结果, 而将取样结果恢复为恢复数据。其中, 步骤 a 包括: 延迟原始时钟以产生至少 $4N$ 个不同相位的取样时钟; 以及依据前述 $4N$ 个不同相位的取样时钟而取样原始数据串; 其中, 步骤 b 包括: 使步骤 a 的多个取样结果同步化; 通过比较已同步化的多个取样结果而检知原始数据串的周期 T 中每一步距落后或领先原始时钟的时序; 依据上述于目前周期 T 中每一步距相对应的相位检测结果而决定周期相位检测结果; 依据上述周期相位检测结果选择多个取样时钟其中之一作为一内部时钟; 依据上述选择结果而从多个取样结果中选择 N 个数据; 以及依据内部时钟的时序而将上述所选择 N 个数据输出作为恢复数据。

根据上述目的, 本发明提出一种数据恢复方法, 用以将一传送端所提供的至少一原始时钟与至少一原始数据串恢复为至少一恢复数据, 其中于原始时钟的周期 T 中原始数据串与恢复数据各自包含 N 个步距, N 为大于 0 的整数, 则数据恢复方法包括: a. 依据一移位控制信号改变原始数据串的相位, 以获得至少三个不同相位的数据串, 且所述三个不同相位的数据串之间的相位差为 $T/(4N)$ 时间; b. 依据原始时钟至少产生 N 个不同相位的取样时钟; c. 依据步骤 b 中 N 个取样时钟的时序, 取样步骤 a 中所获得不同相位的三个数据串; 以及 d. 比较步骤 c 中取样结果, 而将多个取样结果恢复为恢复数据, 其中步骤 d 包括: 依据原始时钟产生一内部时钟; 使步骤 c 的多个取样结果同步化; 通过比较已同步化的多个取样结果, 而检知原始数据串的周期 T 中, 每一步距落后或领先原始时钟的时序; 依据上述于目前周期 T 中每一步距相对应的相位检测结果而决定周期相位检测结果; 依据周期相位检测结果产生移位控制信号, 以决定原始数据串的延迟时间; 依据上述选择结果而从多个取样结果中选择 N 个数据; 以及依据内部时钟的时序而将上述所选择 N 个数据输出作为恢复数据。

本发明因为使用延迟选择 (delay selecting) 结构取代公知相位选择结构 (phase selecting), 因此整个电路中只需要使用到少数个不同相位的取

样时钟，大幅减低布局的复杂度，同时缩小整个布局面积达到降低成本的目的。另外，由于以三倍四分之一步距取样（Three quarter steps oversampling）输入数据，因此更可以提升接收器对输入信号眼图（eye diagram）的忍受度。

为了让本发明的上述和其他目的、特征和优点能更明显易懂，下文特举较佳实施例，并配合附图，详细说明如下。

附图说明

图 1 说明典型平面显示器中时序控制器与显示卡之间的数据传输接口。

图 2A~图 2C 是说明三倍取样（three times oversampling）的操作时序。

图 3 说明图 1 的接收端中，时钟与数据恢复电路的传统结构。

图 4 说明图 3 中锁相回路的电路图。

图 5 是依照本发明实施例说明采用三倍四分之一步距取样的一种数据恢复电路。

图 6A - 6C 是依照本发明实施例说明采用三倍四分之一步距取样的时序图。

图 6D 是依照本发明实施例说明三倍取样与三倍四分之一步距取样二者对输入信号眼图（eye diagram）的忍受度。

图 7 是依照本发明实施例说明图 5 锁相回路的电路图。

图 8 是依照本发明另一实施例说明采用三倍四分之一步距取样的一种时钟与数据恢复电路。

图 9 是依照本发明实施例说明采用三倍四分之一步距取样的时序图。

图 10A~10C 是依照本发明实施例说明数据取样器取样检测窗单元所输出不同相位数据串的时序图。

图 11 是依照本发明实施例说明图 8 相关信号的操作过程。

主要元件符号说明

110: 显示卡

120: 传送单元/传送端

130: 接收单元/接收端

140: 时序控制器

205、210、505、510、805、810: 输入缓冲器
215、515、815: 数据取样器
220、520、820: 锁相回路
225、525、825: 同步器
230、530、830: 相位检测器
235、535、835: 投票器
240、540: 数字低通滤波器
245、545: 相位选择器
410、710: 相频检测器
420、720: 电荷泵
430、730: 偏压发生器
440、740: 压控振荡器
840: 移位选择器
850: 延迟选择器
851: 第一延迟器
852: 第二延迟器
853: 第三延迟器
854: 多工器
860: 检测窗单元
861: 第四延迟器
862: 第五延迟器
863: 第六延迟器

具体实施方式

电子电路在高速的数据传送速度下, 如何正确地传送数据成为一个值得研究的课题。以平面显示器为例, 随着平面显示器尺寸不断地增加, 显示器所提供的色彩浓度与分辨率也不断地提升。分辨率 SVGA (800×600 像素) 和 XGA (1024×768 像素) 已是平面显示器最基本的要求。分辨率不断地提升, 同时也意味着数据传输量与数据传送速度的提升。尤其以位于平面显示系统里, 直接连接显示卡到液晶显示时钟控制器之间的数据传送 (例如图 1 所示) 遇到的瓶颈最为明显。当分辨率达到 SXGA (1280×1024 像素) 和 UXGA

(1600×1200 像素)，数据传送量以高达 784 Mbps 与 1155 Mbps。在如此高速的数据传送速度下，如何正确地传送数据成为一个重要的课题。

为方便与前述公知技术比较，在此依然以低压差动信号 (low-voltage differential signaling, 以下简称 LVDS) 接口作为本发明的实施例，然而本发明不应以此为限。图 4 说明图 3 中锁相回路 220 的电路图。一般的锁相回路 220 包括相频检测器 (phase frequency detector, PFD) 410、电荷泵 (charge pump) 420、偏压发生器 430 与压控振荡器 440。在此是以一般常见的锁相回路结构来实施锁相回路 220，因此其中操作不在此赘述。在锁相回路 220 中，压控振荡器 440 是由 21 个压控振荡单元相互串接而组成，以便在一个时钟周期中由这些压控振荡单元提供 21 个不同相位的取样时钟给数据取样器 215。然而，大量的压控振荡单元将会占用大量的电路面积。

本实施例将采用三倍四分之一步距取样 (three quarter steps oversampling) 结构，因此对于 LVDS 接口标准而言，需要 28 个不同相位的取样时钟给数据取样器。图 5 是依照本发明实施例说明采用三倍四分之一步距取样的一种时钟与数据恢复电路 (clock and data recovery circuit)。图 6A - 6C 是依照本发明实施例说明采用三倍四分之一步距取样的时序图。请同时参照图 5 与图 6A，该数据恢复电路接收传送端 (未绘示) 所提供的至少一原始时钟 CLK_{in} (包括 CLK_{in+} 与 CLK_{in-}) 与至少一原始数据串 Din (包括 Din₊ 与 Din₋)，以输出至少一恢复数据 Dout。其中，于原始时钟 CLK_{in} 的周期 T 中，原始数据串 Din 包含 N 个步距 (N 为大于 0 的整数，于本实施例中 N=7)。该数据恢复装置包括取样单元以及处理单元。取样单元包括输入缓冲器 505 和 510、数据取样器 515、锁相回路 520 等，用以依据原始时钟 CLK_{in} 取样原始数据串 Din，其中于每一步距中以 T/(4N) 时间周期取样原始数据串 Din 的对应数据 (例如图 6A 中的 d₀) 至少三次。于本实施例中，上述处理单元包括同步器 525、相位检测器 530、投票器 535、数字低通滤波器 540 与相位选择器 545，用以接收并比较前述取样单元所输出的取样结果，并依据前述比较的结果而将取样结果恢复为恢复数据 Dout。

除了数据取样器 515、锁相回路 520、同步器 525，本实施例中图 5 所示的时钟与数据恢复电路可以相似于图 3，故相同部分将不再赘述。锁相回路 520 锁住输入时钟 CLK_{in}，并在一个时钟周期中提供 28 个不同相位的取样时钟给数据取样器 515。由于使用了这 28 个不同相位的取样时钟，数据取样器

515 即会在位数据 d0-d6 中的每一个步距取样四次而形成 28 位宽的数据串并输出给同步器 525。然后，同步器 525 将数据取样器 515 所输出的取样数据同步化。同步器 525 从每一个步距（例如位数据 d0）所取样的四批数据中选择其中三批输出给相位检测器 530。

图 6D 是依照本发明实施例说明三倍取样（three times oversampling）与三倍四分之一步距取样二者对输入信号眼图（eye diagram）的忍受度。由于本实施例以三倍四分之一步距取样输入数据，因此更可以提升接收器对输入信号眼图的忍受度，进而正确地恢复所输入的数据。

通过比较每一个步距（例如图 6A 中的 d0）的三批取样数据，相位检测器 530 可以检测出该输入数据串 Din 是否领先或落后输入时钟 CLKin。于周期 T 中，相位检测器 530 输出相对于每一步距（即位数据 d0-d6）的相位检测结果（在此为 7 组信号对，每一信号对包含“上”位与“下”位）。例如，当取样时钟相位落后输入数据串 Din 时，如图 6B 所示，相位检测器 530 检测出输入数据串 Din 每一个步距（例如 d0）中第三取样结果不同于第一与第二取样结果，则相位检测器 530 于对应的信号对中输出“上”信号给投票器 535。反之，当取样时钟相位领先输入数据串 Din 时，如图 6C 所示，相位检测器 530 检测出输入数据串 Din 的每一个步距（例如 d0）中第一取样结果不同于第二与第三取样结果，则相位检测器 530 于对应的信号对中输出“下”信号给投票器 535。

投票器 535 依据于目前周期 T 中每一步距相对应的相位检测结果而决定并输出周期相位检测结果。数字低通滤波器 540 过滤噪声。相位选择器 545 经由数字低通滤波器 540 接收投票器 535 所输出的周期相位检测结果，并据以选择锁相回路 520 所产生取样时钟其中之一作为内部时钟 CLK。其中同步器 525 还依据相位选择器 545 的选择结果，而从取样单元所输出的取样结果中选择 7 个数据，并依据内部时钟 CLK 的时序而将所选择 7 个数据平行输出作为 7 位宽的恢复数据 Dout。

图 7 是依照本发明实施例说明图 5 锁相回路 520 的电路图。请同时参照图 5 与图 7，锁相回路 520 包括相频检测器 710、电荷泵 720、偏压发生器 730 与压控振荡器 740。在此是以一般常见的锁相回路结构来实施锁相回路 520，因此其中操作不在此赘述。在锁相回路 520 中，压控振荡器 740 只由 14 个压控振荡单元相互串接而组成。由于每个压控振荡单元均具有差动信号接口，

因此这 14 个压控振荡单元可以在一个时钟周期中提供 28 个不同相位的取样时钟给数据取样器 515。

与图 4 的公知锁相回路 220 相比较, 锁相回路 220 必须以 21 个压控振荡单元组成压控振荡器 440; 本实施例中压控振荡器 740 只需要 14 个压控振荡单元。因此, 本实施例可以减少锁相回路所占的电路面积。再者, 由于本实施例中以三倍四分之一步距取样输入数据, 因此更可以提升接收器对输入信号眼图的忍受度。

为方便与前述公知技术比较, 以下依然以 LVDS 接口作为本发明的实施例。图 8 是依照本发明另一实施例说明采用三倍四分之一步距取样的一种时钟与数据恢复电路。图 9 是依照本发明实施例说明采用三倍四分之一步距取样的时序图。请同时参照图 8 与图 9, 该数据恢复电路接收传送端 (未绘示) 所提供的至少一原始时钟 CLKin (包含 CLKin+与 CLKin-) 与至少一原始数据串 Din (包含 Din+与 Din-), 以输出至少一恢复数据 Dout。其中, 于原始时钟 CLKin 的周期 T 中, 原始数据串 Din 包含 N 个步距 (N 为大于 0 的整数, 在此 N=7)。该数据恢复装置包括取样单元以及处理单元。取样单元包括输入缓冲器 805 和 810、延迟选择器 850、检测窗单元 860、数据取样器 815、锁相回路 820 等, 用以依据原始时钟 CLKin 取样原始数据串 Din, 其中于每一步距中以 $T/(4N)$ 时间周期取样原始数据串 Din 的对应数据至少三次。处理单元包括同步器 825、相位检测器 830、投票器 835 与移位选择器 840, 用以接收并比较前述取样单元所输出的取样结果, 并依据前述比较的结果而将取样结果恢复为恢复数据 Dout。

输入缓冲器 805、810 分别将 LVDS 类型的输入数据串 Din+、Din- 与输入时钟 CLKin+、CLKin- 转换为全幅信号 (full swing signal) 以传送给延迟选择器 850 与锁相回路 820。锁相回路 820 锁住该全幅类型的输入时钟, 并提供 7 个不同相位的取样时钟 clk0-clk6 给数据取样器 815。另外, 锁相回路 820 还产生内部时钟 CLK 以触发同步器 825、投票器 835 与移位选择器 840。

延迟选择器 850 接收原始数据串 Din, 用以依据移位选择器 840 所输出的移位控制信号 S0、S1、S2 而决定原始数据串 Din 的延迟时间, 并输出择定延迟数据串 DS。于本实施例中, 延迟选择器 840 包括第一延迟器 851、第二延迟器 852、第三延迟器 853 以及多工器 854。第一延迟器 851 经由输入缓冲器 805 接收原始数据串 Din, 并将原始数据串 Din 延迟后输出第一延迟数据

串 DS1。第二延迟器 852 接收第一延迟器 851 输出的第一延迟数据串 DS1，并将第一延迟数据串 DS1 延迟后（在此设定延迟时间为 t_{delay} ）输出第二延迟数据串 DS2。第三延迟器 853 接收第二延迟器 852 输出的第二延迟数据串 DS2，并将该第二延迟数据串 DS2 延迟后输出第三延迟数据串 DS3。多工器 854 依据移位控制信号 S0、S1、S2 选择第一延迟数据串 DS1、第二延迟数据串 DS2 与第三延迟数据串 DS3 其中之一，并输出作为择定延迟数据串 DS。例如，当移位控制信号 S0=1 时，多工器 854 选择将第一延迟器 851 的第一延迟数据串 DS1 输出作为择定延迟数据串 DS；若移位控制信号 S2=1，则多工器 854 选择将第三延迟器 853 的第三延迟数据串 DS3 输出作为择定延迟数据串 DS。

图 10A~10C 是依照本发明实施例说明数据取样器 815 取样检测窗单元 860 所输出不同相位数据串的时序图。请同时参照图 8 与图 10A，检测窗单元 860 电连接到延迟选择器 850。检测窗单元 860 接收并延迟延迟选择器 850 所输出的数据串，而输出至少三个不同相位的数据串（例如图 8 中数据串 DW1、DW2 与 DW3）。于本实施例中，检测窗单元 860 包括第四延迟器 861、第五延迟器 862 以及第六延迟器 863。第四延迟器 861 电连接到延迟选择器 850。第四延迟器 861 接收延迟选择器 850 所输出的择定延迟数据串 DS，并将择定延迟数据串 DS 延迟后输出第四延迟数据串 DW1。第五延迟器 862 接收第四延迟器 861 输出的第四延迟数据串 DW1，并将第四延迟数据串 DW1 延迟后输出第五延迟数据串 DW2。第六延迟器 863 接收第五延迟器 862 输出的第五延迟数据串 DW2，并将第五延迟数据串 DW2 延迟后输出第六延迟数据串 DW3。在此，延迟数据串 DW1、DW2 与 DW3 之间的延迟时间设定为 $T/(4N)$ ，对于 LVDS 接口而言，延迟时间即为 $T/28$ 。数据取样器 815 依据锁相回路 820 输出的取样时钟 clk0-clk6 而取样第四延迟数据串 DW1、第五延迟数据串 DW2 与第六延迟数据串 DW3，并将取样结果输出至处理单元。

于处理单元中，同步器 825 将使取样单元的数据取样器 815 所输出的 21 个取样结果同步化。相位检测器 830 通过比较同步器 825 的输出而检知原始数据串 Din 的周期 T 中每一步距落后或领先原始时钟 CLKin 的时序，并输出于周期 T 中每一步距相对应的相位检测结果。通过比较择定延迟数据串 DS 中每一个步距（例如图 10A 中的 d0）的三批取样数据，相位检测器 830 可以检测出输入数据串 Din 是否领先或落后输入时钟 CLKin。于周期 T 中，相位检测器 830 输出相对于每一步距（即位数据 d0-d6）的相位检测结果（在此为 7

组信号对，每一信号对包含“上”位与“下”位）。投票器 835 依据于目前周期 T 中每一步距相对应的相位检测结果，而决定并输出周期相位检测结果。移位选择器 840 接收投票器 835 输出的周期相位检测结果，并依据周期相位检测结果产生移位控制信号 S0、S1 与 S2，以控制延迟选择器 850 决定原始数据串 Din 的延迟时间。

例如，当取样时钟（例如 clk0）相位落后输入数据串 Din（例如位数据 d0）时，如图 10B 所示，相位检测器 830 检测出输入数据串 Din 每一个步距（例如 d0）中第三取样结果（即延迟数据串 DW1 的取样结果）不同于第一与第二取样结果（即延迟数据串 DW3 与 DW2 的取样结果），则相位检测器 830 于对应的信号对中输出“上”信号给投票器 835。反之，当取样时钟（例如 clk0）相位领先输入数据串 Din（例如位数据 d0）时，如图 6C 所示，相位检测器 830 检测出输入数据串 Din 的每一个步距（例如 d0）中第一取样结果（即延迟数据串 DW3 的取样结果）不同于第二与第三取样结果（即延迟数据串 DW2 与 DW1 的取样结果），则相位检测器 830 于对应的信号对中输出“下”信号给投票器 835。上述相关信号的操作过程可以参照图 11。

其中，同步器 825 还依据移位选择器 840 的选择结果，而从取样单元的数据取样器 815 所输出的取样结果中选择 7 个数据，并依据内部时钟 CLK 的时序而将所选择 7 个数据平行输出，以作为 7 位宽的恢复数据 Dout。

综上所述，本发明因为使用延迟选择（delay selecting）结构取代公知相位选择结构（phase selecting），因此整个电路中只需要使用到少数个不同相位的取样时钟，大幅减低布局的复杂度，同时缩小整个布局面积，达到降低成本的目的。另外，由于以三倍四分之一步距取样（Three quarter steps oversampling）输入数据，因此更可以提升接收器对输入信号眼图（eye diagram）的忍受度。

本发明虽以优选实施例公开如上，然其并非用以限定本发明，任何本领域技术人员，在不脱离本发明的精神和范围的情况下，可进行更动与修改，因此本发明的保护范围以所提出的权利要求所限定的范围为准。

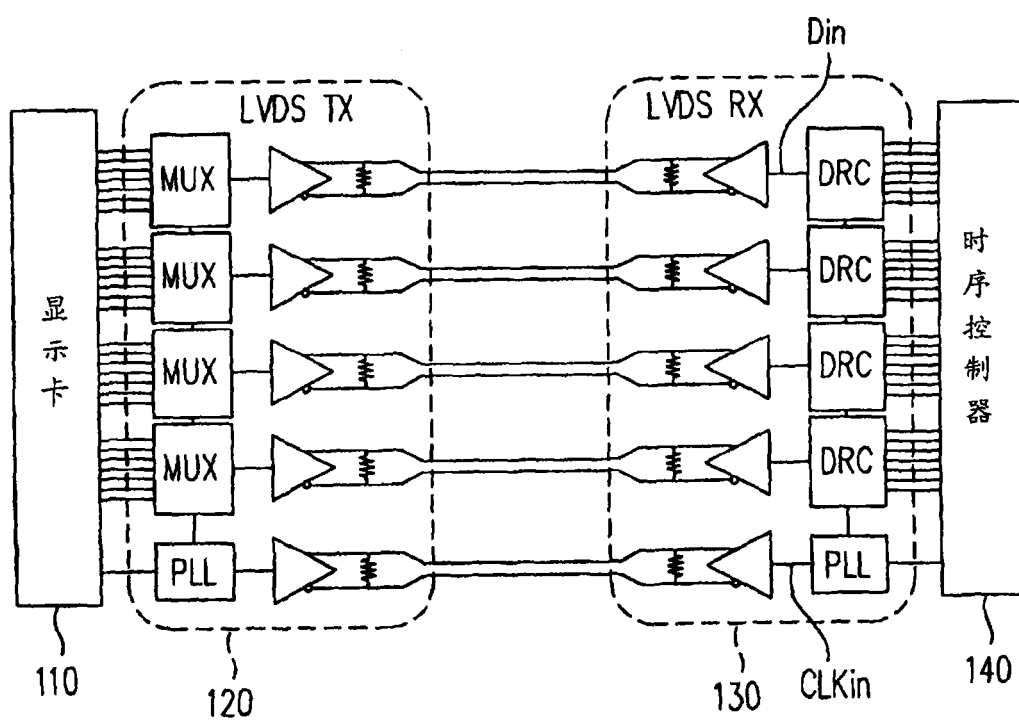


图 1

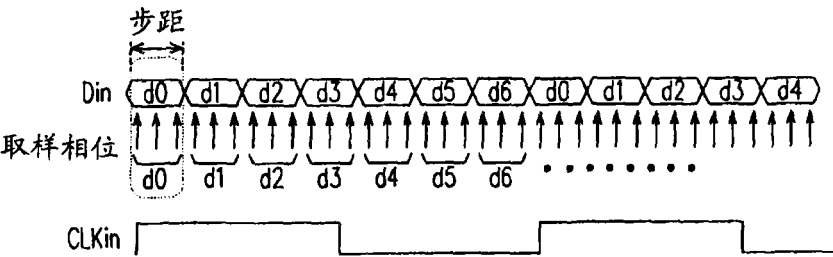


图 2A

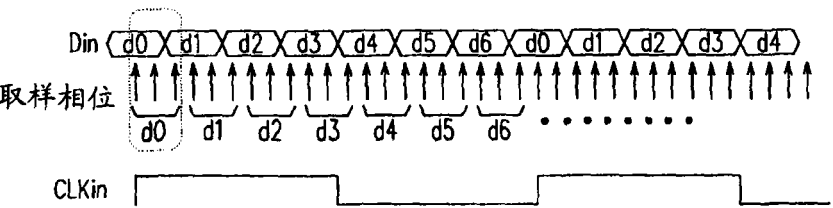


图 2B

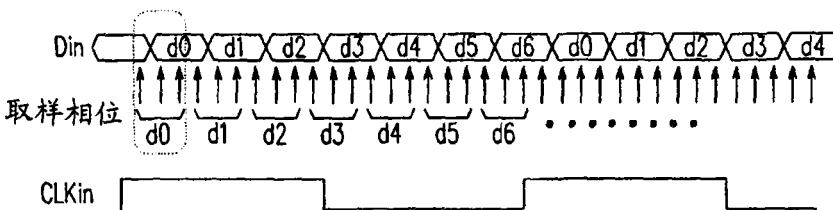


图 2C

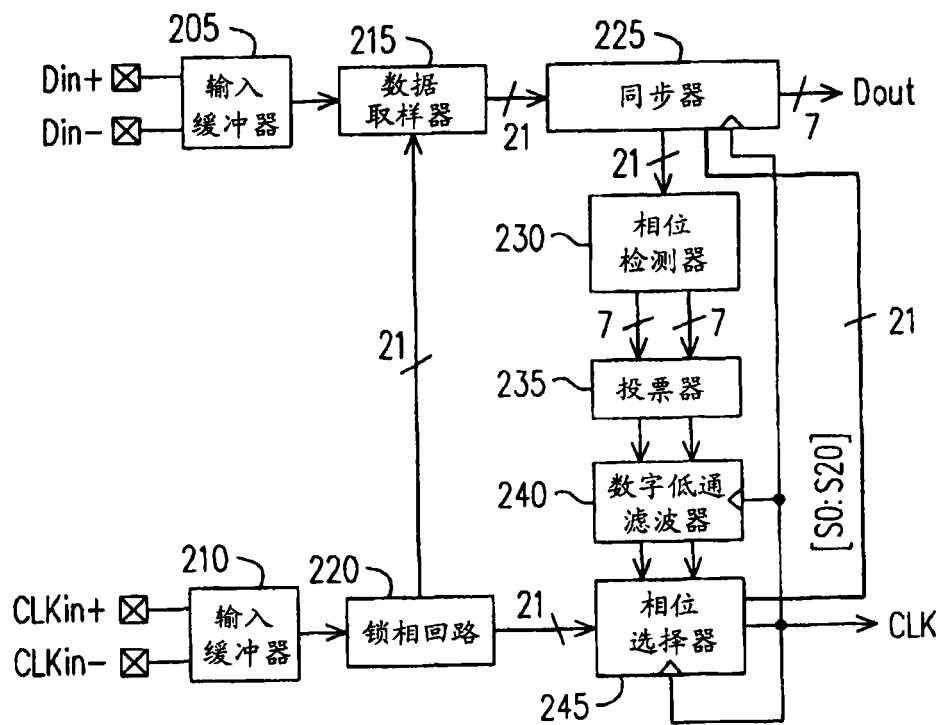


图 3

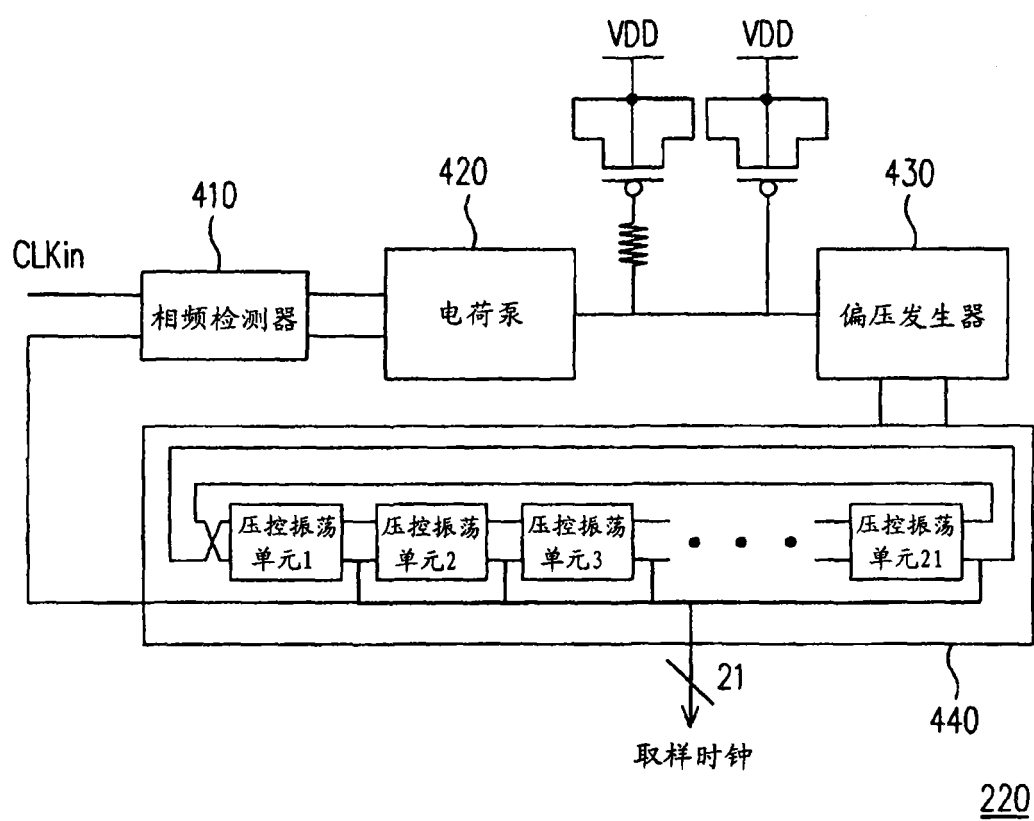


图 4

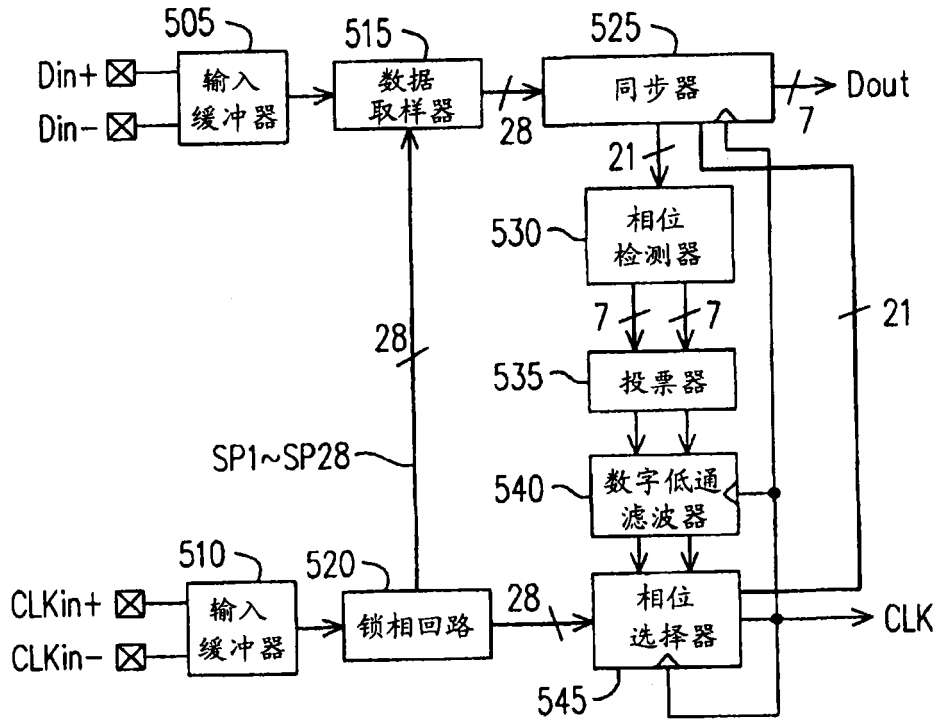


图 5

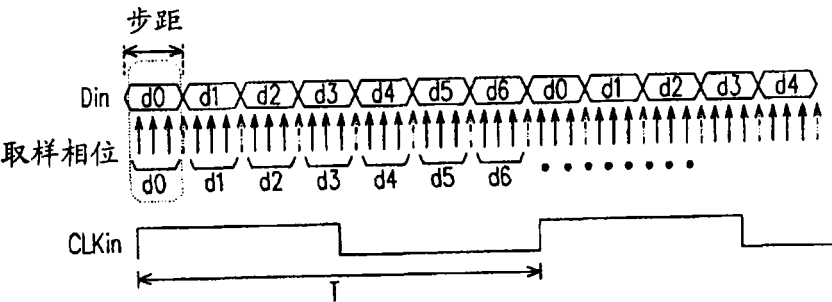


图 6A

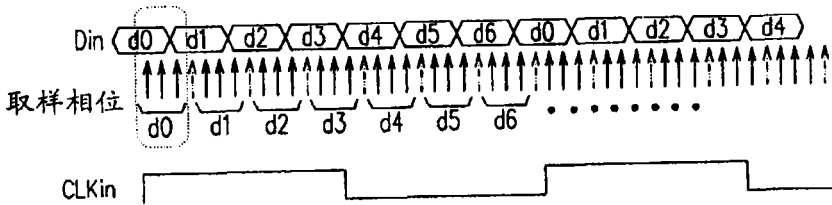


图 6B

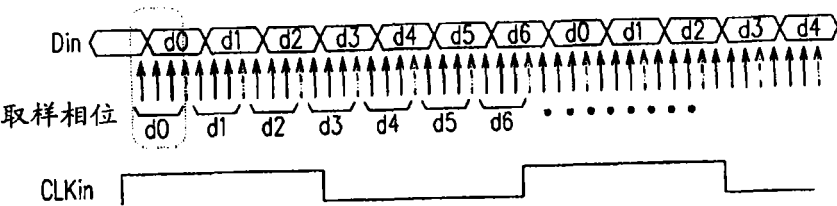


图 6C

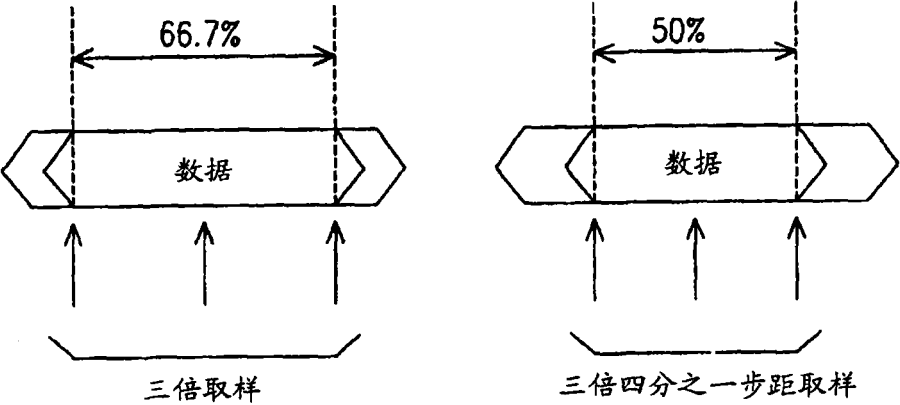
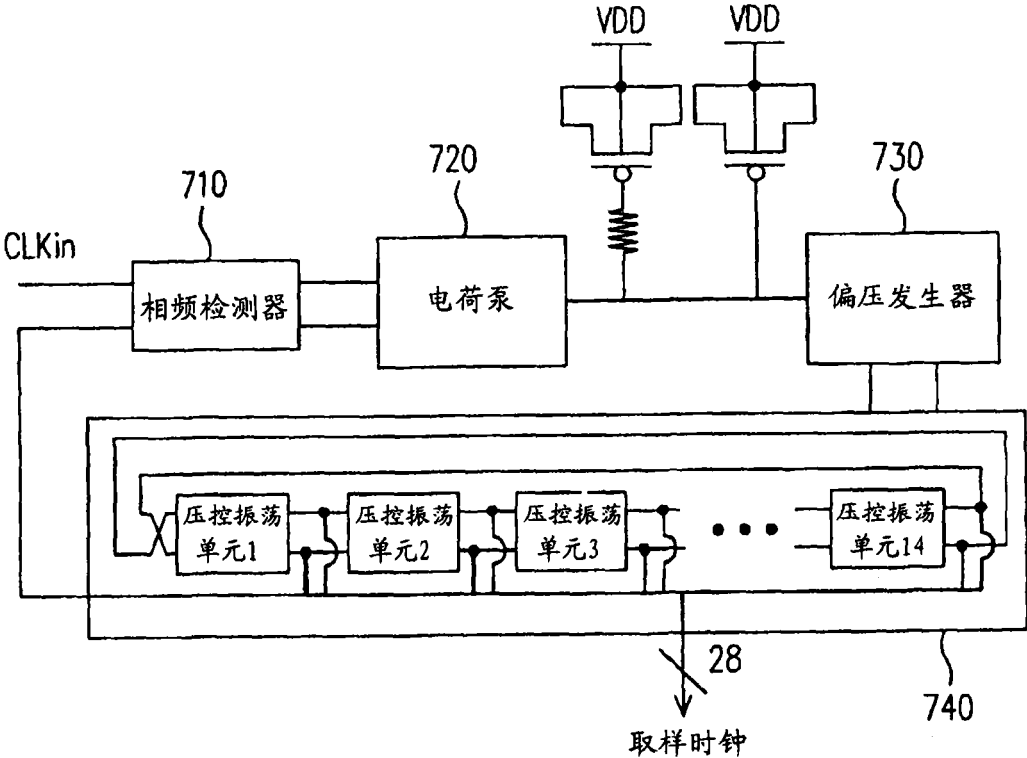


图 6D



520

图 7

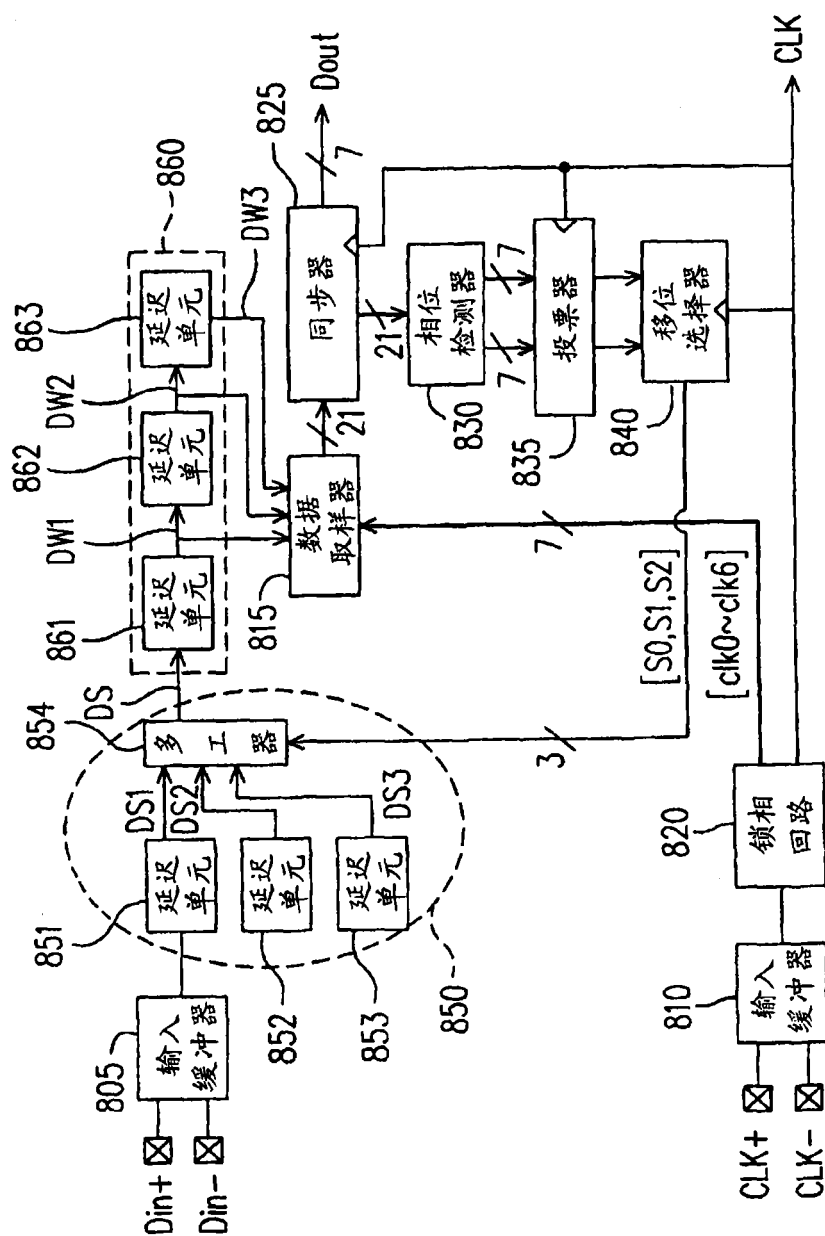


图 8

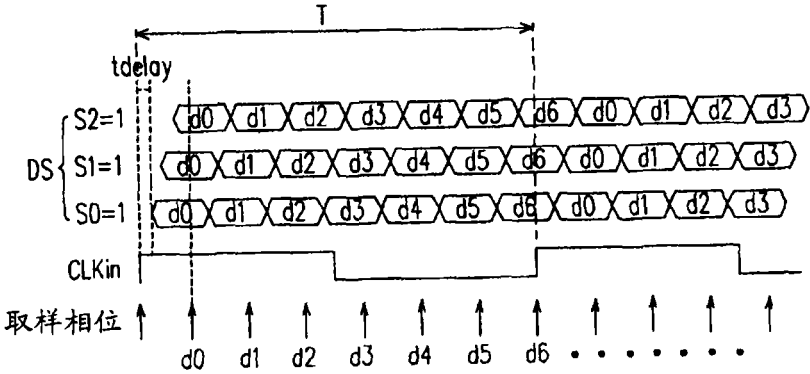


图 9

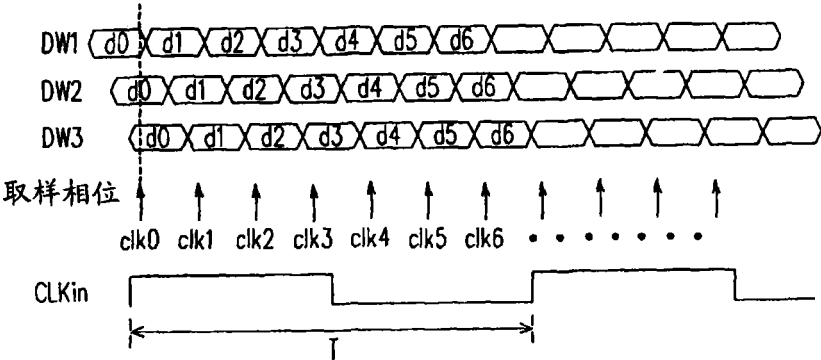


图 10A

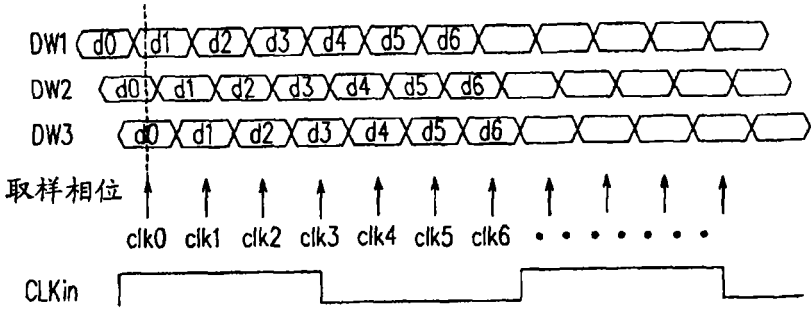


图 10B

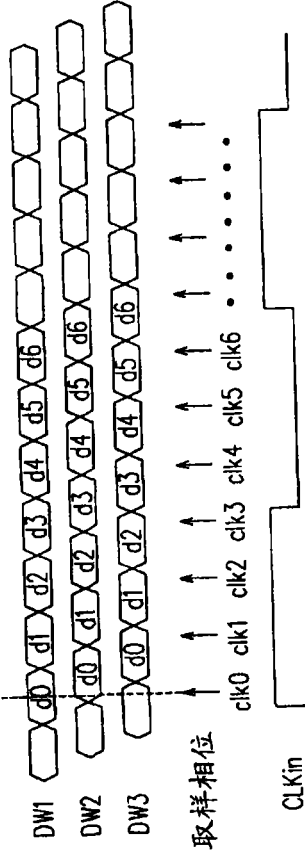


图 10C

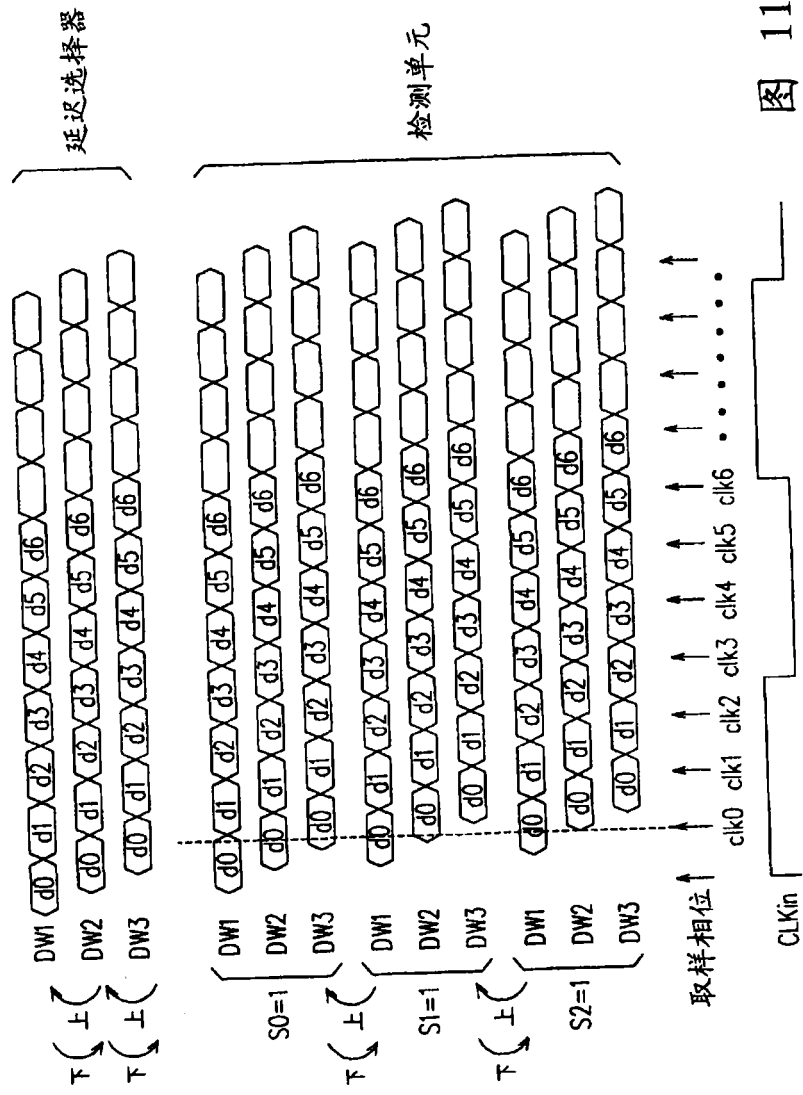


图 11