

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/02 (2006.01)

H01L 23/60 (2006.01)

H02H 9/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610082945.8

[45] 授权公告日 2009 年 6 月 10 日

[11] 授权公告号 CN 100499122C

[22] 申请日 2006.6.21

[21] 申请号 200610082945.8

[30] 优先权

[32] 2006.3.2 [33] US [31] 11/366,143

[73] 专利权人 财团法人工业技术研究院

地址 台湾省新竹县竹东镇中兴路 4 段
195 号

[72] 发明人 柯明道 陈稳义 庄哲豪

[56] 参考文献

US5329143A 1994.7.12

US6954098B2 2005.10.11

CN1705121A 2005.12.7

审查员 孟 超

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 梁爱荣

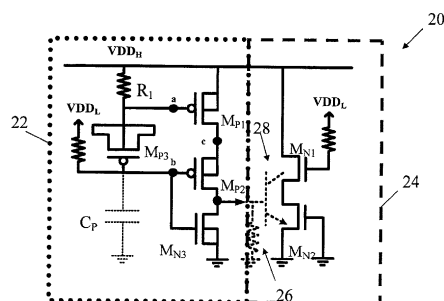
权利要求书 6 页 说明书 12 页 附图 12 页

[54] 发明名称

用于混压输出接口之耐高压电源线间静电
防护电路

[57] 摘要

本发明提供一种用于静电放电 (Electrostatic Discharge; ESD) 防护之电路, 其包含电阻器; 串连于该电阻器之电容器; 第一晶体管, 其包含栅极, 该栅极连接至第一电力供应, 而该第一电力供应通过该电阻器将第一电压提供至该栅极, 以及连接至该第一电力供应的第一终端; 第二晶体管, 其包含栅极, 该栅极连接至第二电力供应, 而该第二电力供应提供小于该第一电压的第二电压, 该第二晶体管具有连接至该第一晶体管之第二终端的第一终端; 以及第三晶体管, 其包含栅极, 该栅极连接于该第二电力供应, 该第三晶体管之第一终端连接至该第二晶体管之第二终端, 而第二终端连接于与该第一电压及该第二电压相异的参考电压。



1. 一种用于静电放电防护之电路，其特征是包含：

电阻器；

第一电容器，其串连于该电阻器；

第一晶体管，其包含栅极，该栅极连接至第一电力供应，该第一电力供应通过该电阻器将第一电压提供至该栅极，以及连接至该第一电力供应的第一终端；

第二晶体管，其包含栅极，该栅极连接至第二电力供应，该第二电力供应提供低于该第一电压的第二电压，该第二晶体管具有连接至该第一晶体管之第二终端的第一终端；

第三晶体管，其包含栅极，该栅极连接至该第二电力供应，该第三晶体管之第一终端连接至该第二晶体管之第二终端，第二终端连接至与该第一电压及该第二电压相异的参考电压；以及

第二电容器，该第二电容器连接于该第一晶体管的栅极与该第二晶体管的栅极之间。

2. 根据权利要求1所述的电路，其特征是进一步包含寄生电阻器，该寄生电阻器形成于该第二晶体管的第二终端与该参考电压之间。

3. 根据权利要求1所述的电路，其特征是进一步包含寄生晶体管，该寄生晶体管包含基极，该基极连接至该第二晶体管的第二终端。

4. 根据权利要求1所述的电路，其特征是该第二电压为该第一电压的一半。

5. 根据权利要求1所述的电路，其特征是进一步包含堆叠 n-型金属氧化物半导体装置，该堆叠 n-型金属氧化物半导体装置连接于该第一电力供应与该参考电压之间。

6. 根据权利要求1所述的电路，其特征是进一步包含硅控制整流器装置，该硅控制整流器装置连接于该第一电力供应与该参考电压之间。

7. 根据权利要求 1 所述的电路,其特征是进一步包含场氧化组件,该场氧化组件连接于该第一电力供应与该参考电压之间。

8. 一种用于静电放电防护之电路,其特征是包含:

电压耦合装置,其包含连接至提供第一电压之第一电力供应的第一终端;

第一晶体管,其包含连接至该电压耦合装置之第二终端的栅极,以及连接至该第一电力供应之第一终端;

第二晶体管,其包含连接至提供低于该第一电压之第二电压的第二电力供应之栅极,以及连接至该第一晶体管之栅极的第一终端;

第三晶体管,其包含连接至该第二晶体管之第二终端的栅极,以及连接至该第一晶体管之第二终端的第一终端;以及

第四晶体管,其包含连接至该第二电力供应之栅极,连接至该第三晶体管之栅极的第一终端,以及连接至与该第一电压及该第二电压相异之参考电压的第二终端。

9. 根据权利要求 8 所述的电路,其特征是进一步包含电压分压器串行,该电压分压器串行连接于该第一电力供应与该参考电压之间。

10. 根据权利要求 9 所述的电路,其特征是该第一晶体管之栅极连接至该电压分压器串行之终端。

11. 根据权利要求 8 所述的电路,其特征是进一步包含第五晶体管,该第五晶体管包含连接至该第二电力供应的栅极,以及连接至该第一晶体管之第二终端的第一终端。

12. 根据权利要求 8 所述的电路,其特征是进一步包含寄生电阻器,该寄生电阻器形成于该第三晶体管的第二终端与该参考电压之间。

13. 根据权利要求 8 所述的电路,其特征是进一步包含寄生晶体管,该寄生晶体管包含连接至该第三晶体管之第二终端的基极。

14. 根据权利要求 8 所述的电路,其特征是进一步包含堆叠 n-型金属氧化物半导体装置,该堆叠 n-型金属氧化物半导体装置连接于该第一电力

供应与该参考电压之间。

15. 根据权利要求 8 所述的电路,其特征是进一步包含硅控制整流器装置,该硅控制整流器装置连接于该第一电力供应与该参考电压之间。

16. 根据权利要求 8 所述的电路,其特征是进一步包含场氧化组件,该场氧化组件连接于该第一电力供应与该参考电压之间。

17. 一种用于静电放电防护之电路,其特征是包含:

电压分压器电路,其连接于提供第一电压的第一电力供应与参考电压之间;

第一晶体管,其包含连接至该电压分压器电路之终端的栅极,以及连接至该第一电力供应之第一终端;

第二晶体管,其包含连接至提供低于该第一电压之第二电压的第二电力供应之栅极,以及连接至该第一晶体管之栅极的第一终端;

第三晶体管,其包含连接至该第二晶体管之第二终端的栅极,以及连接至该第一晶体管之第二终端的第一终端;以及

第四晶体管,其包含连接至该第二电力供应之栅极,连接至该第三晶体管之栅极的第一终端,以及连接至与该第一电压及该第二电压相异之参考电压的第二终端。

18. 根据权利要求 17 所述的电路,其特征是进一步包含电压耦合装置,该电压耦合装置连接于该第一电力供应与该第一晶体管的栅极之间。

19. 根据权利要求 17 所述的电路,其特征是进一步包含第五晶体管,该第五晶体管包含连接至该第二电力供应的栅极,以及连接至该第一晶体管之第二终端的第一终端。

20. 根据权利要求 17 所述的电路,其特征是进一步包含寄生电阻器,该寄生电阻器形成于该第三晶体管的第二终端与该参考电压之间。

21. 根据权利要求 17 所述的电路,其特征是进一步包含寄生晶体管,该寄生晶体管包含连接至该第三晶体管之第二终端的基极。

22. 一种提供静电放电防护之方法,其特征是包含:

提供延迟电路，其包含电阻器以及电容器；

提供第一晶体管，其包含连接至该延迟电路之栅极，以及连接至提供第一电压之第一电力供应的第一终端；

提供第二晶体管，其包含连接至提供低于该第一电压之第二电压的第二电力供应之栅极，以及连接至该第一晶体管之第二终端的第一终端，其中该电容器连接于该第一晶体管的栅极与该第二晶体管的栅极之间；

提供第三晶体管，其包含连接至该第二电力供应的栅极，以及连接至该第二晶体管之第二终端的第一终端，以及连接至与该第一电压及该第二电压相异之参考电压的第二终端；

在该第二晶体管的第二终端与该参考电压之间形成寄生电阻器；以及

将静电放电电流从该第一电力供应通过该寄生电阻器而导引至参考电压。

23. 根据权利要求 22 所述的方法，其特征是上述这些第一、第二及第三晶体管之每一个包含栅极、源极、漏极及基极，其进一步包含将上述这些第一、第二及第三晶体管之每一个之栅极-源极、栅极-基极以与栅极-基极间的电压差维持在低于该第二电压的电压位准。

24. 根据权利要求 22 所述的方法，其特征是进一步包含回应于静电放电事件，提供长于静电放电脉冲之扬升时间的延迟。

25. 根据权利要求 22 所述的方法，其特征是进一步包含在待予防护之集成电路的正常操作期间，提供短于该电力上升信号之上升时间的延迟。

26. 根据权利要求 22 所述的方法，其特征是进一步包含：

形成寄生晶体管；以及

响应于静电放电事件，将电流提供至该寄生晶体管之基极。

27. 一种提供静电放电防护之方法，其特征是包含：

提供电压耦合装置，其包含连接至提供第一电压之第一电力供应的第一终端；

提供第一晶体管，其包含连接至该电压耦合装置之第二终端的栅极，以及连接至该第一电力供应之第一终端；

提供第二晶体管，其包含连接至提供低于该第一电压之第二电压的第二电力供应之栅极，以及连接至该第一晶体管之栅极的第一终端；

提供第三晶体管，其包含连接至该第二晶体管之第二终端的栅极，以及连接至该第一晶体管之第二终端的第一终端；

提供第四晶体管，其包含连接至该第二电力供应之栅极，连接至该第三晶体管之栅极的第一终端，以及连接至与该第一电压及该第二电压相异之参考电压的第二终端；

在该第三晶体管的第二终端与该参考电压之间形成寄生电阻器；以及
响应于静电放电事件，将静电放电脉冲的一部分通过该电压耦合装置耦合至该第一晶体管。

28. 根据权利要求 27 所述的方法，其特征是进一步包含将静电放电电流从该第一电力供应通过该寄生电阻器传导至该参考电压。

29. 根据权利要求 27 所述的方法，其特征是进一步包含：

形成寄生晶体管；以及

响应于静电放电事件，将电流提供至该寄生晶体管之基极。

30. 根据权利要求 27 所述的电路，其特征是进一步包含提供第五晶体管，该第五晶体管包含连接至该第二电力供应的栅极，以及连接至该第一晶体管之第二终端的第一终端。

31. 根据权利要求 27 所述的方法，其特征是进一步包含：

提供电压分压器串行，该电压分压器串行连接于该第一电力供应与该参考电压之间；以及

将该第一晶体管的栅极连接至该电压分压器串行之终端。

32. 一种提供静电放电防护之方法，其特征是包含：

提供电压分压器电路，该电压分压器电路连接于提供第一电压的第一

电力供应与参考电压之间；

提供第一晶体管，其包含连接至该电压分压器电路之终端的栅极，以及连接至该第一电力供应之第一终端；

提供第二晶体管，其包含连接至提供低于该第一电压之第二电压的第二电力供应之栅极，以及连接至该第一晶体管之栅极的第一终端；

提供第三晶体管，其包含连接至该第二晶体管之第二终端的栅极，以及连接至该第一晶体管之第二终端的第一终端；

提供第四晶体管，其包含连接至该第二电力供应之栅极，连接至该第三晶体管之栅极的第一终端，以及连接至与该第一电压及该第二电压相异之参考电压的第二终端；以及

在该第一电压之经分割部分处偏压该第一晶体管之栅极，以将该第一晶体管保持在关闭状态下。

33. 根据权利要求 32 所述的方法，其特征是进一步包含提供电压耦合装置，该电压耦合装置连接于该第一电力供应与该第一晶体管的栅极之间。

34. 根据权利要求 32 所述的方法，其特征是进一步包含提供第五晶体管，该第五晶体管包含连接至该第二电力供应的栅极，以及连接至该第一晶体管之第二终端的第一终端。

35. 根据权利要求 32 所述的方法，其特征是进一步包含回应于静电放电事件，将一部分的静电放电脉冲耦合至该第一晶体管的栅极。

36. 根据权利要求 32 所述的方法，其特征是进一步包含：

提供寄生晶体管；以及

响应于静电放电事件，将电流提供至该寄生晶体管之基极。

用于混压输出接口之耐高压电源线间静电防护电路

技术领域

本发明涉及静电放电(ESD)防护, 并且特别涉及一种用于混压输出输入(Input/Output; I/O)接口的 ESD 钳位电路。

背景技术

静电放电(ESD)是一种对于集成电路(Integrated Circuit; IC)造成致命威胁的现象。一个典型 ESD 事件, 例如当您在地毯上走动之后, 用手去接触半导体元件时, 可轻易地摧毁一个半导体装置。严格说来, ESD 是一种快速放电事件, 这可在两个具有不同电位的物体之间传送电荷。对 IC 所造成的损害是依照在该事件的过程中所释放之电流密度与电压梯度而定。

ESD 损害对于按纳米刻度之 CMOS 工艺所制造的互补金属氧化物半导体(Complementary Metal-Oxide Semiconductor; CMOS)集成电路(IC)产品已成为主要的可靠性课题。在纳米刻度 IC 中, 栅极氧化膜的厚度随着该 IC 的几何性降低而变薄, 用来降低内部电路所需之操作电压, 以降低功率消耗。

在具有多个子系统的电子系统中, 像是在计算机系统内, 一般说来存在有多个可提供不同电力位准的电力供应。上述这些子系统, 像是系统中的 IC 及芯片, 经常操作在不同的电力电压。因此, 为兼容于不同的电力供应电压, 在 IC 之输出输入(I/O)接口处的信号电压可能高于该 IC 的操作电压。例如, 在由 $0.18\mu\text{m}$ CMOS 工艺所制造的 IC 中, 内部电路按 1.8V(伏特)的电力供应电压而运作, I/O 装置按 3.3V 的电力供应电压而运作, 或是在混压系统中传送或接收具有 3.3V 的电压位准的信号。为避免因跨于该 I/O 装置之各节点所施加的电压过高而产生过度电场, 该过度电场会造

成该栅极氧化物的劣化或崩溃，故于传统方法中，以相对较厚的栅极氧化层来制造各 I/O 装置，藉此避免栅极过度电压的问题。然而，在制造过程中要求额外光刻掩膜来制造厚栅极氧化层，造成产品生产成本之增加。

电子产业需要一种可行的解决方式，藉以维持纳米刻度 CMOS IC 内之各项电子性质与装置几何性，以降低产品成本。从而希望具有一种 ESD 钳位电路，能够快速地响应于 ESD 事件来防护内部电路，而又不致于在正常情况下影响到该内部电路的运作。

发明内容

本发明涉及一种 ESD 钳位电路及一种提供 ESD 防护之方法，这些可解决一个或更多因先前技术之限制与缺点所造成的问题。

根据本发明之一具体实施例，提供一种用于静电放电(ESD)防护之电路，其包含电阻器；串接于该电阻器之电容器；第一电容器，其串连于该电阻器；第一晶体管，其包含栅极，该栅极连接至第一电力供应，而该第一电力供应通过该电阻器将第一电压提供至该栅极，以及连接至该第一电力供应的第一终端；第二晶体管，其包含栅极，该栅极连接至第二电力供应，而该第二电力供应提供小于该第一电压的第二电压，该第二晶体管具有连接至该第一晶体管之第二终端的第一终端；第三晶体管，其包含栅极，该栅极连接至该第二电力供应，该第三晶体管之第一终端连接至该第二晶体管之第二终端，而第二终端连接至与该第一电压及该第二电压相异的参考电压；以及第二电容器，该第二电容器连接于该第一晶体管的栅极与该第二晶体管的栅极之间。

同时根据本发明，提供一种用于静电放电(ESD)防护之电路，其包含电压耦合装置，该装置包含连接至提供第一电压之第一电力供应的第一终端；第一晶体管，其包含有连接至该电压耦合装置之第二终端的栅极，以及连接至该第一电力供应之第一终端；第二晶体管，其包含有连接至提供低于该第一电压之第二电压的第二电力供应之栅极，以及连接至该第一晶体管之栅极的第一终端；第三晶体管，其包含有连接至该第二晶体管之第二终端的栅极，以及连接至该第一晶体管之第二终端的第一终端；以及第四晶体管，其包含连接至该第二电力供应之栅极，连接至该第三晶体管之栅极的第一终端，以及连接至与该第一电压及该第二电压相异之参考电压

的第二终端。

进一步根据本发明，兹提供一种用于静电放电(ESD)防护之电路，其中包含电压分压器电路，该电路连接于提供第一电压的第一电力供应与参考电压之间；第一晶体管，其包含连接至该电压分压器电路之终端的栅极，以及连接至该第一电力供应之第一终端；第二晶体管，其包含连接至提供低于该第一电压之第二电压的第二电力供应之栅极，以及连接至该第一晶体管之栅极的第一终端；第三晶体管，其包含连接至该第二晶体管之第二终端的栅极，以及连接至该第一晶体管之第二终端的第一终端；以及第四晶体管，其包含连接至该第二电力供应之栅极，连接至该第三晶体管之栅极的第一终端，以及连接至与该第一电压及该第二电压相异之参考电压的第二终端。

又根据本发明，提供一种提供静电放电(ESD)防护之方法，其包含提供延迟电路，其包含电阻器以及电容器；提供第一晶体管，其包含连接至该延迟电路之栅极，以及连接至提供第一电压之第一电力供应的第一终端；提供第二晶体管，其包含连接至提供低于该第一电压之第二电压的第二电力供应之栅极，以及连接至该第一晶体管之第二终端的第一终端，其中该电容器连接于该第一晶体管的栅极与该第二晶体管的栅极之间；提供第三晶体管，其包含连接至该第二电力供应的栅极，以及连接至该第二晶体管之第二终端的第一终端，以及连接至与该第一电压及该第二电压相异之参考电压的第二终端；在该第二晶体管的第二终端与该参考电压之间形成寄生电阻器；以及将 ESD 电流从该第一电力供应通过该寄生电阻器而导引至参考电压。

仍又根据本发明，兹提供一种提供静电放电(ESD)防护之方法，其包含提供电压耦合装置，该装置包含连接至提供第一电压之第一电力供应的第一终端；提供第一晶体管，其包含连接至该电压耦合装置之第二终端的栅极，以及连接至该第一电力供应之第一终端；提供第二晶体管，其包含连接至提供低于该第一电压之第二电压的第二电力供应之栅极，以及连接至该第一晶体管之栅极的第一终端；提供第三晶体管，其包含连接至该第二晶体管之第二终端的栅极，以及连接至该第一晶体管之第二终端的第一终端；提供第四晶体管，其包含连接至该第二电力供应之栅极，连接至该第三晶体管之栅极的第一终端，以及连接至与该第一电压及该第二电压相

异之参考电压的第二终端；在该第三晶体管的第二终端与该参考电压之间形成寄生电阻器；以及响应于 ESD 事件，将 ESD 脉冲之一部分通过该电压耦合装置耦合至该第一晶体管。

进一步根据本发明，提供一种用于静电放电(ESD)防护之方法，其中包含提供电压分压器电路，该电路连接于提供第一电压的第一电力供应与参考电压之间；提供第一晶体管，其包含连接至该电压分压器电路之终端的栅极，以及连接至该第一电力供应之第一终端；提供第二晶体管，其包含连接至提供低于该第一电压之第二电压的第二电力供应之栅极，以及连接至该第一晶体管之栅极的第一终端；提供第三晶体管，其包含连接至该第二晶体管之第二终端的栅极，以及提供连接至该第一晶体管之第二终端的第一终端；提供第四晶体管，其中含有连接至该第二电力供应之栅极，连接至该第三晶体管之栅极的第一终端，以及连接至与该第一电压及该第二电压相异之参考电压的第二终端；以及在该第一电压之经分割部分处偏压该第一晶体管之栅极，以将该第一晶体管保持在关闭状态下。

本发明之其它特性与优点将在如后说明中部分提出，自该说明中将很容易明白其中一部分，或者亦可通过实际操作本发明而习知。通过在权利要求中所特别指出之各项权利要求及组合便可实现获得本发明的各项特性与优点。

应了解的是，前面的一般叙述与后面的详细说明两者皆仅具示范及解释性质，而不具限制本发明之申请专利范围的意义。

附图说明

参照附图将可更清楚了解前述发明内容以及本发明之具体实施方式。为达说明本发明之目的，将于各附图中较佳地绘出各具体实施例。然而应了解的是，本发明并不局限于图中所示的刻板排列方式与设备。

在各图式中：

图 1 为根据本发明之一具体实施例之静电放电(ESD)钳位电路的示意性方框图；

图 2 为根据本发明之一具体实施例之 ESD 钳位电路的电路图；

图 3A 及 3B 为说明如图 2 所示而按正常情况所操作之 ESD 钳位电路的模拟结果点绘图；

图 4A 及 4B 为说明如图 2 所示而响应于 ESD 事件所操作之 ESD 钳位电路的模拟结果点绘图；

图 5 为根据本发明之另一具体实施例之 ESD 钳位电路的电路图；

图 6A 为说明如图 5 所示而按正常情况所操作之 ESD 钳位电路的模拟结果点绘图；

图 6B 及 6C 为说明如图 5 而响应于 ESD 事件所操作之 ESD 钳位电路的模拟结果点绘图；

图 7A 为根据本发明之一具体实施例之 ESD 防护装置的示意图；

图 7B 为根据本发明之另一具体实施例之 ESD 防护装置的示意图；

图 8 为根据本发明之一具体实施例，为在混压接口中提供 ESD 防护的方法示意图。

主要元件标记说明

12	ESD 监测电路
14	ESD 防护电路
16	焊垫
20	ESD 钳位电路
22	ESD 监测电路
24	ESD 防护电路
26	寄生电阻器
28	寄生 npn 晶体管
30	ESD 钳位电路
32	ESD 监测电路

34	ESD 防护电路
41	SCR 装置
42	寄生电阻器
51	FOD 装置
52	寄生电阻器
53	寄生 npn 晶体管
60	第一 ESD 钳位电路
61	内部电路
62	第二 ESD 钳位电路

具体实施方式

现将详细参照本发明的具体实施例，其范例如随附图中所述。在所有图式中，将尽可能使用相同的参考编号来表示相同或类似的部件。

图 1 为根据本发明之一具体实施例之静电放电(ESD)钳位电路的示意性方框图。现参照图 1，该 ESD 钳位电路包含 ESD 监测电路 12 及 ESD 防护电路 14，上述这些电路之每一个在焊垫 16 处经连接至内部电路或待予防护之电路（图中未表示）。该 ESD 监测电路 12 在内部电路之正常操作的过程中是被保持在关闭状态下。当发生 ESD 事件时，(例如)在该 ESD 钳位电路之接针或垫 16 处，该 ESD 监测电路 12 即触发该 ESD 防护电路 14，藉以对该内部电路或各电路提供 ESD 防护。基于基体触发式设计，在 2001 年 12 月 “IEEE Trans. Device and Materials Reliability” 第 1 册第 190-203 页 的 “ Investigation of the Gate-Driven Effect and Substrate-Triggered Effect on ESD Robustness of CMOS Devices” 中由 T. Y. Chen 与 M. D. Ker 所揭示，该 ESD 监测电路 12 响应于 ESD 事件而提供触发电流以快速并均匀地开启该 ESD 防护电路 14。

图 2 为根据本发明之第一较佳具体实施例之 ESD 钳位电路的电路图。现参照图 2，该 ESD 钳位电路 20 包含(但不限于)ESD 监测电路 22 及 ESD

防护电路 24。该 ESD 防护电路包含堆叠式 n-型金属氧化物半导体(Stacked N-type Metal-Oxide Semiconductor; STNMOS)装置、硅控制整流器(Silicon Controlled Rectifier; SCR)装置、或是场氧化元件(Field Oxide Device; FOD)之一,其可工作于约该内部电路所要求之操作电压位准的两倍。为便于说明,在全篇规格文件中,将以 STNMOS 装置用来作为该 ESD 防护电路 24。该 ESD 钳位电路 20 在混压环境下运作,包含第一电力供应 VDD_H ,以及用以对上述这些内部电路进行供电的第二电力供应 VDD_L 。该第一电力供应 VDD_H 的最大操作电压位准可为该第二电力供应 VDD_L 的两倍。标注为 C_P 之电容代表该电路在节点 b 的等效寄生电容。

该 ESD 监测电路 22 包含第一 p-型金属氧化物半导体(P-type Metal-Oxide Semiconductor; PMOS)晶体管 M_{P1} 、第二 PMOS 晶体管 M_{P2} 、第三 PMOS 晶体管 M_{P3} ,以及 n-型金属氧化物半导体(N-type Metal-Oxide Semiconductor; NMOS)晶体管 M_{N3} 。该第一 PMOS 晶体管 M_{P1} 的栅极通过电阻器 R_1 而耦合于该第一电力供应 VDD_H ,以及耦合于该第一电力供应 VDD_H 的源极(未经编号)。该第二 PMOS 晶体管 M_{P2} 包含耦合于该第一 PMOS 晶体管 M_{P1} 之漏极(未经编号)的源极(未经编号),以及耦合于该第三晶体管 PMOS M_{P3} 之栅极(未经编号)的栅极(未经编号),以及该第二电力供应 VDD_L 。该第三 PMOS 晶体管 M_{P3} 作为电容器,并且在其它的具体实施例中可由电容加以替换,形成具该电阻器 R_1 之 RC 延迟电路。该 NMOS 晶体管 M_{N3} 包含耦合于该第二 PMOS 晶体管 M_{P2} 之栅极的栅极(未经编号),耦合于该第二 PMOS 晶体管 M_{P2} 之漏极的漏极(未经编号),耦合于参考电压位准之源极(未经编号)。

该按 STNMOS 装置之形式的 ESD 防护电路 24 包含第一 NMOS 晶体管 M_{N1} 及第二 NMOS 晶体管 M_{N2} 。在该 STNMOS 元件装置中,可于该 ESD 防护电路 24 中形成寄生电阻器 26 及寄生 npn 晶体管 28。该第一 NMOS 晶体管 M_{N1} 包含耦合于该第二电力供应 VDD_L 之栅极(未经编号),以及耦合于该第一电力供应 VDD_H 的漏极(未经编号)。该第二 NMOS 晶体管 M_{N2} 包含耦合于该参考电压位准之栅极(未经编号)与源极(未经编号),以及耦合于该第一 NMOS 晶体管 M_{N1} 之源极(未经编号)的漏极(未经编

号)。

在 IC 的正常操作期间,在节点 a 处之电压位准(即 V_a)会通过该电阻器 R_1 而受偏压于 VDD_H ,其关闭该第一 PMOS 晶体管 M_{P1} 。节点 c 处的电压位准(即 V_c)被偏压于约 $(VDDL + |V_{tp}|)$ 处,其中该 V_{tp} 是该第二晶体管 M_{P2} 的临界电压。该 NMOS 晶体管 M_{N3} ,即通过在节点 b 处所施加之 $VDDL$ 电压位准(即为 $VDDL$ 之 V_b)所开启,而偏压该 npn 晶体管 28 的基极(base)到接地电位。因此,可将该 ESD 监测电路 22 保持于关闭状态,并且不会影响到该 IC 的正常操作。由于 VDD_L 约等于 $1/2 VDD_H$,因此上述这些晶体管之每一个的漏极至栅极、栅极至源极、以及与栅极至基极电压,均低于该 VDD_L 。因为 CMOS 装置在目前可支撑为 1.1 倍于其正常操作电压之电压位准(即 $1.1 VDD_L$)的电场,所以该 ESD 钳位电路 20 并不会引发任何栅极氧化层可靠性的问题。

而对于供电方面,既然电力供应电压的正常扬升时间为数毫秒(Millisecond; ms)之数阶,因此该电阻器 R_1 及该第三 PMOS 晶体管 M_{P3} 之数值经选择以使得该电压 V_a 可在供电上升期间随该电力信号而扬升,而不致产生任何 RC 延迟,以确保将该 ESD 监测电路 22 保持在关闭状态下。另一方面,关于 ESD 事件方面,由于 ESD 信号的扬升时间为从几个至几十纳秒(Nanosecond; ns)的范围,因此该电阻器 R_1 及该第三 PMOS 晶体管 M_{P3} 的数值可经选择而使得该电压 V_a 缓慢地扬升,以确保由该电阻器 R_1 及该第三 PMOS 晶体管 M_{P3} 所形成的延迟电路能够产生 RC 延迟。在一根据本发明之具体实施例,该 RC 延迟为从约 0.1 到 1 微秒(Microsecond; μs)的范围。

响应于 ESD 事件,该电压 V_a 因该 RC 延迟之故,与该 VDD_H 相比为相对地较低电位,因此开启该第一 PMOS 晶体管 M_{P1} 。由于在 ESD 事件期间,IC 为浮接状态,因此该第二电力供应 $VDDL$ 具有起始电压在接地电压位准(0V)。该第二 PMOS 晶体管 M_{P2} 因而被视为是在开启状态下,并且该 NMOS 晶体管 M_{N3} 为在关闭状态下。当在该第一电力供应 VDD_H 上发生 ESD 事件时,触发电流将自上述这些 PMOS 晶体管 M_{P1} 及 M_{P2} 提供至该 STNMOS 装置的基极(未经编号),然后通过该寄生电阻 26 至该接地,

其开启寄生 npn 晶体管 28, 及该 ESD 防护电路 24。然后该 ESD 电流通过该寄生 npn 晶体管 28 而被放电至接地。

图 3A、3B 及 4A、4B 说明在该 ESD 钳位电路 20 内的电压或电流响应, 其通过 SPICE 模拟所获。图 3A 及 3B 为说明如图 2 所示而按正常情况所操作之 ESD 钳位电路 20 的模拟结果点绘图。现参照图 3A, 经模拟之 VDD_H 及 VDD_L 信号分别地具有约 2.5V 及 1.2V 的数值, 并具有约 1 ms 的扬升时间。图 3B 说明在供电上升的过程中, 于图 2 中所示之处 a、b 及 c 点的电压响应。现参照图 3B, 在供电上升期间该电压 V_a 会在 1ms 内上扬升至该 VDD_H 位准, 其关闭该第一 PMOS 晶体管 M_{P1} , 及该 ESD 监测电路 22。

图 4A 及 4B 为说明如第 2 图所示而响应于 ESD 事件所操作之 ESD 钳位电路 20 的模拟结果点绘图。在该 ESD 监测电路 22 里, 根据本发明之一具体实施例, 晶体管 M_{P1} 、 M_{P2} 、 M_{P3} 及 M_{N3} 的信道宽度对信道长度(Width to Length; W/L)比分别地约为 30 (μm)/0.15 (μm)、30/0.15、5/7.5 及 5/0.15, 且该电阻器 R_1 约为 50K 欧姆。现参照图第 4A, 6V 的模拟 ESD 信号在 VDD_H 上具有 10ns 扬升时间, 代表出现在该第一电力供应 VDD_H 上的 ESD 脉冲。因该 RC 延迟之故, V_a 并不会如该 VDD_H 信号般如此快速地扬升, 其开启该第一 PMOS 晶体管 M_{P1} 。图 4B 说明响应于该第二 PMOS 晶体管 M_{P2} 的电流。参照于图 4B, 当该 ESD 脉冲扬升时, 自该 PMOS 晶体管 M_{P1} 及 M_{P2} 流动到该 STNMOS 装置之基极的电流 I_{MP2} 会快速地扬升。

图 5 为根据本发明之一第二较佳具体实施例之 ESD 钳位电路 30 的电路图。参照图 5, 该 ESD 钳位电路 30 包含 ESD 监测电路 32 及 ESD 防护电路 34。该 ESD 监测电路 32 包含第一、第二、第三与第四 PMOS 晶体管 M_{P01} 、 M_{P02} 、 M_{P03} 与 M_{P04} , 以及第一、第二与第三 NMOS 晶体管 M_{N01} 、 M_{N02} 与 M_{N03} 。该第一及第二 PMOS 晶体管 M_{P01} 及 M_{P02} 可作为分压器串行, 藉以将节点 A 处偏压至该 VDD_H 之一部分。在该第二具体实施例里, 该第一及第二 PMOS 晶体管 M_{P01} 及 M_{P02} 是被制造为具有相同大小, 因此该 V_A 约为 $1/2 VDD_H$ 。在正常操作期间, 由于该 VDD_L 约等于 $1/2 VDD_H$, 因此含有经耦合于该 VDD_L 之栅极(未经编号)的第三 PMOS 晶体管 M_{P03} 会被

关闭。含有经耦合于该 V_{DD_L} 之栅极(未经编号)的第三 NMOS 晶体管 M_{N03} 会被开启。在节点 B 处的电压位准(即 V_B)被拉向参考电压位准,其关闭该第二 NMOS 晶体管 M_{N02} 。在节点 C 处的电压位准(即 V_C)在约 $(1/2 V_{DD_H} - V_{tn})$ 处受到偏压,其中该 V_{tn} 是该第一 NMOS 晶体管 M_{N01} 的临界电压。因此,在正常操作期间,该 ESD 监测电路 32 被保持为关闭状态,并且无电流流入该 ESD 防护电路 34。

在该第二较佳具体实施例里,上述这些第一及第二 PMOS 晶体管 M_{P01} 及 M_{P02} 被设计为具有微小尺寸,藉以防止过度泄漏电流。在本发明的其它具体实施例里,在本范例中由上述这些 PMOS 晶体管 M_{P01} 及 M_{P02} 所形成的分压器串行可为四、六、八或以上之多个上述这些 PMOS 晶体管,以进一步压制泄漏电流。

若因 V_{DD_H} 上之噪声而产生的电压振荡通过该第四 PMOS 晶体管 M_{P04} 而耦合至 V_A , 则该 V_C 的电压位准将扬升超过 $1/2 V_{DD_H}$ 。此电压扬升将在该第二 NMOS 晶体管 M_{N02} 上造成栅极氧化层可靠性的问题。为避免此风险,该 ESD 钳位电路 30 进一步包含第五 PMOS 晶体管 M_{P05} , 藉以将该 V_C 的电压位准钳夹于 $V_{DD_L} + V_{tp}$, 在此该 V_{tp} 为该第五 PMOS 晶体管 M_{P05} 的临界电压。该第五 PMOS 晶体管 M_{P05} 设计为具微小尺寸,以确保在 ESD 事件期间能够将多数的 ESD 触发电流导经该寄生晶体管 28。

当在该 V_{DD_H} 电力线路上出现 ESD 事件时,可将一部分的 ESD 电压通过该第四 PMOS 晶体管 M_{P04} 而耦合至该 M_{N01} 的栅极,这将快速地拉高该 V_A , 而开启该第一 NMOS 晶体管 M_{N01} 。在该 ESD 事件期间,由于该 V_{DD_L} 为浮接状态并具有 0V 之起始电压,因此开启该第三 PMOS 晶体管 M_{P03} , 并且将 V_B 拉至约 V_A 而开启该第二 NMOS 晶体管 M_{N02} 。基体触发电流被提供至该 STNMOS 装置的基极(M_{N04} 及 M_{N05}), 其开启该 ESD 防护电路 34, 通过该寄生 npn 晶体管 28 而将 ESD 电流导通至接地。

图 6A、6B 及 6C 说明在该 ESD 钳位电路 30 内的电压或电流响应,其通过 SPICE 模拟所获。图 6A 是说明如图 5 所示而按正常情况所操作之 ESD 钳位电路 30 的模拟结果点绘图。参照图 6A,经模拟之 V_{DD_H} 及 V_{DD_L}

信号分别地具有约 2.5V 及 1.2V 的数值,且具有约 1ms 的扬升时间。在供电上升期间,该电压 V_A 及 V_C 会在 1ms 内实质上扬升至 V_{DD_L} 位准处,而 V_B 则被保持在参考电压位准处。

图 6B 及 6C 为说明如图 5 而响应于 ESD 事件所操作之 ESD 钳位电路 30 的模拟结果点绘图。在该 ESD 监测电路 32 里,根据本发明之一具体实施例,上述这些晶体管 M_{P01} 、 M_{P02} 、 M_{P03} 、 M_{P04} 、 M_{N01} 、 M_{N02} 及 M_{N03} 的 W/L 比分别地约为 $0.4(\mu m)/20(\mu m)$ 、 $0.4/20$ 、 $10/0.15$ 、 $5/7.5$ 、 $30/0.15$ 、 $30/0.15$ 及 $5/0.15$ 。现参照图 6B, 6V 的模拟 ESD 信号在 V_{DD_H} 上具有 10ns 扬升时间,代表出现在该 V_{DD_H} 电力线路上的 ESD 脉冲。因耦合效应之故, V_A 快速地扬升超过该 V_{DD_H} , 其开启该第一 NMOS 晶体管 M_{N01} 、该第二 NMOS 晶体管 M_{N02} , 及该 ESD 监测电路 32。 V_B 大致等于 V_A 。图 6C 说明该第二 NMOS 晶体管 M_{N02} 的电流响应。参照于图 6C, 当该 ESD 脉冲扬升时, 自上述这些 NMOS 晶体管 M_{N01} 及 M_{N02} 流到该 STNMOS 装置之基底的电流 I_{MN2} 在快速地扬升。

图 7A 为根据本发明之第三具体实施例之 ESD 防护装置的示意图。即如前述, 适当的 ESD 防护电路除 STNMOS 装置以外, 亦可包含硅控制整流器(SCR)装置或是场氧化元件(FOD)。参照于图 7A, 该 ESD 防护装置包含 SCR 装置 41, 其包含连接至 ESD 监测电路的基体(经标注为 p-基体)。响应于 ESD 事件, 该基体通过该 ESD 监测电路所提供之电流而触发, 其开启该 ESD 防护电路。接着, 通过寄生电阻器 42 将 ESD 电流传导至接地。可在 Ker 等人之美国专利第 6,747,861 号, 标题为 “Electrostatic Discharge Protection for a Mixed-Voltage Device Using a Stacked-Transistor-Triggered Silicon Controlled Rectifier” 案文中观察到此 SCR 装置。

图 7B 为根据本发明之另一具体实施例之 ESD 防护装置的略图。参照图 7B, 该 ESD 防护装置包含 FOD 装置 51, 其包含连接至 ESD 监测电路的基体(未经编号)。响应于 ESD 事件, 该基体通过自该 ESD 监测电路所提供, 通过该寄生电阻器 52 接地的电流所触发, 其开启寄生 npn 晶体管 53, 及该 ESD 防护装置。然后, 将 ESD 电流通过该寄生晶体管 53 而导通至接地。可在本申请案之诸发明人其一的 Ker 之美国专利第 5,744,842 号,

标题为“Area-Efficient VDD-to-VSS ESD Protection Circuit”案文中观察到此 FOD 装置。

图 8 为根据本发明之一具体实施例在混压接口中提供 ESD 防护的方法示意图。参照于图 8，已在先前各项具体实施例中加以讨论之第一 ESD 钳位电路 60 连接于该 VDD_H 与各 VSS 线路之间，用于 ESD 电流自该 VDD_H 线路传导至该 VSS 线路，以响应于出现在 VDD_H 上之 ESD 事件。在该 $VDDL$ 与各 VSS 线路之间平行连接于该内部电路 61 的第二 ESD 钳位电路 62，用于 ESD 电流自该 $VDDL$ 线路传导至该 VSS 线路，以响应于出现在 $VDDL$ 上的 ESD 事件。

所属技术领域的技术人员应可了解，可对上述各具体实施例进行变化，而不致悖离其广泛的发明性概念。所以，应了解的是，本发明并不限于所揭示之特定具体实施例，也涵盖由权利要求所定义之本发明精神与范畴内的各项修改。

此外，在描述本发明之代表性具体实施例中，本说明书可能已经将本发明之方法及/或程序表现为特定的步骤序列。然而就某种程度来说，该方法或程序并不仰赖于本文所陈述之特定步骤顺序，因此，该方法或程序不应受限于本文所述之特定步骤序列。所属技术领域的技术人员即可了解，亦可采用其它的步骤序列。所以，不应将本说明书中所陈述之特定步骤顺序诠释为本申请专利范围的限制条件。此外，不应将和本发明之方法及/或程序有关的申请专利范围限制在必须以文中所撰之顺序来执行，而所属技术领域的技术人员即可明了上述这些序列均可改变，且仍落在本发明的精神与范畴内。

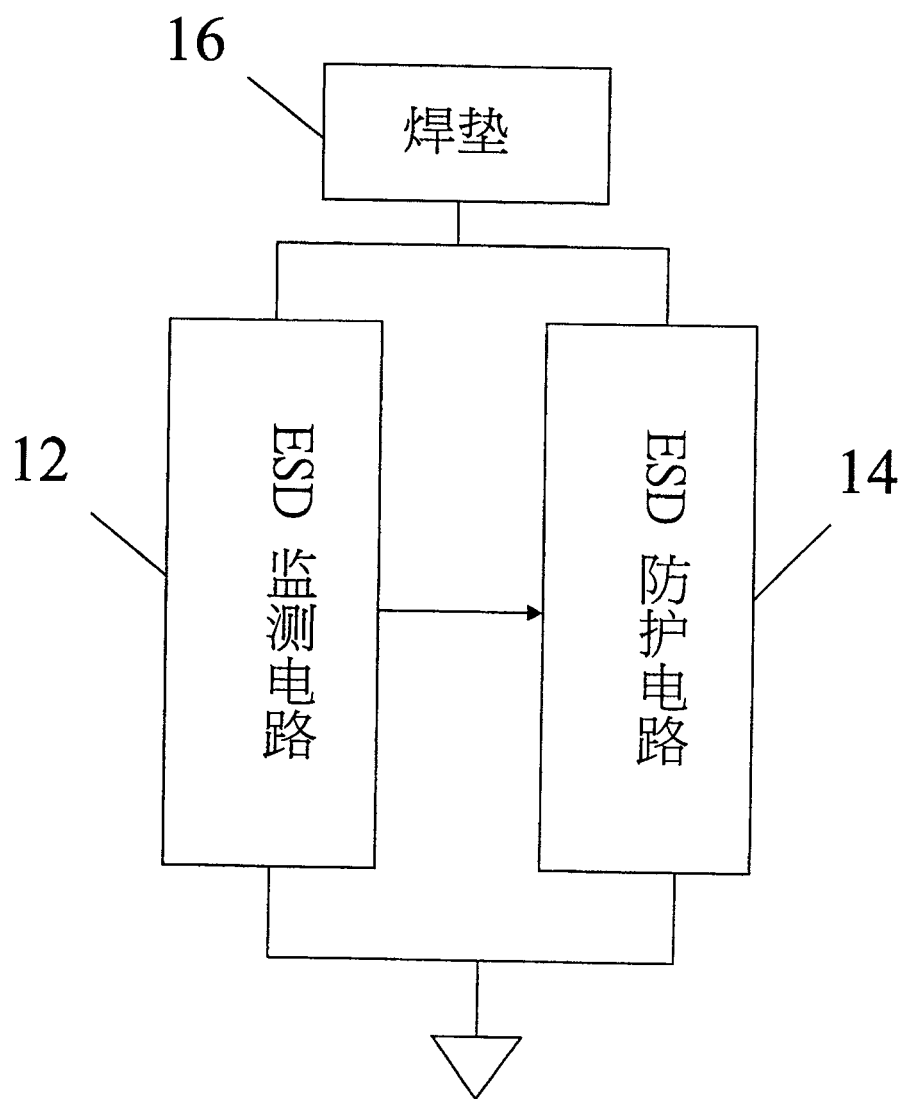


图 1

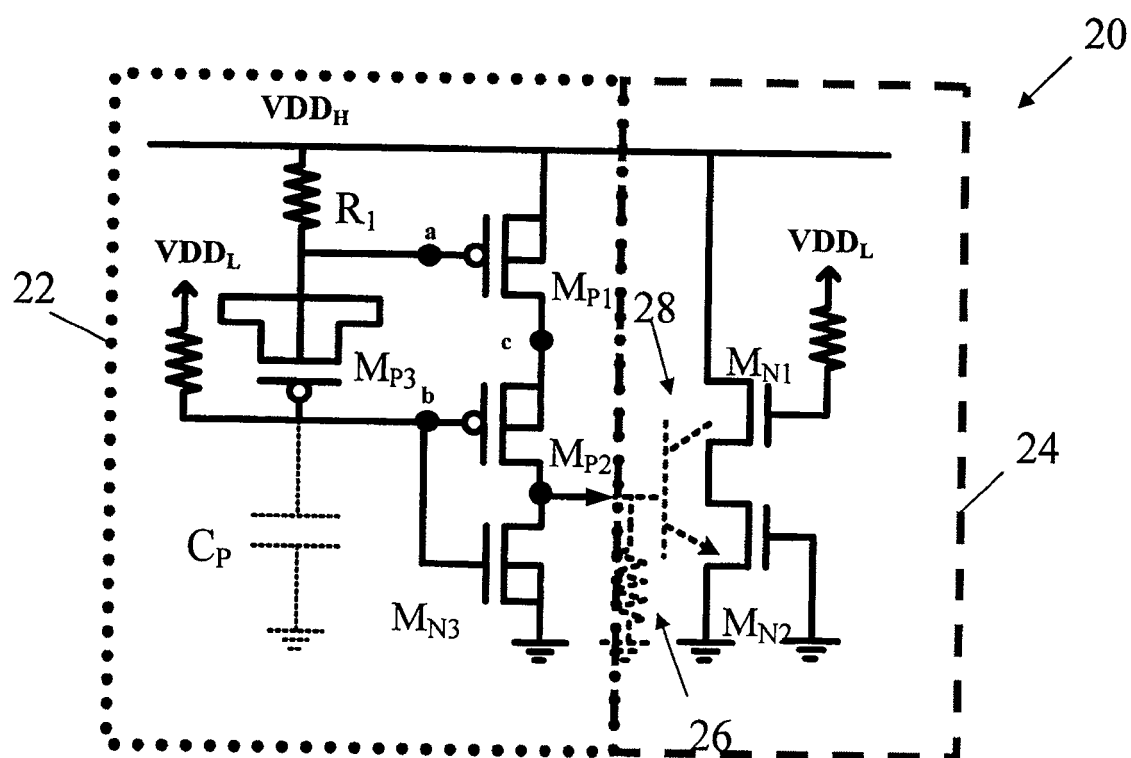


图 2

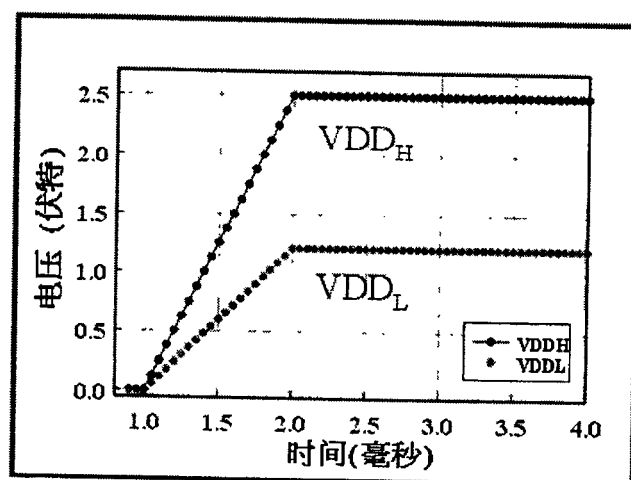


图3A

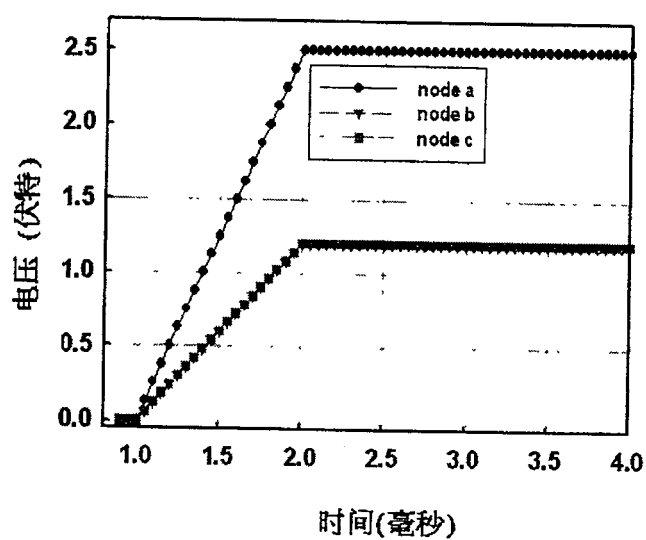


图3B

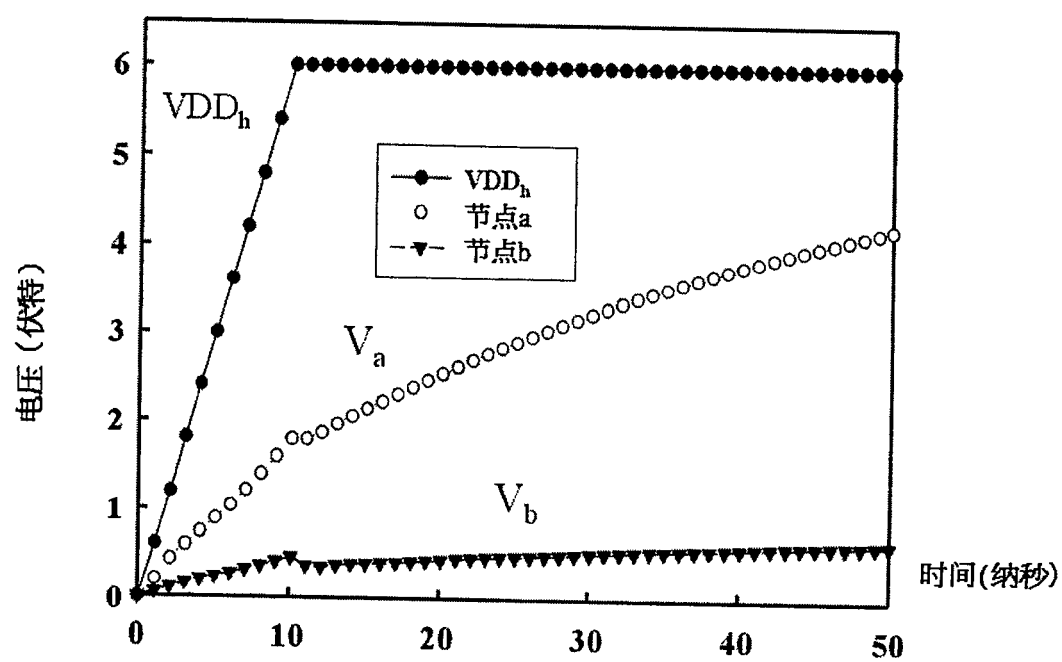


图4A

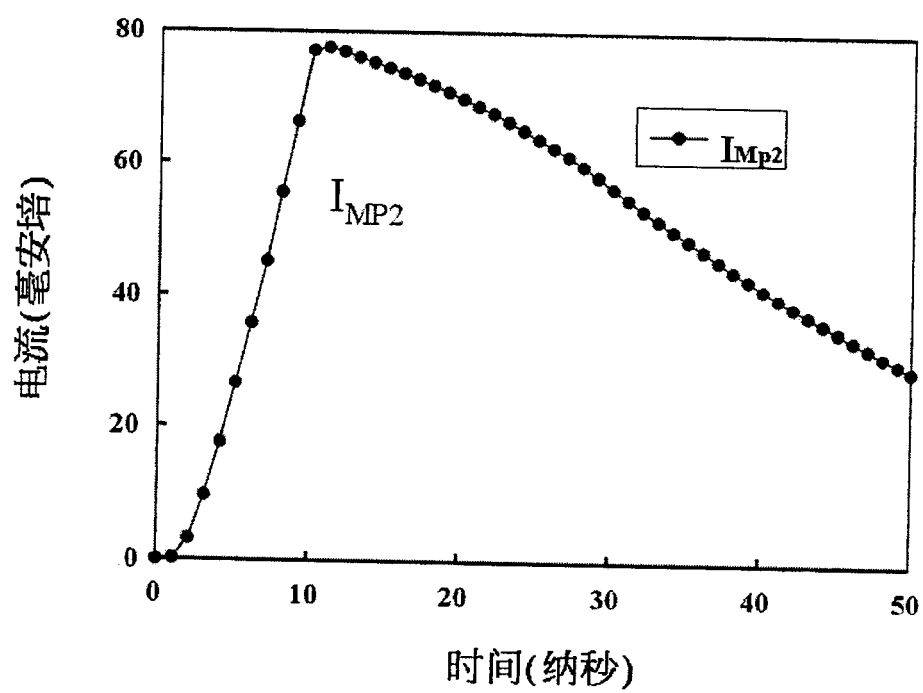


图4B

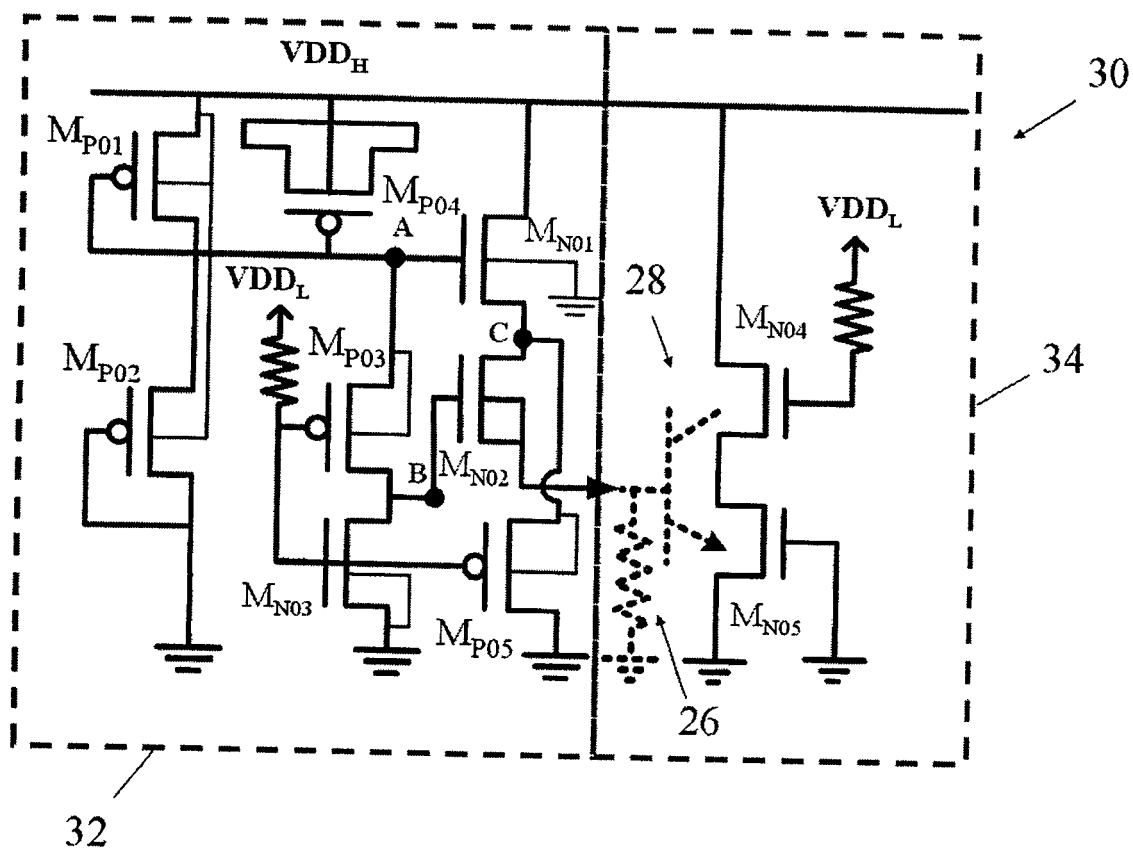


图5

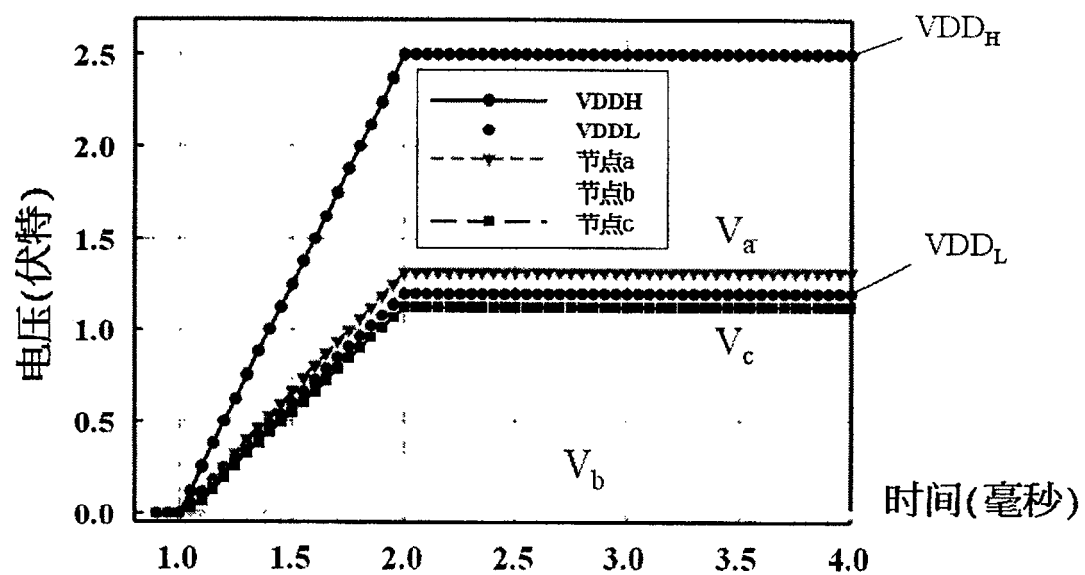


图6A

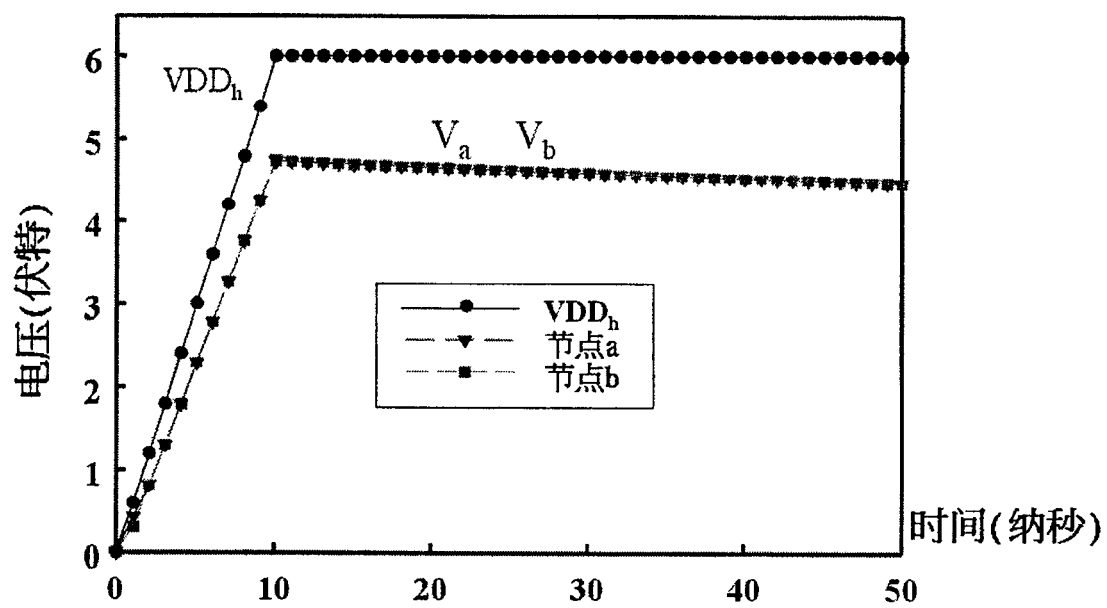


图6B

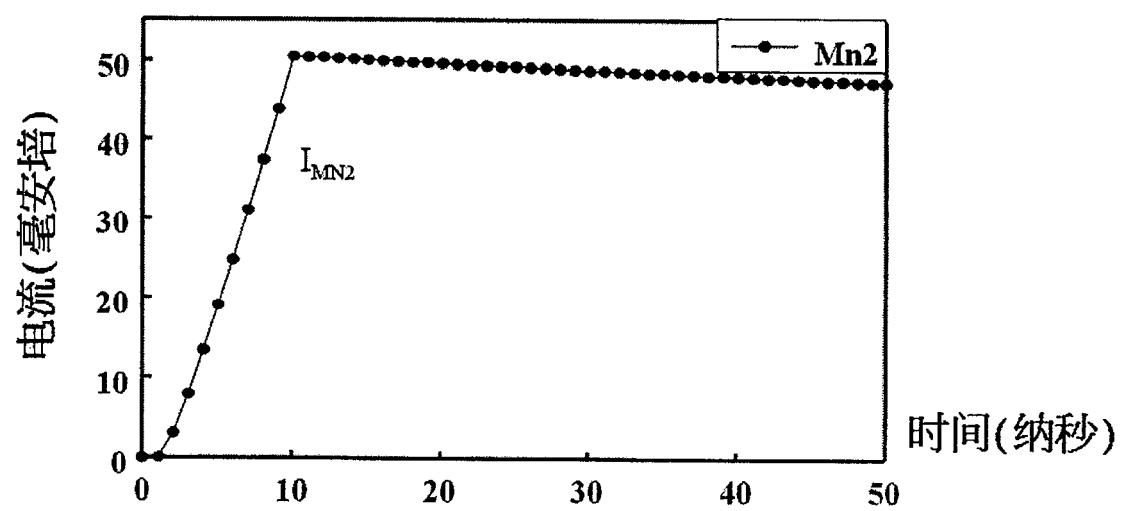


图6C

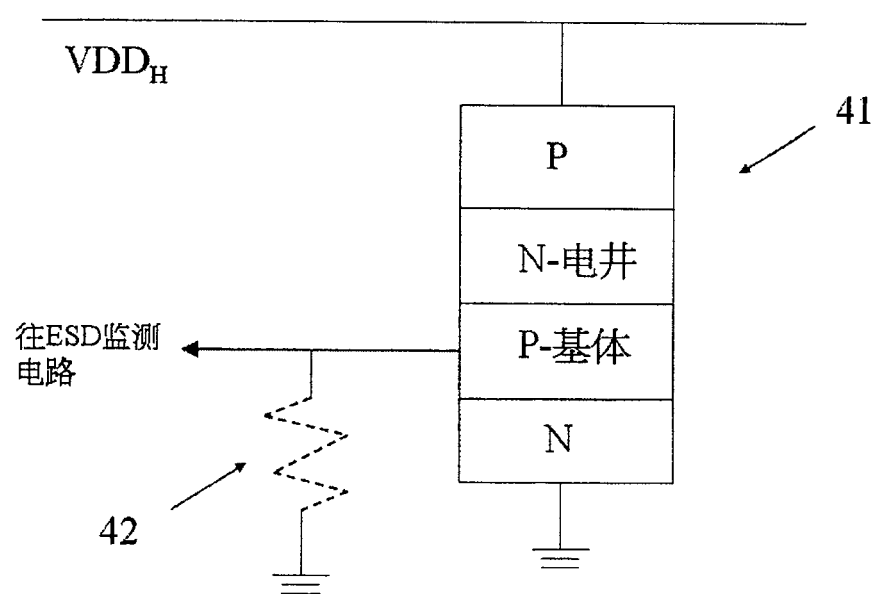


图7A

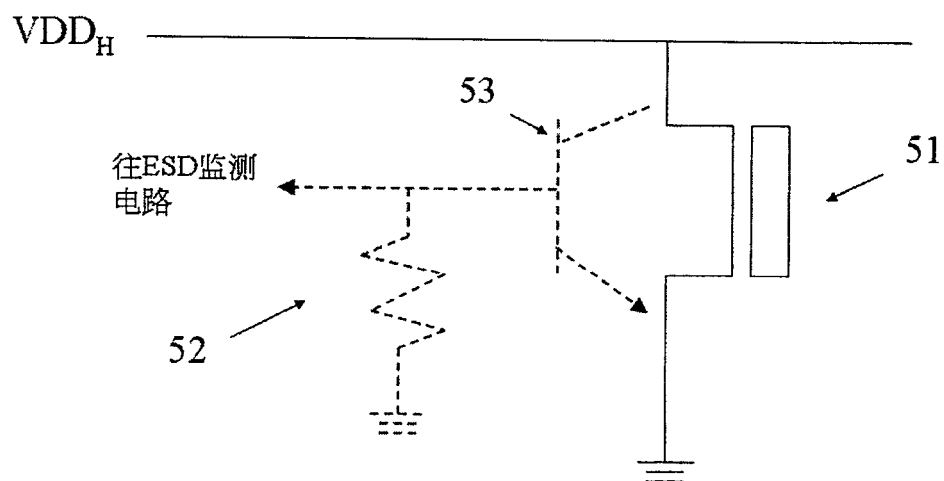


图7B

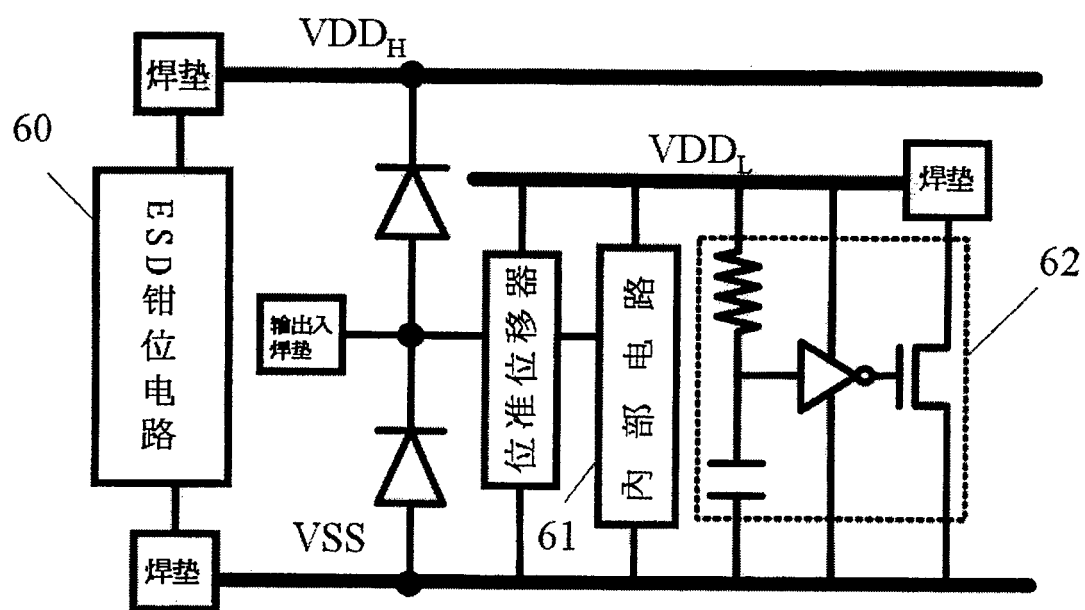


图8