

互補式金氧半(CMOS)積體電路在奈米製程下之
靜電放電防護方法

工研院系統晶片技術中心

曾當貴 柯明道

目錄

1. 摘要
2. 簡介
3. Already-on (native) 元件及其特性分析
4. 具有 already-on (native)元件的 ESD 防護設計
5. 結論
6. 參考論文

1. 摘要

在奈米 CMOS 積體電路中，靜電放電(ESD)防護能力隨著元件的尺寸縮減而大幅地降低，傳統的 ESD 防護電路設計及方法已不堪使用，所以在奈米製程中 ESD 防護元件的挑選及 ESD 防護電路設計必需更加以改良。在此篇論文中，我們針對一個具有初始導通特性 already-on (native)的 NMOS 元件，研究其 ESD 元件特性，並提出其在奈米 CMOS 積體電路上的創新應用。這種 already-on (native) NMOS 元件具有較低或是負臨界電壓(threshold voltage)的特性。當 IC 受到 ESD 轟擊時，這種 already-on (native)元件會具有初始導通的特性，也就是說，當 IC 浮接時，這種 already-on (native)元件就會在導通狀態下來等待 ESD 的轟擊。所以這種 already-on (native)元件在理論上具有最快的導通速度及最低的觸發電壓。如此，才能有效率地保護在奈米製程中超薄的閘極氧化層(厚度小於 15Å)。IC 在一般正常操作下，為了使這種 already-on (native)元件關閉來避免不必要的漏電流，該元件的閘極需要加上一負偏壓來關閉元件的通道。在此，我們亦提出一個可以應用在積體電路上的負偏壓產生電路及應用此 already-on (native)元件的全晶片 ESD 防護電路架構。更重要的是，此 already-on (native)元件及負偏壓產生電路都是與目前半導體製程相容的，也就是不需要花額外的光罩成本就可以達成。

2. 簡介

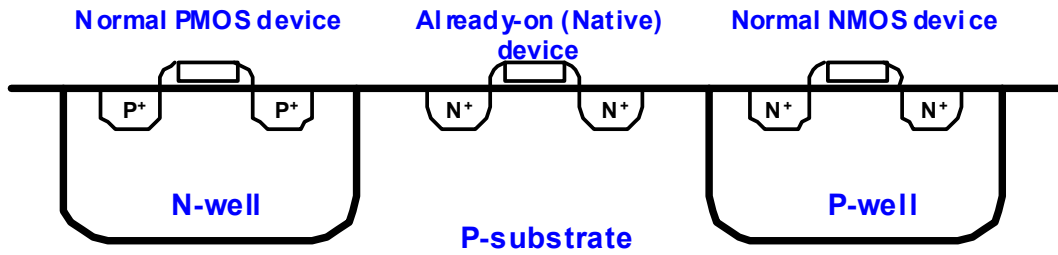
在目前深次微米積體電路產品中，ESD 對 IC 的傷害已經成為嚴重地可靠度問題。在過去 CMOS IC 產品中，ESD 保護元件大部份利用 NMOS、PMOS、厚氧化層元件(FOD)、二極體、寄生的雙載子電晶體(BJT)或是矽控整流器(SCR)。這些傳統的 ESD 保護元件在 IC 遭受到 ESD 轟擊時的起始瞬間是保持關閉狀態，ESD 過電壓轟擊時，元件會因為 pn 接面崩潰而觸發 ESD 元件的導通，進而排放 ESD 電流。這些傳統 ESD 元件的導通特性是具有高的崩潰電壓，為了有效地保護積體電路中越來越薄越脆弱的閘極氧化層，閘極耦合[1]-[2]及基體觸發技術[3]-[6]已經被用來降低這些傳統元件的觸發電壓及加速其導通速度。然而，在即將面對的奈米積體電路，閘極氧化層已經薄到小於 15Å，為了保護如此薄又脆弱的閘極氧化層，ESD 防護元件的導通速度勢必需要再加強，並且其觸發電壓還要再降低，如此才能有效箝制過電壓 ESD 的轟擊。在本論文中，我們提出全新的 ESD 防護元件及電路設計，並成功地在 130 奈米 CMOS 製程中驗證。這 already-on (native)元件的製作是不須額外的成本，且是與現有製程完全相同的。

3. Already-on (native) 元件及其特性分析

3.1 Already-on (native)元件結構

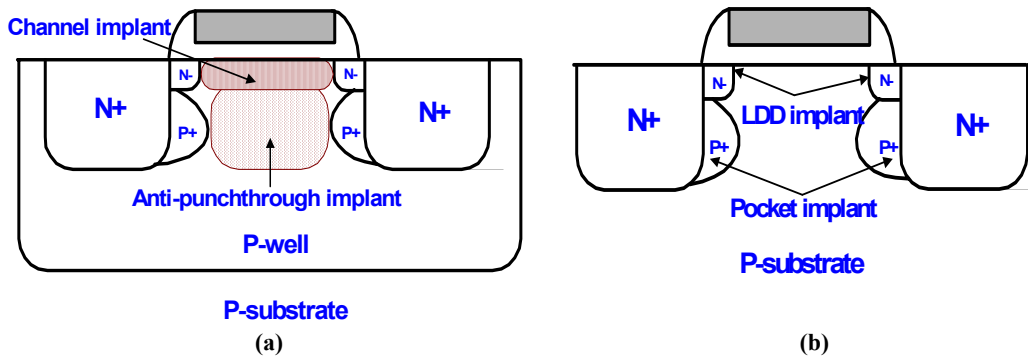
在本論文中所提到的 already-on (native)元件是一種 MOS 結構，其與一般 MOS 結構不同的是元件本身不在 Nwell 中也不在 Pwell 中，而是利用光罩層次的邏輯

運算使其 MOS 結構直接製作在 p-substrate 中，其元件結構如圖一所示。



圖一 一般 NMOS 元件、PMOS 元件、及在此所提出的 already-on (native)元件的剖面結構圖。

一般的 NMOS 元件及在此所提出的 already-on (native)元件的詳細元件結構圖，分別如圖二(a)及圖二(b)所示，這兩種元件結構主要不同在於 already-on (native) 元件少了 Pwell，而 Pwell 這一道光罩包含 Pwell 離子植入、anti-punchthrough 離子植入及 channel 離子植入。也就是說一般元件利用 Pwell 這一道光罩的離子佈植來調整元件的臨界電壓，然而因為 already-on (native)元件是直接形成在 p-substrate 上，所以元件的臨界電壓很低。但因為少了這三道離子佈植，使得 already-on (native)元件具有較高的電子移動率(electron mobility)。

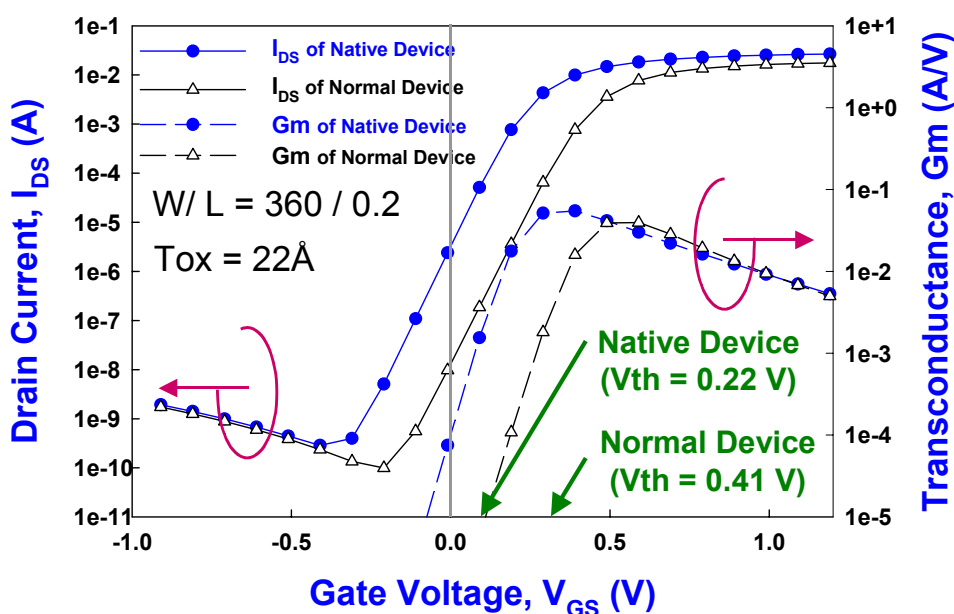


圖二 (a)一般元件的詳細結構圖，(b)already-on (native)元件的詳細結構圖。

3.2 Already-on (native)元件的 DC 特性

基本 $I_{ds}-V_{gs}$ 的 DC 特性圖是用 HP4155 儀器將汲極偏壓在 0.1 伏特所量測出來的，如圖三所示。利用 G_m 最大值取出臨界電壓後，並比較 already-on (native) 元件及一般 NMOS 元件的臨界電壓，由圖三我們可以觀察出 already-on (native) 元件的臨界電壓只有 0.22 伏特，一般元件的臨界電壓有 0.41 伏特，兩個元件的臨界電壓雖然只相差 0.2 伏特，但在 ESD 特性的表現上無論是觸發電壓及導通速度就會有明顯的差異。這種 already-on (native)元件在閘極電壓是 0 伏特時(一般元件關閉電壓)，其導通電流約 5uA，其電流大小約等於一般元件關閉電流的 500 倍，這正說明此 already-on (native)元件在 IC 浮接的狀況下是處於一個開啟的狀態(turn-on state)。但一般 IC 在正常操作下，為了避免此元件不斷地產生漏電流，所以必須在元件的閘極加上一負偏壓(約-0.3 伏特)，此負電壓可以讓元件

關閉到比一般元件(閘極電壓等於 0 伏特)更低的漏電流($\sim 0.3\text{nA}$)，如此 IC 的功率消耗可以達到更低。再觀察圖三的曲線，我們可以知道在負閘極電壓區域，一般元件可以將漏電流關閉到比 already-on (native)元件還要低，這是因為閘極電壓只能關閉靠近元件通道表面的電流，already-on (native)元件靠近通道底層會產生汲極引發能帶降低效應(Drain Induced Barrier Lowering, DIBL)，使得此部分汲極到源極的漏電流沒辦法靠閘極電壓來抑制。但是，already-on (native)元件正因為有 DIBL 效應，使得元件在 ESD 的特性表現上比一般元件優越，也就是說，already-on (native)元件可以利用 DIBL 效應來導通 ESD 電流，而不必利用 pn 接面崩潰來使 ESD 保護元件導通，如此在導通速度上以及在 ESD 耐壓強度上都是一大優點。

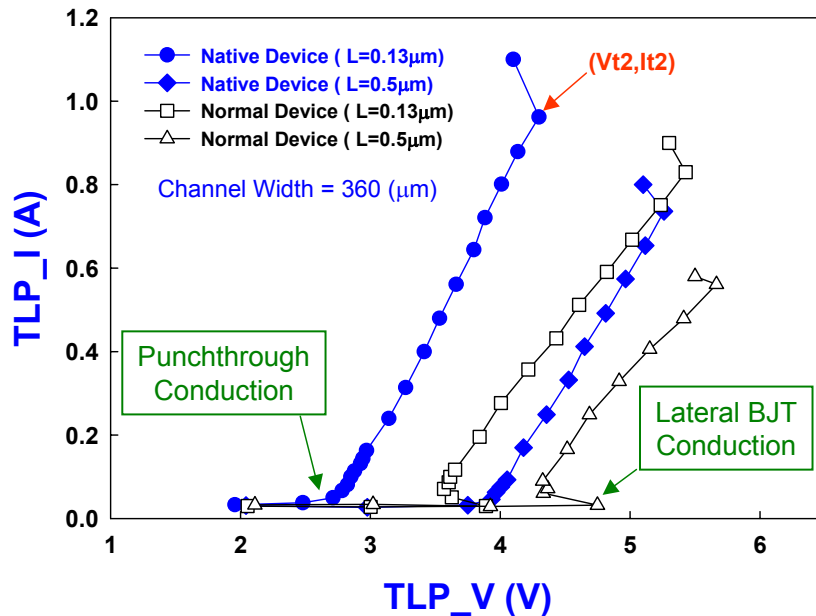


圖三 Already-on (native)元件的 DC 的特性曲線圖，本論文利用 Gm(max)的方法來找出元件的臨界電壓。

3.3 Already-on (native)元件的 TLP(Transmission Line Pulsing)特性分析

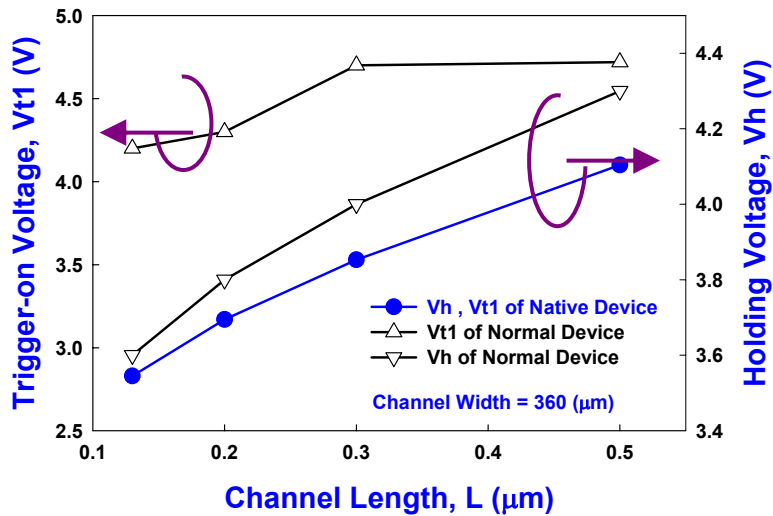
TLP 是一種觸波產生系統，主要是用來量測並量化待測元件的 ESD 特性及強度。在圖四中，我們比較一般元件及 already-on (native)元件在不同通道長度下的 TLP 特性曲線。一般元件在低電流區域會有 IV 曲線轉折點(V_{t1}, I_{t1})，其電壓 V_{t1} 稱為觸發電壓， I_{t1} 稱為觸發電流。此 IV 曲線轉折理論是因為元件需經過 pn 接面崩潰來使一般元件的寄生 BJT 導通，元件一經過導通，就會操作在 snapback 區域，在此區域中的元件特性就像是一個導通的開關，其導通阻值很低($R_{on} \sim 2\Omega$)。觀察圖四中 already-on (native)元件，其 TLP 特性曲線在低電流區並沒有 IV 曲線轉折點，這是由於 already-on (native)元件的導通機制與一般元件不同，already-on (native)元件利用特有的 DIBL 效應(或是稱為貫穿效應 punchthrough effect)來導通 ESD 電流，因為元件不需要透過 pn 接面崩潰，所以其 TLP 特性曲線在低電流區

域並無明顯的曲線轉折點，由圖四中我們可以觀察出，already-on (native)元件在相同的尺寸下，其觸發電壓(V_{t1})低、穩態電壓(V_h)低、導通電阻(R_{on})小、二次崩潰電壓(V_{t2})小、二次崩潰電流(I_{t2})大，使得其在 ESD 的特性上比起一般元件更加優秀，且更適合應用在奈米積體電路上，來有效地保護脆弱的閘極氧化層。



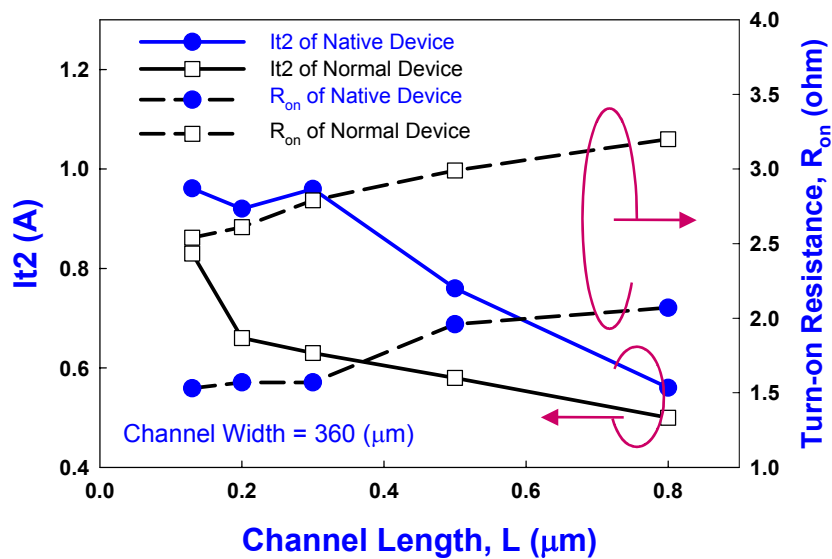
圖四 Already-on 元件與一般元件的 TLP 特性曲線圖。

Already-on (native)元件的 ESD 導通特性(其中包含觸發電壓 V_{t1} 及穩態電壓 V_h)與一般元件在不同的通道長度下的比較，如圖五所示。我們可以發現一般元件的觸發電壓與通道長度的關係，當通道長度大於 $0.3\mu\text{m}$ 時，因為崩潰電壓只與 pn 接面濃度有關，所以觸發電壓不隨著元件通道長度改變，但一般元件通道長度小於 $0.2\mu\text{m}$ 時，元件會有部分的 DIBL 效應使得 V_{t1} 降低。一般元件的穩態電壓 V_h 隨著元件的通道長度的縮減而變小，這是因為一般元件利用寄生的 BJT 來導通電流，通道的長度是 BJT 的基體 Base 寬度，基體寬度越小，BJT 的有效增益 β 越好，其穩態電壓會隨著 β 的增加而變小，其 ESD 耐壓度也會隨著穩態電壓的降低而變大。然而 already-on (native)元件的導通特性與一般元件完全不同，Already-on (native)元件的觸發特性完全是靠 punchthrough (嚴重的 DIBL 效應)來導通，其元件的穩態電壓 V_h (也就是觸發電壓 V_{t1})，與一般元件比較下，不僅僅是觸發電壓 V_{t1} 低，並且在相同的尺寸下元件的穩態電壓也較低，這意味著 ESD 元件在相同尺寸下，already-on (native)元件的 ESD 耐壓度會比一般元件來的高。這也就是說，我們可以在更小面積下，利用 already-on (native)元件達到較高的 ESD 耐壓度。由圖五我們更可以發現，already-on (native)元件的穩態電壓(觸發電壓)可以藉由通道長度來調變，並且其穩態電壓與通道長度近乎是一個線性的關係，這使得 already-on (native)元件的設計與應用更加容易地被精準控制。



圖五 Already-on 元件與一般元件的觸發電壓 V_{t1} 與穩態電壓 V_h 在不同通道長度下的比較。

Already-on (native) 元件與一般元件的二次崩潰電流 I_{t2} 和導通電阻 R_{on} 對不同通道長度的關係如圖六所示。Already-on (native) 元件的 I_{t2} 與通道長度成線性的反比關係，這個關係與 already-on (native) 元件的穩態電壓及導通電阻有直接的關連，當導通電阻越小且穩態電壓越低，其 I_{t2} 就會越高。圖六中觀察可知，元件隨著通道長度越短，其元件導通電阻越小則 I_{t2} 就會越高。然而重點是，already-on (native) 元件的 I_{t2} 平均比一般元件高出 30%，使其在相同面積下擁有更高的 ESD 耐壓度。

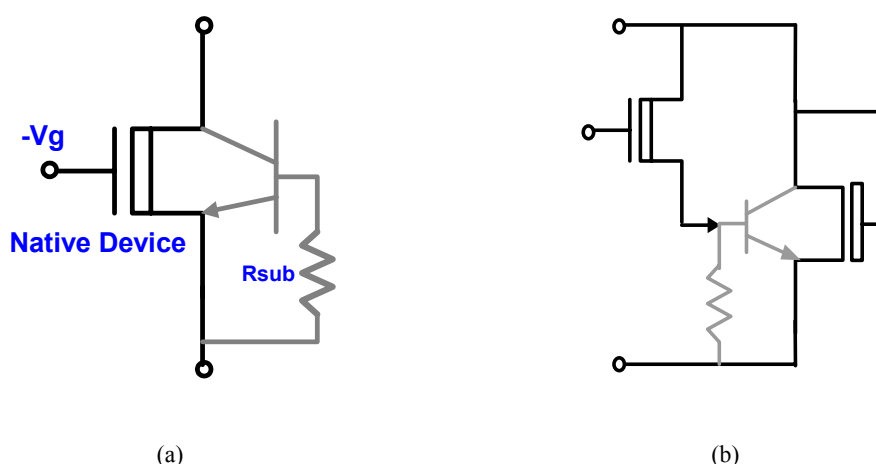


圖六 Already-on (native) 元件與一般元件的二次崩潰電流 I_{t2} 與導通電阻 R_{on} 在不同通道長度下的比較。

4. 具有 already-on (native)元件的 ESD 防護設計

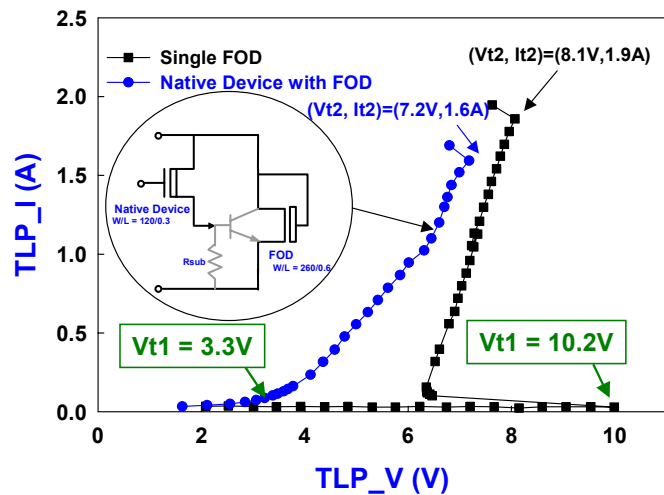
4.1 具有 already-on (native)元件的 ESD 保護單元

Already-on (native)元件擁有低觸發電壓與高 ESD 耐壓度的優點，所以可以單獨使用來當成 ESD 保護元件，如圖七(a)所示。因為觸發電壓低，所以 already-on (native)元件又可用來當成 ESD 控制元件來觸發其他 ESD 保護元件的導通，如圖七(b)所示，在這個 ESD 單元中 already-on (native)元件控制一個 field-oxide device (FOD)的基體，這兩種 Cells 都可以當成 ESD 保護單元。先前的分析，我們已經瞭解 already-on (native)元件當成 ESD 保護元件的特性，在此我們著墨於 already-on (native)元件當成控制元件的特性。



圖七 ESD 防護單元由(a)單一 already-on (native)元件構成，(b)一個 already-on (native)及一個 FOD 元件所組成。

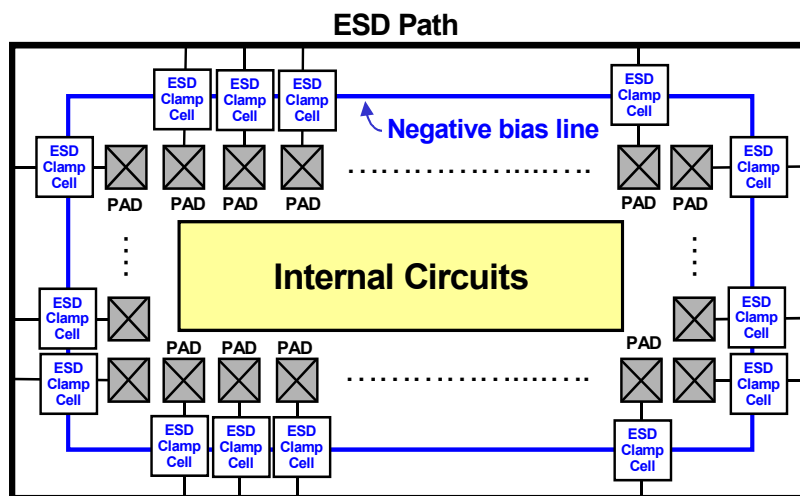
圖八中我們比較單一 FOD 元件及 already-on (native)元件控制 FOD 元件的 TLP 特性。FOD 元件的 ESD 特性是單位面積的耐壓度高，但其觸發電壓也很高，如圖八所示，FOD 觸發電壓等於 10.2 伏特。但經過一個 already-on (native)元件從 FOD 的基體觸發，使得其導通電壓從原本的 10.2 伏特降至 3.3 伏特。也就是說，經過 already-on (native)元件的控制，ESD 保護單元的觸發電壓可以下降 7 伏特之多，如此可以大幅地降低 ESD 對內部電路造成的損傷。但應用此 already-on (native)元件的設計，在 IC 正常操作下，其元件的閘極必須接上一負電壓(~ -0.3 伏特)使其關閉，這是使用此 already-on (native)元件當成 ESD 保護元件所需增加的設計工作。



圖八 單一 FOD 元件與 already-on 元件結合 FOD 元件單元的 TLP 特性圖。

4.2 全晶片 ESD 防護設計

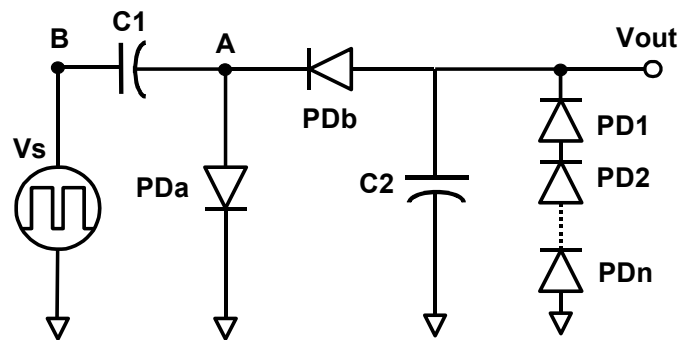
當 ESD 發生在 IC 的墊片(pad)上時，在圖七中具有初始導通特性的 ESD 防護單元，具有最快的導通速度來排放 ESD 電流。圖九舉例說明其中一種應用此 ESD 單元所設計的全晶片 ESD 防護電路架構。在圖九中，ESD 單元(ESD clamp cell)連接在每一個 pad 與共同的 ESD path 之間，所有的 ESD 單元中的每個 already-on (native)元件的閘極都共同接到一個負電壓線，此負電壓線的電壓源是由一個晶片上的負電壓產生電路來產生。當 IC 在有電壓源的一般正常操作下，這個晶片上的負電壓產生電路就會動作產生一個負電壓來關閉具有 already-on (native)元件的 ESD 單元。當 IC 在沒有任何電壓源下(也就是所有的腳位浮接)，負電壓產生電路就沒有任何輸出，所有的 already-on (native)元件都會是在導通狀態，準備等待排放 ESD 電流。所以在做 ESD 測試時，無論是正負 ESD 測試下，此元件都是在導通狀態(其中包括 I/O pin to I/O pin, I/O pin to VDD pin, I/O pin to VSS pin)，此創新性的 ESD 防護電路架構與一般傳統的 ESD 防護架構是截然不同的設計概念。



圖九 利用具有起始導通特性之 ESD 防護單元所形成的全晶片 ESD 防護電路。

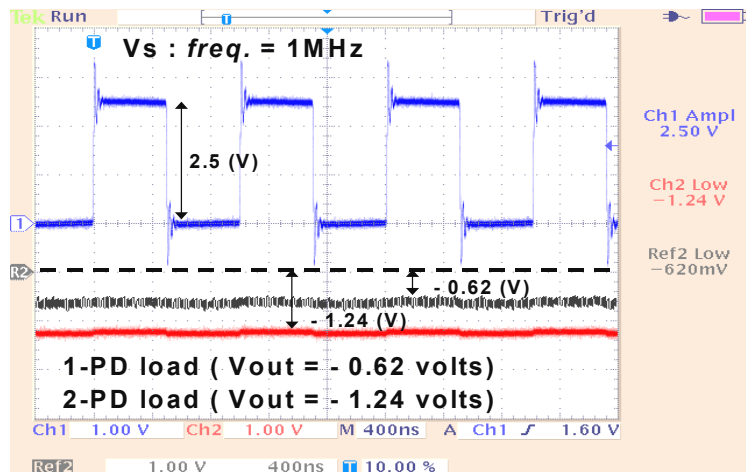
4.3 具有複晶矽二極體的負電壓產生電路

為了使 already-on (native)元件能夠在正常操作下關閉，一個負電壓產生電路[7]必須內建到晶片上。因為電路中的 VSS 接到 p-substrate，所以一般傳統由 MOS 或是傳統二極體所構成的 negative pump 電路並不適用於此。在此，提出利用複晶矽二極體(polysilicon diode)[8]來實現負電壓產生電路。複晶矽二極體是完全隔絕於電路的基板 p-substrate，使得電路產生的負電荷可以被儲存。這個利用複晶矽二極體所形成的負電壓產生電路如圖十所示。在量測過程中，Vs 使用 0~2.5 伏特的 Clock(這種 Clock 可以由晶片上一個 ring oscillator 來產生)來當成輸入源，選擇適當的 C1 及 C2，此負電壓產生電路便可以在 Vout 端產生一個負電壓並儲存在電容 C2 上，並藉由調整複晶矽二極體串接的數量(PD1~PDn)，輸出電壓就可以箝制在不同的負電壓準位。



圖十 利用複晶矽二極體所構成的負電壓產生電路的電路圖。

圖十一是此負電壓產生電路輸出端的實際量測波形圖。此負電壓產生器輸入一個 0~2.5 伏特 1MHz 的 Clock，當輸出只連接一個複晶矽二極體時，其 Vout 的電壓位準在 -0.62 伏特，也就是一個複晶矽二極體的切入電壓，當兩個複晶矽二極體串接在輸出端時，其 Vout 位準在 -1.24 伏特，並以此類推。此結果成功地驗證我們所提出的負電壓產生電路的可行性，並利用此電路來使所有 already-on (native)元件可以在 IC 正常操作時順利地關閉。此負電壓產生電路之複晶矽二極體可完全相容於 CMOS 的半導體製程中。



圖十一 負電壓產生電路在輸入方波後所產生的負電壓值。

5. 結論

在這篇論文中，介紹一種具有 already-on (native)元件的創新性 ESD 防護設計，這種防護設計概念與一般傳統的 ESD 保護設計概念完全不同。此 ESD 防護設計概念適用於閘極氧化層越來越薄的深次微米積體電路，以及未來的奈米積體電路產品。在本論文中，already-on (native)元件已經在 130 奈米的製程中，詳細地被調查驗證。更進一步的，其所需要的負電壓產生電路及全晶片防護電路設計也都被成功地驗證。

6. 參考論文

- [1] C. Duvvury and C. Diaz., “Dynamic gate coupling of NMOS for efficient output ESD protection,” in *Proc. of IRPS*, 1992, pp.141-150.
- [2] M.-D. Ker, C.-Y. Wu, T. Cheng, and H.-H. Chang, “Capacitor-couple ESD protection circuit for deep-submicron low-voltage CMOS ASIC,” *IEEE Trans. on VLSI Systems*, vol. 4, no. 3, pp. 307-321, 1996.
- [3] M.-D. Ker, T.-Y. Chen, and C.-Y. Wu., “Design of cost-efficient ESD clamp circuits for the power rails of CMOS ASIC’s with substrate-triggering technique,” in *Proc. of IEEE Int. ASIC Conf. and Exhibit*, 1997, pp. 287-290.
- [4] M.-D. Ker, T.-Y. Chen, C.-Y. Wu, H. Tang, K.-C. Su, and S.-W. Sun, “Novel input ESD protection circuit with substrate-triggering technique in a 0.25- μm shallow-trench-isolation CMOS technology,” in *Proc. of IEEE Int. Symp. on Circuits and Systems*, 1998, vol. 2, pp. 212-215.
- [5] C. Duvvury, S. Ramaswamy, A. Amerasekera, R. Cline, B. Anderson, and V. Gupta., “Substrate pump NMOS for ESD protection applications,” in *Proc. of EOS/ESD Symp.*, 2000, pp. 7-17.
- [6] M.-D Ker, T.-Y. Chen, and C.-Y. Wu, “ESD protection design in a 0.18- μm silicide CMOS technology by using substrate-triggered technique,” in *Proc. of IEEE Int. Symp. on Circuits and Systems*, 2001, pp.754-757.
- [7] M.-D. Ker, C.-Y. Chang, and H.-C. Jiang, “Design of negative charge pump circuit with polysilicon diodes in a 0.25- μm CMOS process,” in *Proc. of IEEE AP-ASIC Conf.*, 2002, pp. 145-148.
- [8] M.-D Ker, T.-Y. Chen, and C.-Y. Chang, “ESD protection design for CMOS RF integrated circuits,” in *Proc. of EOS/ESD Symp.*, 2001, pp. 346-354.