

適用於寬頻段射頻電路之分散式靜電放電防護
電路設計

郭秉捷，柯明道

國立交通大學 電子研究所
奈米電子與晶片系統實驗室

目錄

一. 摘要

二. 導論

三. 分散式靜電放電防護電路設計

3.1 分散式靜電放電防護電路之設計概念

3.2 S 參數分析

3.3 高頻靜電放電防護設計之考量

四. 電路在晶片上的實現

五. 實驗結果與討論

六. 結論

一. 摘要

將大尺寸的靜電放電防護元件放置在靠近射頻電路之輸入端，可以提供很高的靜電放電耐受程度。但是其寄生的電容負載卻造成寬頻電路的阻抗無法良好匹配以及頻寬衰減的問題。傳統的等面積分散式四級的靜電放電防護可以達成較好的阻抗匹配，但卻減弱了靜電放電防護能力。為了同時擁有很好的靜電放電防護和射頻電路的電路性能表現，本論文提出了兩個新的分散式靜電放電防護架構。第一個提出的靜電放電防護電路是利用面積遞減的方式來組織分散式靜電放電防護電路，以提升靜電放電防護能力。這種電路稱為遞減面積分散式靜電放電(DS-DESD)防護電路。第二個提出的 π 型分散式靜電放電(π -DESD)防護電路是把靜電放電防護元件分成兩組，一組靠近輸入端鉚墊，一組靠近射頻核心電路，中間再用屏蔽式共平面導波管(CPWG)來連接。這種結構可以同時提升靜電放電防護能力和射頻方面的表現。

關鍵字 - 靜電放電，分散式靜電放電防護，遞減面積分散式靜電放電防護， π 型分散式靜電放電防護，屏蔽式共平面導波管。

二. 導論

在積體電路製造過程中，靜電放電是眾多可靠度議題中最重要的一項。隨著積體電路的尺寸日趨縮小以及操作頻率的快速增加，如何提供有效的靜電放電防護來保護內部電路變成了一項艱鉅的挑戰。在無線窄頻和高速寬頻的應用中，在實現高靜電放電防護能力，和不影響射頻電路的表現方面，必須做些妥協。因此，在這些系統中的保護元件，必須要設計成小尺寸，且靠近輸出輸入端[1]。然而，隨著持續飆漲的操作頻率，這種架構的電路也遇到了其瓶頸。因為小尺寸的元件隨著頻率增加，其寄生電導值也會遞增，會導致嚴重的阻抗不匹配。為了改善阻抗匹配的問題，有一種分散式靜電放電防護的結構被提出。其原理是利用傳輸線線段把靜電放電防護元件分隔成好幾個小塊，正如圖一所示。在近幾年來的一些論文中，分散式靜電放電防護的結構可以達成好的靜電放電防護或優良的寬頻表現，但是截至目前，還沒有實際晶片設計可以同時達到兩者皆優的成果[2]-[5]。在文獻[2]中，其靜電放電防護元件是使用閘級接地的互補式金氧半導體電晶體搭配汲級端的串接 N-well 電阻來幫助保護元件均勻導通，以增加靜電放電防護能力。但是其缺點為串聯的電阻會貢獻熱雜訊，對於高頻的系統並不適合。在文獻[3]-[5]中，一個四級的分散式靜電放電防護，使用等尺寸的靜電放電防護元件達到了較佳的寬頻阻抗匹配，但是這些論文並沒有提出有關於靜電放電防護上的實際實驗成果。在本篇論文中，我們提出了兩種新的分散式靜電放電防護架構。這兩種架構對於高頻表現的影響和對於靜電防護的加強都將被討論並經由測試

晶片來驗證。這兩種靜電放電防護電路都已被成功地驗證可以同時提供很好的高頻特性和靜電放電防護能力。

三. 分散式靜電放電防護設計

3.1 分散式靜電放電防護電路之設計概念

隨著操作頻率的快速增加，利用分散式靜電放電防護電路來補償寄生效應，是勢在必行的方式。然而使用傳統等尺寸分散式靜電放電防護電路卻很難同時達成很好的高頻特性和靜電放電防護能力。

根據靜電放電防護的觀念，防護元件應該要被製造成大尺寸，且放置在靠近輸入訊號端的鉅墊，正如圖二所示。但是為了高頻表現，防護元件較偏好被分成許多等面積的小單位，並利用傳輸線或電感來分隔，如圖一所示。這個困擾可以用我們新提出的兩個靜電放電防護的結構來解決，如圖三所示。第一個提出的靜電放電防護架構，如圖三(a)所示，是將靜電放電防護元件從鉅墊訊號端到內部電路端按照遞減尺寸的方式配置，所以可以稱之為遞減面積分散式靜電放電(DS-DESD)防護架構。第二個提出的靜電放電防護架構，如圖三(b)所示，在小訊號分析時是一個 π 型的模型，所以被稱為 π 型分散式靜電放電(π -DESD)防護架構。這個 π 型分散式靜電放電防護是由兩組靜電放電防護元件所構成，一組靠近鉅墊訊號端，一組靠近內部電路，中間再用特定長度的屏蔽式共平面導波管(CPWG)來連接。接下來的章節會介紹此兩種靜電放電防護的設計，在高頻時的表現以及其靜電放電防護的設計考量。

3.2 S 參數分析

S 參數矩陣經常被用在高頻系統中來呈現此電路的表現。在內阻為 50 歐姆的高頻系統中，我們共調查了四種不同的靜電放電防護電路，如圖四所示。圖四(a)表示了傳統的靜電放電防護設計，此架構並未考慮高頻阻抗匹配。圖四(b)表示了等面積分散式靜電放電(ES-DESD)防護架構，此架構在文獻[3]中已被提出。圖四(c)和圖四(d)呈現了新提出的遞減面積分散式靜電放電防護和 π 型分散式靜電放電防護。內阻為 50 歐姆的訊號源連接到防護電路的輸入端，而防護電路的輸出端則和要被保護的內部系統相連，其負載阻抗為 50 歐姆。在每一個電路中，靜電放電防護元件都被模型化成等效電容。在文獻[6], [7]中已證明屏蔽式共平面導波管可以提供很優良的高頻特性一直到 10 GHz，所以在此我們採用此種導波管來取代傳輸線，並選擇符合需求的特徵阻抗。二極體因為僅會貢獻很小的寄生電容，所以在高頻系統中經常採用此元件來作為靜電放電防護元件。而在多種二極體中，淺壕溝隔絕(STI)二極體因為有很高的 Q 值和很高的靜電放電耐受度，所以我們在此選用這種二極體結構來做靜電放電防護元件[8]。一開始，我們採

用寄生電容總共為 200 fF 的靜電放電防護元件來實現這四種架構的電路，這個寄生電容值足夠承受兩千伏特的靜電放電防護電壓[9]。此外，我們使用特徵阻抗為 70 歐姆的屏蔽式共平面導波管來實現電路。在此我們使用 ADS 作為微波電路模擬器，從 1 到 15 GHz 做 S 參數的掃瞄來產生反射係數 S11 和穿透係數 S21。由於我們假設使用的是理想的屏蔽式共平面導波管，即忽略導波管上的損耗，所以 S21 就是 1-S11，因此只需要比較 S11，就可以知道圖四中各電路的阻抗匹配程度。我們用史密斯圖(Smith chart)來呈現電路匹配的原理，其操作頻率被訂在 10 GHz，正如圖五所示。每一個電路中每一段屏蔽式共平面導波管的長度都被調整到最理想，以達到最佳的阻抗匹配。此外，史密斯圖的中心點為 50 歐姆的位置，離中心點越近，即代表阻抗匹配越佳。圖五上每一張圖上每一點的編號，代表著匹配的路徑過程。而其過程都和靜電放電防護元件的寄生電容相關。

圖五(a)呈現了圖四(a)的 S11 軌跡圖。從圖中可知，其結束點已經偏離了 50 歐姆中心點。圖五(b)則表示了圖四(b)的匹配圖，其匹配狀況比圖五(a)有了大幅的改善。圖五(c)的軌跡過程和圖五(b)大致相同，其表現了圖四(c)中遞減面積分散式靜電放電防護電路所造成的現象。最後，來觀察圖五(d)，其呈現的是圖四(d)中的 π 型分散式靜電放電防護電路所行程的匹配結果，其終結點回到了正中心，表示其擁有最佳的匹配。 π 型分散式靜電放電架構的觀念和之前的等面積分散式和遞減面積分散式靜電放電架構不同，後兩者是一直將阻抗拉回實數軸，而前者是故意讓阻抗超過實數軸，再利用寄生電容將阻抗拉回原點。圖六表示了圖四中各種設計的模擬結果。比較這四條 S11 的曲線，他們在低頻時都擁有很好的表現。但隨著頻率升高，傳統的靜電放電防護開始出現比其他三者差的匹配。當頻率升高到 10 GHz， π 型分散式靜電放電架構擁有最好的匹配。再來比較等面積分散式和遞減面積分散式靜電放電架構，他們的 S11 曲線從 1 到 10 GHz 都只有些微的差異。根據圖六的結果，遞減面積分散式靜電放電防護架構和 π 型分散式靜電放電防護架構確實擁有較佳的高頻特性。

3.3 高頻靜電放電防護設計之考量

輸入端的靜電放電測試有四種基本的組合，這些組合就是輸入腳位相對於 VDD 施加正和負靜電放電轟擊以及輸入腳位相對於 VSS 施加正和負靜電放電轟擊。靜電放電耐受電壓的判定標準是以這四種組合中最低的電壓為準。因此，晶片上靜電放電保護的設計應該要提供這四種測試組合有效的放電路徑。正如圖七所示，一個有效開啟的靜電放電防護箝制電路(RC-Inverter-NMOS)被放置於 VDD 和 VSS 電源間來確保所有的靜電放電防護元件在四種測試組合下都能工作在順偏的條件下[10]。

為了比較和分析各電路在靜電放電防護上的表現，我們利用等面積分散式靜電放電防護電路的電阻梯模型來做說明，正如圖八所示。根據文獻[2]，屏蔽式共平面導波管上的串聯電阻(Rc)越大，或靜電放電防護元件的等效電阻(Resd)越大，都會降低靜電放電耐受程度。因為在這兩種條件下，會有很大的功率跨在屏

蔽式共平面導波管或靜電放電防護元件上，因而導致防護電路容易燒毀。因此，要增加靜電放電防護能力，勢必要將 Resd 或 Rc 值減少。遞減面積分散式靜電放電防護架構利用加大第一級保護元件的面積來減少第一級上的 Resd，而這裡通常是最容易被靜電電流燒毀的地方。在 π 型分散式靜電放電防護架構中，由於沒有第一級的 Rc 且減少了第一級的 Resd，所以靜電放電電流可以更有效的被排放。

四. 電路在晶片上的實現

為了要驗證新提出的兩個分散式靜電放電防護電路的高頻特性和靜電放電防護能力，我們希望能在先進半導體製程中下線。但受限於先進半導體製程資源的獲得，本論文僅能以 0.25 微米互補式金氧半導體的技術來驗證所提出的各種設計。由於此環境下的高頻損耗非常嚴重，所以我們將會偏重於靜電放電防護能力上的比較。在實驗晶片中，屏蔽式共平面導波管採用最上層的第五層金屬來做訊號線，第一層金屬來做接地的屏蔽。訊號線的厚度和離地的高度都因為固定的製程參數而無法改變。因此，想要改變導波管的特徵阻抗，只能透過調整訊號線的金屬寬度，以及改變訊號線和共平面地線間的距離著手。基於製程中介電係數是一個固定值，因此我們可以算出所需的導波管長度，利用這些不同長度的導波管來補償靜電放電防護二極體元件的寄生電容效應。為了要節省面積以及凸顯電阻梯模型的效應，我們選擇比較窄的訊號線。但也由於較窄的訊號線會導致導波管上的串接電阻增加，因而損害了高頻功率的傳輸和靜電放電電流的傳導，所以又不能窄到沒有節制。在此兩種衝突中，要尋求其折衷點。表一中列出了屏蔽式共平面導波管的參數以做為參考。淺壕溝隔絕(STI)p 型和 n 型的二極體被採用來將靜電放電電流導掉。圖九中列出了本實驗晶片上所要實現的四種電路，其相關參數則列於表二中。

圖九中的第一個電路是傳統的一級靜電放電防護電路，並且沒有放入 VDD 和 VSS 間的箝制電路。而其他三個電路都有加入箝制電路，依序為等面積分散式靜電放電防護電路、遞減面積分散式靜電放電防護電路、和 π 型分散式靜電放電防護電路。

表一
屏蔽式共平面導波管(CPWG)在不同特徵阻抗下(Z_0)的參數

Z_0 (Ω)	Width (μm)	Spacing (μm)	Height (μm)	Thickness (μm)
70	5.5	7.4	5.71	1.5
80	4.1	8.8	5.71	1.5
90	2.9	8.2	5.71	1.5
100	2.1	8.4	5.71	1.5

表二
圖九中各電路的元件值

	圖九(a)	圖九(b)	圖九(c)	圖九(d)
Match type		ES-DESD	DS-DESD	π -DESD
Cd1 (fF)	200	50	100	100
Cd2 (fF)		50	50	100
Cd3 (fF)		50	25	
Cd4 (fF)		50	25	
Zo1 (Ω)		70	70	70
Zo2 (Ω)		70	80	
Zo3 (Ω)		70	90	
Zo4 (Ω)		70	100	

五. 實驗結果與討論

人體放電模式(human-body model, HBM)的測試準則是觀察在 1 μ 安培下電流對電壓的曲線改變超過 30%，則判定為損害，如圖十所示。而其靜電放電測試結果則總結於表三中。表三上的 ND 和 PS 是最脆弱的兩種放電模式，所以量測此兩種就可以快速且有效的判斷靜電放電防護能力。正如表三所示，如果我們比較圖九(a)和其他三個圖九中的電路，我們可以證明電壓箝制電路是非常有效用的。此外，新提出的遞減面積分散式靜電放電防護架構和 π 型分散式靜電放電防護架構都成功地提供了優於傳統等面積分散式靜電放電防護架構的靜電放電防護電壓。為了確保量測結果和之前所提的電阻梯模型原理一致，我們將已遭靜電放電破壞的晶片拿去做故障分析處理，以便找出其燒毀處。

表三
圖九中各電路的人體放電模式所能達到的靜電放電等級

	圖九(a)	圖九(b)	圖九(c)	圖九(d)
Match type		ES-DESD	DS-DESD	π -DESD
ND-mode (kV)	0.6	5.5	>8.0	>8.0
PS-mode (kV)	0.65	5.5	>8.0	>8.0

圖十一(a)的 EMMI (photon emission microscope)圖片中顯示了箭頭所指的燒毀處確實是在第一個 n 型二極體的接合處(junction)附近，而其破壞是因 ND 模式的靜電放電電壓所造成的。這片發光範圍是因為金屬線已經短路到基底所導致的。圖十一(b)顯示了 PS 模式的靜電放電損傷，位置是在第一個 p 型二極體的接合處。圖十一中的故障點證據證明了電阻梯模型的觀念是正確的。因此新提出的

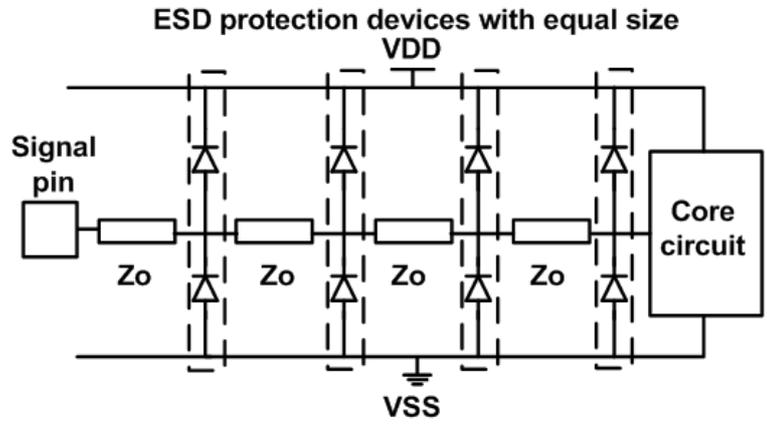
兩個新分散式靜電放電防護電路基於此模型的理論，確實都可以在靜電放電發生時，對內部電路有最好的保護。

六. 結論

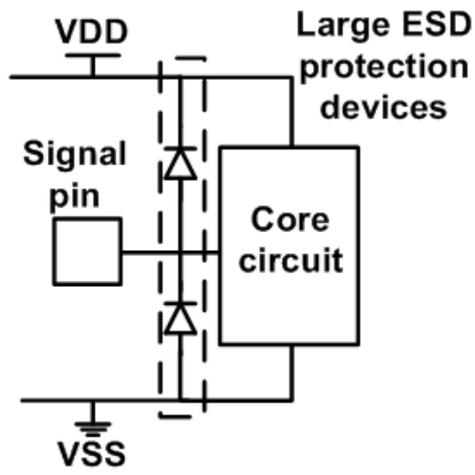
在本論文，有兩個新的分散式靜電放電防護電路被提出。兩者都擁有很優秀的寬頻表現和靜電放電防護表現。且都在 0.25 微米的金氧半導體製程中被實現及驗證出來。第一個提出的遞減面積分散式靜電放電(DS-DESD)防護架構，除了擁有和傳統的等面積分散式靜電放電(ES-DESD)防護架構相同好的高頻特性外，其靜電放電防護能力比傳統的等面積分散式架構還要更好。第二個提出的 π 型分散式靜電放電(π -DESD)防護架構在高頻特性上和靜電放電防護能力上都遠比傳統的等面積分散式靜電放電防護架構要來的好。此兩個新提出的架構都有效改善傳統等面積分散式靜電放電防護架構的缺點，並且很適合應用在寬頻段的射頻系統中。藉由本論文之研發，困擾業界許久的射頻積體電路之靜電放電防護問題已經獲得徹底的解決方案。

參考文獻

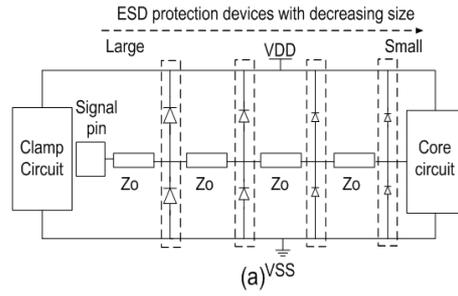
- [1] P. Leroux, J. Janssens, and M. Steyaert, “A 0.8-dB NF ESD-protected 9-mW CMOS LNA,” in *IEEE Int. Solid State Circuits Conf. (ISSCC) Dig. Tech. Papers*, Feb. 2001, pp. 410–411.
- [2] B. Kleveland, T. J. Maloney, I. Morgan, L. Madden, T. H. Lee, and S. S. Wong, “Distributed ESD protection for high-speed integrated circuits,” *IEEE Electron Device Lett.*, vol. 21, pp. 390-392, Aug. 2000.
- [3] C. Ito, K. Banerjee, and R. W. Dutton, “Analysis and design of distributed ESD protection circuits for high-speed mixed-signal and RF ICs,” *IEEE Trans. on Electron Devices*, vol. 49, pp. 1444-1454, Aug. 2002.
- [4] C. Ito, K. Banerjee, and R.W. Dutton, “Analysis and design of ESD protection circuits for high-frequency/RF applications,” in *IEEE Int. Symp. Quality Electronic Design*, 2001, pp. 117–122.
- [5] C. Ito, K. Banerjee, and R.W. Dutton, “Analysis and optimization of distributed ESD protection circuitsfor high-speed mixed-signal and RF applications,” in *Proc. EOS/ESD Symp.*, 2001, pp. 355–363.
- [6] C. P. Wen, “Coplanar waveguide: A surface strip transmission line suitable for nonreciprocal gyromagnetic device applications,” *IEEE Trans. on Microwave Theory Tech.*, vol. MTT-17, pp. 1087-1090, Dec. 1969.
- [7] B. Kleveland, C. H. Diaz, D. Vook, L. Madden, T. H. Lee, and S. S. Wong, “Exploiting CMOS reverse interconnect scaling in multigigahertz amplifier and oscillator design,” *IEEE J. Solid-State Circuits*, vol. 36, pp. 1480-1488, Oct. 2001.
- [8] R. M. D. A. Velghe, P. W. H. de Vreede, and P. H. Woerlee, “Diode network used as ESD protection in RF applications,” in *Proc. EOS/ESD Symp.*, 2001, pp. 337-345.
- [9] A. Amerasekera, “RF protection circuit design approaches,” *Tutorial Notes, EOS/ESD Symp.*, 1999.
- [10] M.-D. Ker, “Whole-chip ESD protection design with efficient VDD-to-VSS ESD clamp circuits for submicron CMOS VLSI,” *IEEE Trans. on Electron Devices*, vol. 46, pp. 173-183, Jan. 1999.



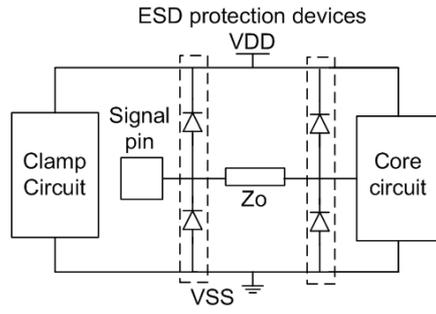
圖一 一種分散式靜電放電防護架構[3].



圖二 一個傳統的靜電放電防護設計。大尺寸的保護元件被放置在靠近錫墊訊號端。

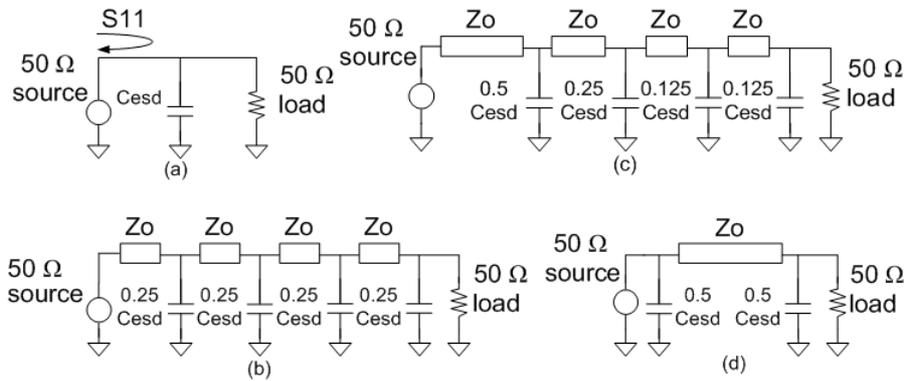


(a) V_{SS}

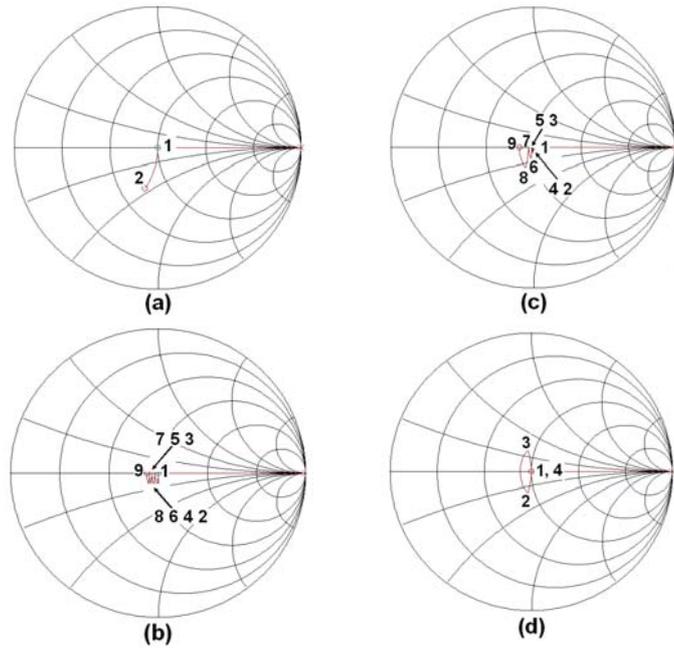


(b)

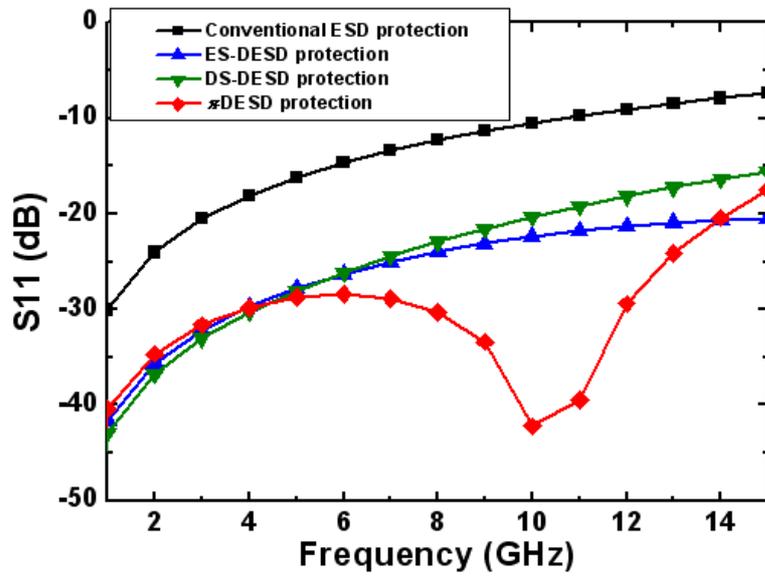
圖三 新提出的分散式靜電放電防護設計。
 (a) 遞減面積分散式靜電放電(DS-DESD)防護架構。
 (b) π 型分散式靜電放電(π -DESD)防護架構。



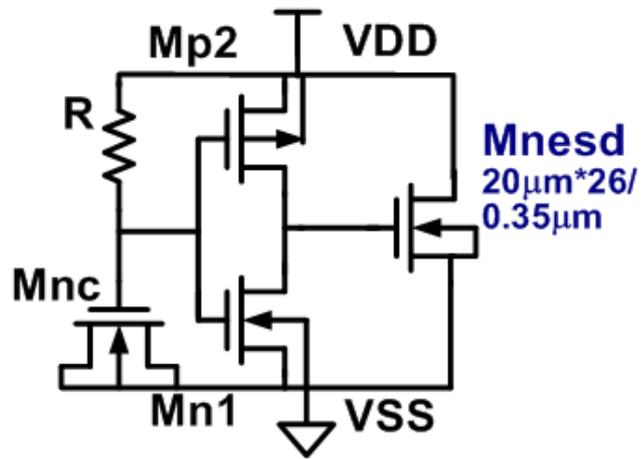
圖四 等效的高頻電路模型。(a)傳統的靜電放電防護沒有分散式匹配。(b)等面積分散式靜電放電防護(ES-DESD)。(c)遞減面積分散式靜電放電防護。(d) π 型分散式靜電放電防護。



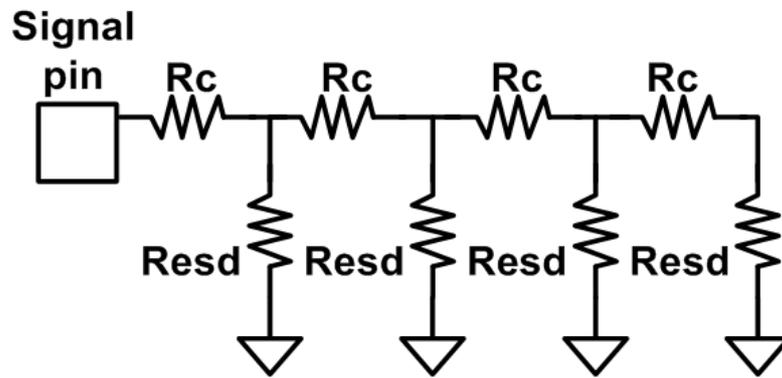
圖五 相對於圖四中各種不同設計之阻抗匹配過程，用史密斯圖 (Smith chart) 來表示。



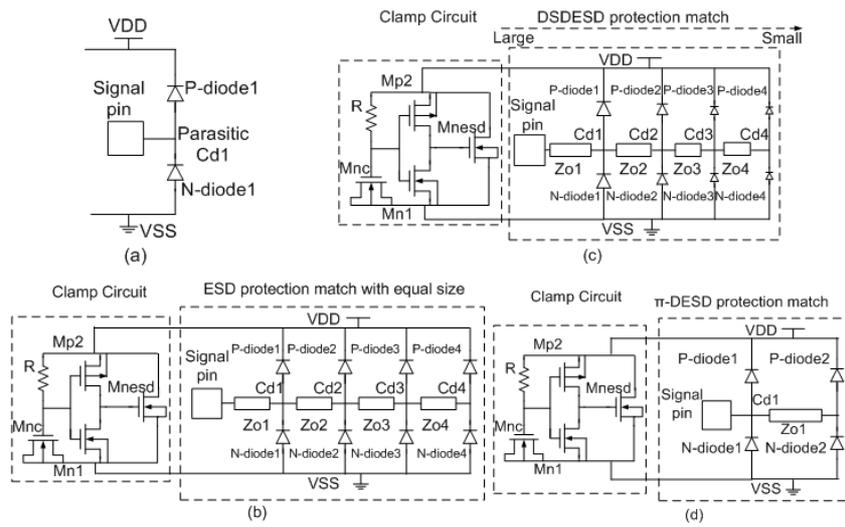
圖六 圖四中S11的模擬結果。



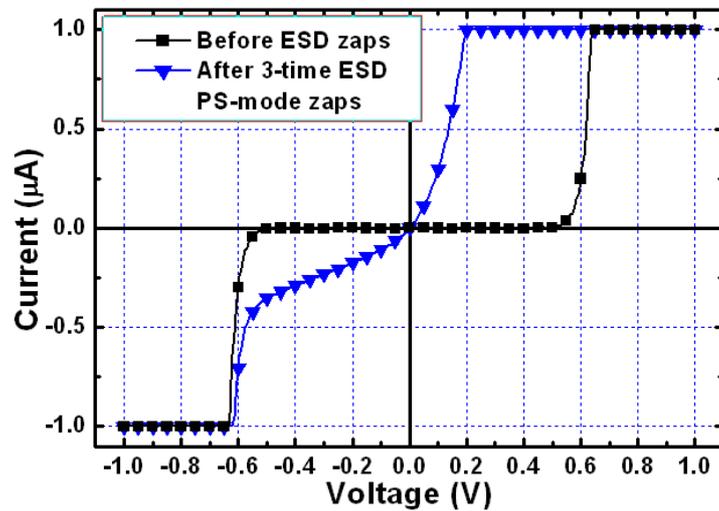
圖七 有效開啟的VDD到VSS的箝制電路。



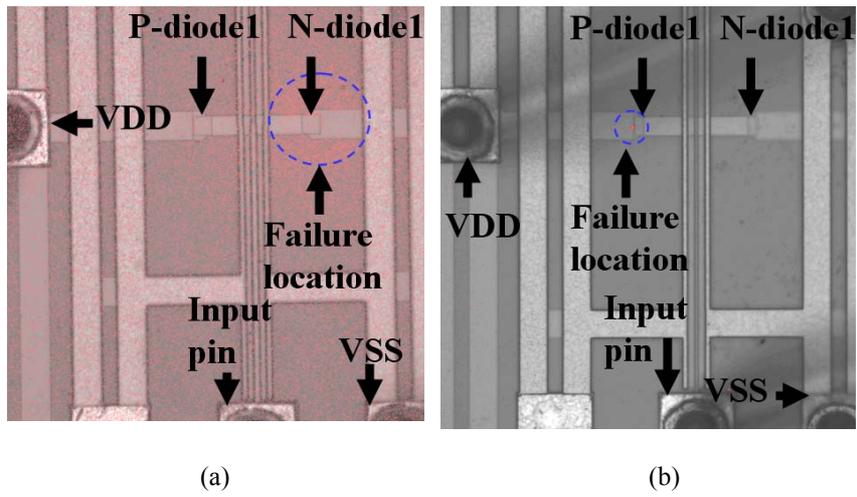
圖八 等面積分散式靜電放電防護架構的電阻梯模型。



圖九 四種靜電放電防護電路。(a)傳統的靜電放電防護且沒有加箝制電路。(b)等面積分散式靜電放電防護搭配箝制電路。(c)遞減面積分散式靜電放電防護搭配箝制電路。(d) π 型分散式靜電放電防護搭配箝制電路。



圖十 遭受靜電放電轟擊前後的I-V曲線圖



圖十一 實驗晶片在經過(a) ND模式和(b) PS模式靜電放電轟擊之後的故障分析EMMI圖示。