

深次微米金氧半電晶體之佈局參數對元件靜電放電 耐受度的影響

副標題：

通道長度與金屬接觸點到複晶矽閘極間距的相依性

¹ 奇景光電 IC 設計中心

² 國立交通大學電子研究所

³ 聯華電子中央研究發展部

陳東暘¹，柯明道²，唐天浩³，黃致遠³

目錄

- 一、前言
- 二、做為靜電放電防護元件的金氧半電晶體
- 三、金氧半電晶體元件在靜電放電下之啟動原理
- 四、實驗結果與分析推論
- 五、結論

一、前言

在進入深次微米甚至奈米的金氧半電晶體製程中，為使金氧半電晶體能符合各式各樣的應用，元件中的雜質分佈(Doping Profile)及擴散層深度(Junction Depth)都有了許多的改變，然而這些製程參數都會影響到元件對靜電放電 (Electrostatic Discharge, ESD) 的防護耐受度。在半導體代工盛行的今日，一旦製程發展穩定後，為了在積體電路中能設計出有競爭力的靜電放電防護電路，積體電路設計工程師就僅能從選擇適當元件以及改變其佈局(Layout)幾何結構上來做變化，以達到具有最佳靜電放電防護能力的防護裝置。在做為靜電放電防護的元件中，以金氧半電晶體之導通特性用做靜電放電防護最適合，因此通常在設計靜電放電防護電路時，多以金氧半電晶體為主。一般而言，增加元件的總通道寬度(Channel Width)應可以使元件有較強的靜電放電耐受度，但是由於金氧半電晶體在靜電放電時會有不均勻導通的現象^[1]，因此若要使元件能發揮最大的靜電放電導通效能，還要搭配其它佈局參數相互配合，而在這些佈局參數之中，影響元件啟動之基本物理機制最主要的參數，則為元件的通道長度(Channel Length)與擴散層金屬接觸點到複晶矽閘極之間距(Spacing of Diffusion Contact to Poly-silicon Gate)，然而此二者之間對元件的靜電放電耐受度卻非為獨立參數，此二者其實具有相當程度的相依性。在本論文中，將從基本的學理上分析探討，並與實驗相互對照，充分說明前述二參數對金氧半電晶體元件之靜電放電耐受力之相依性，以使製程開發者以及積體電路設計者能充分了解其所使用之元件的特性，進而降低元件開發時程以及積體電路產品的導入量產時程。

二、做為靜電放電防護元件的金氧半電晶體

在進入深次微米甚至奈米製程的時代後，為了使金氧半電晶體能在各種應用中發揮其效能，製程的複雜度是越來越繁難，而且其單位面積的閘極數更是極速增加，相對元件的尺寸更是極速縮小，但是在外在的環境中，靜電放電的能量卻不會因為製程的演進而有所降低。因此要使得金氧半電晶體積體電路能夠承受外在環境所造成的靜電放電電荷，積體電路晶片上的靜電放電防護電路設計不得不更加以重視^[2]。一般而言，在環境中較能控制的人體靜電放電電壓約在兩仟伏特以內，因此商業用的積體電路對靜電放電的耐受度都必需要求能達到這個水準^[3]。而在積體電路中最常使用的靜電放電防護電路則如圖一所示，在這樣的設計下才能防止積體電路之內部電路遭到靜電的破壞^[4]。

然而在圖一中 Mn1, Mn2, Mn3, Mp1, 及 Mp2 各元件的佈局設計卻一直困擾著積體電路的設計者，因為同樣的電路架構，卻常常因為電路佈局的不同，而造成其對靜電放電測試的結果大相逕庭。在不同的製程中，為了應用在不同的產品及不同的需求，因此在金氧半電晶體的通道附近會有多道不同的離子佈植(Ion implantation)，而這些離子佈植都會影響到元件在靜電放電觸發時的啟動特性，然而即使在相同的製程中，由於佈局結構及金屬繞線的不同，也都會影響到元件在受到靜電放電觸發時的啟動機制大不相同，而這不同的啟動機制將造成元件所能排放靜電電流的區域大受影

響，其中元件在逆向偏壓下，尤其是其對靜電放電耐受度的瓶頸，因此在本文中將以元件在逆向偏壓時受靜電放電觸擊的情況為主要探討重點，即在本文中所討論的議題都是以金氧半電晶體元件操作在逆偏下的情況，來考慮其導通機制及靜電放電耐受度。

一般而言，元件的面積越大越能承受較大的靜電放電電流，但更精確地說，應為元件有效開啟流通電流的區域越大，才越能承受更大的靜電放電電流。在使用大面積的金氧半元件時，須使此元件能有較佳的導通效率，在圖一中的這些金氧半電晶體元件，通常都會佈局成指狀(Finger Type)結構[5]，這結構就如同圖二所示。其中，有許多的佈局參數都會影響前述不均勻導通現象的發生，並進一步影響該元件對靜電放電的耐受度[6]-[8]。這些佈局參數中，許多的參數對元件的靜電放電耐受度而言，並非單純的獨立變數，它們之間其實多為彼此相互關聯的，在本文中為了簡化這種複雜的關係，將對此元件結構做一簡化分析，首先必需把三維的結構簡化成二維結構，而其中有兩個二維結構必需分別討論，一為上視平面二維結構，另一個則為橫截面剖面二維結構，而在本文中主要以討論有效導通區域的變化做為起點，因此在所討論的二維結構中以後者為主。而影響元件在靜電放電觸擊下，其啟動後的有效導通區域之最為關鍵性的參數則為：元件的通道長度與擴散層金屬接觸點到複晶矽閘極之間距，其中後者必需是在假設元件擴散層已沒有金屬矽化物(Silicide)的條件下。這兩個參數實具有密切的相依性，本文將從基本物理機制上，對此相依性做學理上的探討，同時以實驗數據相互對應，使讀者更能充分了解並掌握這兩個參數對金氧半電晶體元件在靜電放電時的相依性影響。

為了能更詳細地討論此二參數對金氧半電晶體元件在靜電放電時導通特性的影響，除了設計相關的測試元件來量測其靜電放電耐受度外，傳輸線觸波產器(TLPG, Transmission Line Pulsing Generator)也被用以產生具有固定靜電放電電荷的不同高電流，藉以啟動金氧半電晶體元件及量測其電壓-電流特性(I-V Characteristics)M，以做更進一步的分析[9],[10]。如此的分析結果也更能說明，這兩個參數對元件靜電放電耐受度的相依性，因此並不能斷章取義地針對本個假設或實驗結果做一個結論，必需全面性地瞭解才能窺知其間的奧妙，由此也可為未來發展金氧半電晶體元件對靜電放電觸發時的模型做了一個起始。

三、金氧半電晶體元件在靜電放電下之啟動原理

金氧半電晶體元件在正常工作時，主要是靠閘極電壓控制多數載子在強反轉層的流動來運作。在元件用以做為靜電放電防護而遭受到靜電放電觸擊時，其閘極氧化層的電位通常都沒有額外的偏壓存在，在其閘極電位多設計為零電位或浮動(Floating)電位，因此造成元件在逆向偏壓觸擊時，都是操作在微導通或逆向導通區。以下先從元件在靜電放電逆向偏壓時的導通機制來做討論，再進而討論金氧半電晶體元件之通道長度與擴散層金屬接觸點到複晶矽閘極之間距的佈局參數之影響，建立起基本的啟動模型。

3.1 基本啟動機制

當金氧半電晶體元件受到靜電放電觸擊而操作在逆向偏壓(Reversed Bias)時，在先前所發表的技術論文[11]-[12]中有整體性的介紹，但其較著重在上視方向(y-z plane)的啟動原理做說明，而在本文中將就從金氧半電晶體元件之橫截面(x-y plane)，如圖三所示，來對此一截面中所看到的啟動機制說明。

在說明此機制前，需先知道在實際的元件中，即使閘極與源極在電路上是接在一起，但由於佈局的關係，其在靜電放電觸擊期間也並非為完全的等電位；另外在製程中為了調整元件在正常工作時的特性，因此往往在閘極下方會有額外的離子佈植，而其分佈函數往往會影響到元件在這種逆偏狀態下，其被導通的截面所在位置及區域大小的差異如圖三中所示，為 A_D 及 A_S 定義的區域。

然而元件的導通位置及區域大小，即為主要靜電放電電流通的區域，此區域原子受到電子電流的撞擊，會形成熱的形式，此區域越大則能承受的電流則越大，因此這區域的大小是影響到元件對靜電放電防護耐受度之主要因素。其中導通位置若太集中靠近氧化層，則靜電放電電流就比較容易破壞氧化層與基體矽(Silicon Bulk)的介面，因此會降低元件對靜電放電的耐受度；導通區域的大小則影響了靜電放電電流可以有效流通的區域，此區域越大則單位體積所產生的熱能就越小，因此元件對靜電放電的耐受度就越佳。亦即，圖三中有效「S」的區域越大，可使汲極端的接面擴展越大，並且此位置若較遠離閘極氧化層，則元件對靜電放電的耐受度就越好。就如圖四中，當元件在受到靜電放電擊發時，元件的能帶分佈可以如圖中右圖所示，則靜電電流 I_D 就不會破壞到元件閘極氧化層與基體矽的介面。

3.2 二維截面啟動模型

為簡化分析，在圖三中的截面圖中，可以發現當元件被靜電放電操作在逆向偏壓時，其導通後的等效元件模型相當於汲極擴散層電阻(Diffusion Sheet Resistor) (R_D)，加上導通寄生雙載子電晶體(Parasitic Lateral Bipolar Junction Transistor)的等效導通電路，再加上源極擴散層電阻(R_S)的串接，其各元件上的壓降分別定義為 V_{RD} ， V_{act} ，及 V_{RS} 。若要更簡化這個模型，可假設源極端的金氧接點非常靠近閘極氧化層，為一個常數，因此在由擴散層電阻所串連成的電阻總和可假設為 R_{DS} ，而假設其主要為汲極特性的變數，以方便之後的討論。因此若元件中所流過電流為 I_D ，以數學式表示則為：

$$V_{DS} = V_{RD} + V_{act} + V_{RS} = I_D \cdot R_D + V_{act} + I_D \cdot R_S \equiv I_D \cdot R_{DS} + V_{act} \quad (1)$$

在上式中，由於在靜電放電時的電荷總量為定值，因此在考慮靜電放電觸擊事件的固定時間內，若假設元件電流的變化量為固定值，則當元件被靜電放電電流啟動後，整個元件的啟動電阻 R_{device} 可以用下式表示：

$$R_{device} = R_{DS} + \partial V_{act} / \partial I_D \equiv R_{DS} + R_{BJT} \quad (2)$$

其中 $\partial V_{act}/\partial I_D$ 即為寄生雙載子電晶體的導通電阻 R_{BJT} ，此時雙載子電晶體的一個 p-n 介面處於順向偏壓(Forward Bias)，另一個 p-n 介面則處於逆向偏壓，因此這個雙載子電晶體將被操作在正向導通作用區，因此流過此寄生雙載子電晶體的電流可寫為^[13]：

$$I_D = qA_S n_i^2 \left[\frac{D_B}{L_B N_B} \left(\frac{L_B}{W_B} \right) \right] \left(e^{qV_{BE}/kT} - 1 \right) - qA_D n_i^2 \left[\frac{D_C}{L_C N_C} + \frac{D_B}{L_B N_B} \left(\frac{L_B}{W_B} + \frac{W_B}{2L_B} \right) \right] \left(e^{-qV_{CB}/kT} - 1 \right). \quad (3)$$

其中除了一些基本的物理常數外， A_D 及 A_S 分別為在汲極與源極端 p-n 介面在圖三中 x-z 方向有效開啟區域的面積， W_B 為有效雙載子電晶基體的寬度， D_B 及 D_C 為基體區及汲極區的擴散係數， L_B 及 L_C 為基體區及汲極區的擴散長度，若元件汲極端之空泛層寬度假設為 W_B' ，則元件通道長度 L 與有效雙載子電晶基體的寬度(W_B)之關係可表為：

$$L \approx W_B + W_B'. \quad (4)$$

而基體到源極的壓降 V_{BE} 與汲極到基體的壓降 V_{CB} 之總和又與 V_{act} 相當，如下式所示：

$$V_{act} = V_{BE} + V_{CB}. \quad (5)$$

有了這個假設模型後，以下將可以更進一步討論金氧半電晶體元件在靜電放電觸擊下，在這種逆偏導通時，此有效導通截面中的變化。

四、實驗結果與分析推論

其實要了解這個模型，必需先有個基本觀念，那就是在靜電放電電流在金氧半電晶體元件的寄生雙載子電晶體之啟動位置，並非會被固定在特定的位置，且其啟動區域的大小也可能會隨靜電放電電流的不同或佈局參數的不同而改變，因此元件有效的擴散層電阻也將隨寄生雙載子電晶體位置與開啟區域大小的不同而有所改變。要分析如此複雜的模型，就必需針對其在二次崩潰(Second Breakdown)前的狀態做為基準做分析。在使用此分析基準下，同時使用傳輸線觸波產生器來做實驗驗證，才能更瞭解元件中各佈局參數間的關係。

4.1 導通模型中元件通導長度變化的假設及實驗推論

為了要能簡化上述模型的分析，必需採用每次僅變動一變數，其它變數則假設為定值的方法進行，以瞭解每個變數的影響機制。首先，假設寄生雙載子電晶體的開啟區域為定值，假設某個固定的靜電放電電流流入電晶體中，若元件的通道長度 L 增加，

由方程式(3)中可以發現雙載子電晶體上的壓降必然需要改變，才能滿足此方程式為定值。因此，由這個假設中，可以由公式(3)與(4)得到， V_{BE} 或 V_{CB} 必需增大的結論。這兩個值的變化對元件又會造成怎樣的影響？則可以從方程式(3)中來分析，從元件的電阻特性上來瞭解其實際上所代表的物理意義，因此寄生雙載子電晶體的電阻值 R_{BJT} 可表示為：

$$R_{BJT} \approx \frac{kT}{q^2 A_S n_i^2} \left[\frac{L_B N_B}{D_B} \left(\frac{W_B}{L_B} \right) \right] e^{-qV_{BE}/kT} + \frac{kT}{q^2 A_D n_i^2} \left[\frac{D_C}{L_C N_C} + \frac{D_B}{L_B N_B} \left(\frac{L_B}{W_B} \right) \right] e^{qV_{CB}/kT}. \quad (6)$$

其中由於位於金氧半電晶體源極端的 p-n 介面處於順向偏壓，且一般而言， V_{BE} 在這種靜電放電觸擊下其必遠大於 kT/q ($\sim 25mV@27^\circ C$)，因此寄生雙載子電晶體的電阻特性將由方程式(6)中加號之後的式子決定，由此可進一步使用數學的方法分析，可發現在這種固定 A_D , A_S 的假設下，寄生雙載子電晶體的導通電阻 R_{BJT} 必會隨著通道長度 L 的增加而變大，另外由於假設 A_D , A_S 為固定常數，因此 R_D , R_S 亦可假設為固定常數，因此實際不同通導長度 L 的元件，分別在受到同樣靜電放電電流觸擊下，應該可以觀察到其總導通電阻 R_{Device} 會隨通道長度 L 增加而變大。

然而從實際的實驗驗證中，使用傳輸線觸波產生器量測具有不同通道長度 ($L=0.35\mu m, 0.8\mu m, 1.2\mu m$, 及 $1.5\mu m$)，但其它佈局參數都相同 ($W=200\mu m, U=50\mu m, D=3\mu m, S=1\mu m$, 及 $B=4\mu m$) 的金氧半電晶體元件，卻發現如圖五中所示的電流-電壓特性與其導通電阻特性，並不全然如同前面假設的推論一般，表示此機制僅主導某部份通道長度元件的啟動。從圖五中所計算出的導通電阻加以比較，可以發現雖然具有通道長度為 $0.35\mu m$ 的元件之導通電阻為 3.83Ω ，而具有通道長度為 $0.8\mu m$ 的元件之導通電阻則為 4.06Ω ，因此可以看到在此推論中元件通道長度對導通電阻的變化，存在一定的趨勢。但是由圖五中卻發現通道長度為 $1.2\mu m$ 的元件之導通電阻則只有 3.08Ω ，其導通電阻反需比通道長度為 $0.8\mu m$ 的元件的導通電阻小，而通道長度為 $1.5\mu m$ 的元件之導通電阻更降為 2.98Ω ，其導通電阻也比通道長度為 $1.2\mu m$ 之元件的導通電阻更小，卻與前述推論不同，這必然還有一些其它更重要的影響因素存在，才會造成這樣的結果。實際上在前述的這個假設，也僅是這複雜關係中一個定值假設的情況，就如同前面所述，此導通區域在不同的佈局參數或通導電流下也並非總是導通在固定的大小及位置，它在不同的幾何結構下，更是會有大不相同的變化，以下再做更進一步分析。

基於前面的假設並不能全然符合實際的狀況，因此可以推論 A_D 及 A_S 並非固定大小及位置，因此再從方程式(3)及(6)中，固定其它有可能影響的參數再對 A_D 及 A_S 分析，在此可以先假設 V_{BE} 與 V_{CB} 參數為定值，再對元件特性上的變化做進一步的分析，在假設此二參數為定值時，這個假設代表當通道長度變化時寄生雙載子電晶體並沒有壓降上的變化，因此在汲極的空乏層區域將不會擴增，因此 W_B' 會是一個定值，所以 W_B 會隨著 L 增加而變大，因此在相同的靜電放電電流下，由方程式(3)可知 A_S/W_B 及 A_D/W_B 必需為常數才能使 I_D 為定值，再將此結果代入方程式(6)中可得到，在此種假設

下，寄生雙載子電晶體的導通電阻 R_{BJT} 必然不隨著元件通道長度改變而改變，但是 A_S 及 A_D 則會隨著元件通道長度 L 的增加而變大，這也意味著等效擴效層電阻 R_S 及 R_D 將會隨通道長度增加而變小，因此元件在相同靜電放電電流的觸擊下，元件的總導通電阻反而會隨元件的通道長度變大而變小，這說明了當元件等效通導區域的大小不再是定值時，元件的等效通導區域是會隨著元件通道長度 L 不同而有所改變。

綜觀以上兩種假設，再與傳輸線觸波產生器所量測不同測試元件的結果比對，可以發現金氧半電晶體元件之通道長度對其導通電阻變化的特性，在某個長度範圍內，是會隨長度增加而變大，即此時的有效導通截面積並沒有改變；而在某些長度卻反而會隨之變小，亦即此時有效導通截面會有所變化，並非有固定的面積或位置。

如果使用靜電放電量測機台對這些在 0.35 微米互補式金氧製程中具有不同通道長度的 N 型及 P 型金氧半電晶體元件直接量測人體模式之靜電放電，可以得到圖六的結果，其中可以發 0.35 微米通道長度的 N 型金氧半電晶體元件之靜電放電耐受度為 3.25 仟伏，而 0.5 及 0.8 微米的元件之靜電放電耐受度則分別為 2.9 及 3.1 仟伏，由此可知元件的靜電放電耐受度並非為元件通道長度的單純線性關係。因此單獨觀察元件之通道長度對元件之靜電放電耐受度的相關性，並不是那麼客觀，由圖六的結果也僅能提供在此製程中，在其它的條件固定下，元件的導通區域有可能會隨著元件通道長度的變化而改變，因此而造成 N 型金氧半電晶體元件對靜電放電的耐受度在較短與較長通道長度時會有所變化，而 P 型金氧半電晶體元件在其它的製程及佈局條件下，其靜電放電耐受度會隨通道長度增加而增大。

4.2 導通模型中元件汲極及源極擴散層金屬接觸點到複晶矽閘極之間距變化的假設及實驗推論

金氧半電晶體元件的汲極與源極擴散層之金屬接觸點到複晶矽閘極間距(以下稱 D 值, S 值)很直觀地會讓我們認為它會增加元件的擴散電阻，當然在此是指在互補式金氧半電晶體的擴散層具有遮蔽金屬矽化層(Silicide Blocking Layer)的製程，而增加元件在靜電放電時的導通電阻，也許會被認為因為有較大的串連電阻，因此具有保護元件的作用，而使得元件有較佳的靜電放電耐受度^[14]，但是在本節的實驗與推論中，卻可以發現這個想法並不全然為此，而且此擴散電阻的實際行為也並非是以大電阻來保護元件之作用，因為在做人體模式的靜電放電測試中此電阻值與 1.5 仟歐姆相比，實在並不可能太大，實際上在真正的導通理論上，是由它來形成某些啟動制以增強元件的靜電放電耐受度，但 D 值與 S 值也不是越大越好。在本節中將其它參數都設為定值下，針對 D 值與 S 值對金氧半電晶體元件之靜電放電耐受度的影響來做討論。

由於金氧半電晶體元件的汲極擴散層之金屬接觸點到複晶矽閘極間距最直接影響到擴散層的電阻值，為簡化分析，假設此區單位體積的電阻值為定值，此區則延伸到達寄生雙載子電晶體逆偏空乏層的邊界，因此要分析 D 值對元件導通特性上的變化，首先從其空乏層之電容變化著手，在擴散層與基體間的總電容可表示如下式^[15]：

$$C_J \approx n \cdot \left[U \cdot D \cdot C_{J0} \cdot \left(1 + \frac{V_{CB}}{\phi_C} \right)^{-m_J} + U \cdot C_{JSWG0} \cdot \left(1 + \frac{V_{CB}}{\phi_{CSWG}} \right)^{-m_{JSWG}} + 2 \cdot D \cdot C_{JSW0} \cdot \left(1 + \frac{V_{CB}}{\phi_{CSW}} \right)^{-m_{JSW}} \right]. \quad (7)$$

當元件在固定靜電放電電荷的觸擊下，就如同使用傳輸線觸波產生器時，元件所接受的總電荷量應為觸波電流對觸波時間的積分：

$$Q_{\text{stress}} = I_D \Delta t \approx - \int_0^{-\Delta V_{CB}} C_J \cdot dV_{BC}. \quad (8)$$

因此總電荷量可由方程式(7)代入方程式(8)中，而得到：

$$Q_{\text{stress}} \approx n \cdot \left\{ \frac{U \cdot D \cdot C_{J0}}{1 - m_J} \left[\left(1 + \frac{\Delta V_{CB}}{\phi_C} \right)^{1 - m_J} - 1 \right] + \frac{U \cdot C_{JSWG0}}{1 - m_{JSWG}} \left[\left(1 + \frac{\Delta V_{CB}}{\phi_{CSWG}} \right)^{1 - m_{JSWG}} - 1 \right] + \frac{2 \cdot D \cdot C_{JSW0}}{1 - m_{JSW}} \left[\left(1 + \frac{\Delta V_{CB}}{\phi_{CSW}} \right)^{1 - m_{JSW}} - 1 \right] \right\}. \quad (9)$$

在方程式(9)中的變數也只有 n , U , D , 及 ΔV_{CB} , 其中 n 為元件指狀結構的根數, U 為單根複晶矽的有效長度, 在此不改變其幾何結構變數下也都為定值, 另外 C_{J0} , m_J , ϕ_C , C_{JSWG0} , m_{JSWG} , ϕ_{CSWG} , C_{JSW0} , m_{JSW} , 及 ϕ_{CSW} 與製程特性有關也都可視為定值, 而其中 m_J , m_{JSWG} , 及 m_{JSW} 都小於 1, 由此可發現當元件的 D 值變大時, 相對應出寄生雙載子電晶體在元件汲極與基體間的逆偏壓降 ΔV_{CB} 必需變小, 由此結果再代入方程式(3)中可發現, 若要有固定的導通電流, D 值變大後, A_D 與 A_S 也必需有適當的搭配才能滿足此自然條件, 由此可發現此導通區域會隨著 D 值變大而變小, 甚至移動位置, 這也很符合實際的情況。

要更進一步分析 D 值的變化對元件導通狀況的影響, 因此在 0.35 微米製程中設計分別為 1.5 微米, 3 微米, 及 5 微米的 N 型及 P 型金氧半電晶體元件, 而其它佈局參數都固定的情況下 ($W=200\mu\text{m}$, $U=50\mu\text{m}$, $L=0.8\mu\text{m}$, $S=1\mu\text{m}$, 及 $B=4\mu\text{m}$), 使用傳輸線觸波產生器量測這些元件在高觸波電流下的電流-電壓特性, 其量測結果就如同圖七所示。欲從這些量測中的導通電阻瞭解它們的導通特性, 除了必需從方程式(6)中的寄生雙載子電晶體之導通電阻分析外, 還需考慮擴散層電阻的阻值, 為簡化分析, 若假設金氧半電晶體源極擴散層的電阻非常小且為定值時, 則在汲極端的擴散電阻可表為：

$$R_D \approx \rho \frac{\sqrt{D^2 + W_D^2}}{A_D}. \quad (10)$$

其中 W_D 為擴散層深度, 由此式及方程式(6)的加總, 就幾乎可以看出 D 值對整體導通電阻變化的影響, 從理論的分析可看出元件 D 值的變化可能造成總導通電阻值的改變並不會太大, 但卻反而對元件導通的區域大小及位置的改變較明顯。就如圖七中所量

測到的結果，D 值為 1.5 微米，3 微米，及 5 微米的 N 型金氧半電晶體元件之導通電阻，則分別為 3.89Ω，4.06Ω，及 3.96Ω，由此可以發現 D 值的變化有使元件的總導通電阻有趨於定值的現象。另外由方程式(6)及(10)也可得到，在多數的情況下當 D 值增大時，元件的導通區域 A_D 或 A_S 也會隨之增大，因此其靜電放電耐受度也會隨之增加。然而由前述電容變化的分析及(3)式中也可發現 A_D 不一定會隨著 D 值增大，也可能是由 A_S 的增大來達到 I_D 的定值，這代表導通位置會有所改變，特別是在較大的 D 值時， A_D 的變化並不如 D 值變化量來得大，因而使得導通電流在擴散區中會有相當不同的導通路徑，而導通區域則會集中到閘極下方的通道範圍，如此的結果也會造成其靜電放電耐受度受到影響，不再如預期的增加。

同樣地，分別對這些具有不同 D 值的 N 型及 P 型金氧半電晶體元件做人體模式的靜電放電測試，其實驗結果如圖八所示，除了 D 值或 S 值獨立變化外，其餘參數皆維持固定($W=200\mu\text{m}$ ， $U=50\mu\text{m}$ ， $L=0.8\mu\text{m}$ ，及 $B=4\mu\text{m}$)，其中這些元件的源極與汲極擴散層都有使用摺蔽金屬矽化層。由此實驗結果，在元件源極端的 S 值之變化，似乎對元件的靜電放電耐受度影響並不大，而 D 值的變大，對 N 型或 P 型金氧半電晶體都有使其靜電放電耐受度變大的趨勢，但是在 N 型金氧半電晶體在此條件下，對於太大的 D 值似乎並無法明顯再提昇其靜電放電耐受度，由前面的討論分析，此現象應為其導通路徑的改變所造成，但在此製程及實驗條件下，P 型金氧半電晶體對靜電放電的耐受度則會隨著 D 值變大而變大。

4.3 通道長度與擴散層金屬接觸點到複晶矽閘極之間距的相依性

綜合以上之討論，可以發現在圖三的這個橫切面上所看到元件的啟動機制，除了受閘極電壓影響外，主要幾何上的影響因素則為元件的通道長度及源極與汲極擴散層之金屬接觸點到複晶矽閘極的間距，而它們都會影響到元件在受靜電放電導通時開啟區域的大小及位置，在分析式中，不難看出它們之間實有一定的相依程度在。

因此在 0.13 微米的製程中，使用正常操作電壓為 3.3 伏特氧化層之元件，設計參數分佈更廣的測試元件後，量測其對人體模式之靜電放電耐受度的影響。首先，可以觀測其在固定通道長度為 0.44 微米時，同時考慮 D 值與 S 值量測總通道寬度皆為 200 微米的元件對靜電放電耐受度的影響，得到其量測結果如圖九所示。此結果比圖八的結果給了更多的資訊，由此結果可以明顯發現，元件的 S 值與 D 值其實是會相互影響的，在前面的討論中對於 S 值並未多加著墨，但由分析中，也略為發現源極的導通區域也會隨著 D 值變化，因此不難推出其之間有必然的相依性存在。另外在這結果中，更重要的一點，也可發現在此製程中，D 值與 S 值的搭配有一定的設計範圍，並非如一般所常用的設計規範中給的最小設計值的觀念，因此在這必需引進一個最佳設計窗 (Design Window) 的觀念，此觀念必需全面性地應用在靜電放電防護元件的佈局上，有許多的參數都必需有此觀念，而並非為最小設計值。

在同樣 0.13 微米互補式金氧半電晶積製程中，再變化另外兩組參數做靜電放電耐受度分析，在圖十中為元件通道長度與 D 值對人體模式靜電放電耐受度的關係圖，而

圖十一中則為元件通道長度與 S 值對人體模式靜電放電耐受度的關係圖。在圖十中發現在此製程中，S 值為 0.44 微米時，當元件通道長度超過 0.44 微米到 1 微米時，D 值對元件的靜電放電耐受度並無太大影響，只有在元件通道長度低到 0.34 微米以下時，才能看出 D 值的影響，然而這並不能代表元件的通道長度對靜電放電的設計就必需依這種結論去設計 D 值，必需再固定其它 S 值後察看 D 值與元件通道長度的關係，看是否所有的 S 值都必需使用如此元件通道長度關係來設計。另外從圖十一中很明顯的發現到，當 D 值設定在 2.15 微米時，要使得元件對人體模式靜電放電耐受度夠好，必需在結果中去發現符合所需靜電放電耐受度的設計範圍去取值，而並不是所有的條件都合適，只有在通道長度小於 0.44 微米或大於 2 微米的區域才有較合適的設計範圍，而 S 值則以必需基於前述的元件通道長度下，大於 1 微米才有較佳的設計範圍。

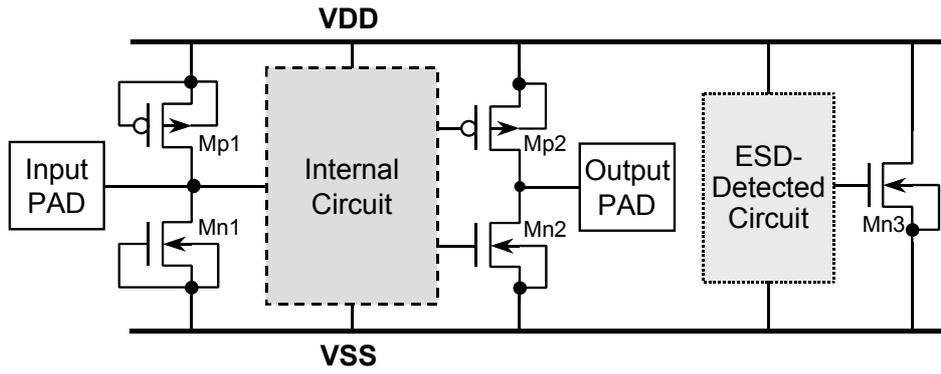
由此上的結果，更瞭解到元件的通道長度與擴散層金屬接觸點到複晶矽閘極之間距的關係是相依的，因此在設計時最好能先瞭解其關係性，否則若僅由最小設計值去設計靜電放電防護元件，由以上的結果可知，經常會造成其對靜電放電的防護並不會達到所預期的耐受度。

五、結論

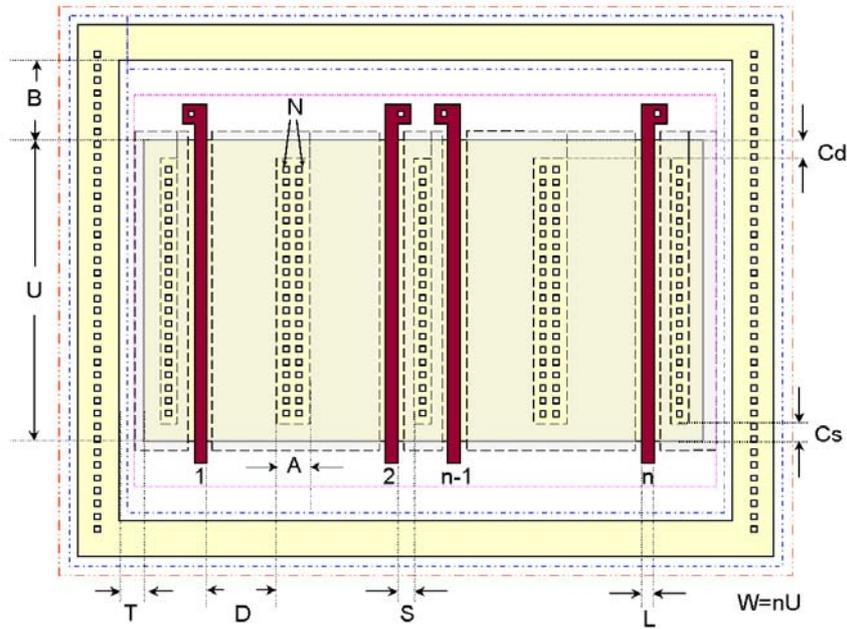
從本文對於互補式金氧半電晶體元件的通道長度及源極與汲極擴散層之金屬接觸點到複晶矽閘極間距對元件靜電放電耐受度的分析，可以發現這些佈局參數之間有很明顯的相依性存在，在設計靜電放電防護時，並不能單獨地考量單一佈局參數，而且由實驗結果更可以明顯地發現這些參數的變化是有一定的設計範圍存在，並非一般設計概念中的最小設計值。然而這些參考依據，完全必需由積體電路代工生產的製程中所決定，因為一旦在製程中有少數的離子佈植調整，都會影響到這些特性結果，而在無工廠的積體電路設計公司並不一定會知道這些改變。因此這一方面還有待積體電路代工生產者能設計出適用的測試元件，進而規劃出較完整的設計法則，其中除了一些防呆的設計法則必需考量外，更要能提供全面性的參考依據，給自行設計靜電放電防護的積體電路設計公司有一些設計的參考準則。

參考文獻

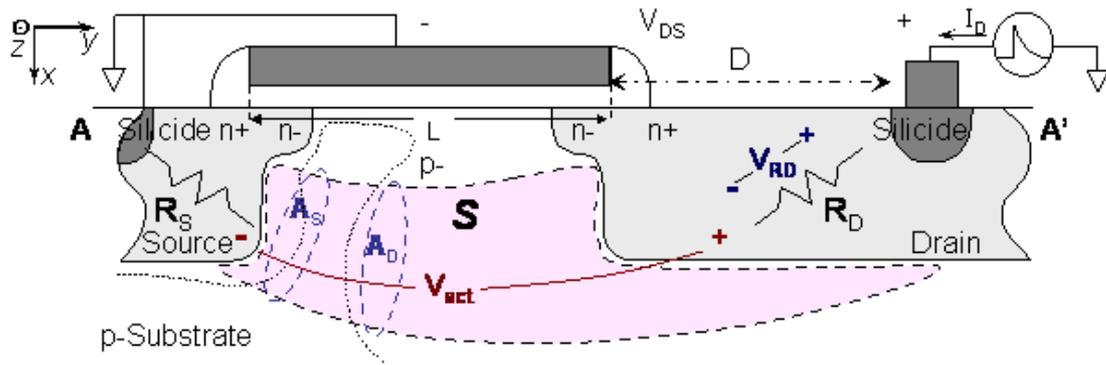
- [1] T.-Y. Chen and M.-D. Ker, "Analysis on the dependence of layout parameters on ESD robustness of CMOS devices for manufacturing in deep-submicron CMOS process," *IEEE Trans. on Semiconductor Manufacturing*, vol. 16, no. 3, pp. 486-500, 2003.
- [2] A. Amerasekera and C. Duvvury, *ESD in Silicon Integrated Circuits*, Wiley, 1995.
- [3] ESD Test Standard, ESD STM5.1, ESD Association, 1998.
- [4] M.-D. Ker, "Whole-chip ESD protection design with efficient VDD-to-VSS ESD clamp circuits for submicron CMOS VLSI," *IEEE Trans. on Electron Devices*, vol. 46, no. 1, pp. 173-183, 1999.
- [5] C. Jiang, E. Nowak, and M. Manley, "Process and design for ESD robustness in deep submicron CMOS technology," in *Proc. of IEEE Int. Reliability Physics Symp.*, 1996, pp. 233-236.
- [6] C. Duvvury, R. N. Rountree, and R. A. McPhee, "ESD protection: design and layout issues for VLSI circuits," *IEEE Trans. on Industry Applications*, vol. 25, pp. 41-47, 1989.
- [7] A. Stricker, D. Gloor, and W. Fichtner, "Layout optimization of an ESD-protection n-MOSFET by simulation and measurement," in *Proc. of EOS/ESD Symp.*, 1995, pp. 205-211.
- [8] T.-Y. Chen, M.-D. Ker, and C.-Y. Wu, "Experimental investigation on the HBM ESD characteristics of CMOS devices in a 0.35 μ m silicided process," in *Proc. of Int. Symp. on VLSI Technology, System, and Application*, 1999, pp. 35-38.
- [9] T. J. Maloney and N. Khurana, "Transmission line pulsing techniques for circuit modeling of ESD phenomena," in *Proc. of EOS/ESD Symp.*, 1985, pp. 49-54.
- [10] J. Barth, J. Richner, K. Verhaege, and L. G. Henry, "TLP calibration, correlation, standards, and new techniques," in *Proc. of EOS/ESD Symp.*, 2000, pp. 85-96.
- [11] T.-Y. Chen and M.-D. Ker, "Investigation of the gate-driven effect and substrate-triggered effect on ESD robustness of CMOS devices," *IEEE Trans. on Device and Materials Reliability*, vol. 1, no. 4, pp. 190-203, December 2001.
- [12] 陳東暘，柯明道，蘇金練，唐天浩，陳正剛，簡山傑，"基體觸發技術與閘極驅動技術應用在積體電路靜電放電防護之原理及比較"，in *Proc. of Taiwan ESD Conf.*, 2002, pp. 77-82.
- [13] G. W. Neudeck and R. F. Pierret, *Modular series on solid state devices Volume III – The bipolar junction transistor*, Second Edition, Addison-Wesley Publishing Co., 1989.
- [14] K. Verhaege, C. Russ, and S. Corporation, "Wafer cost reduction through design of high performance fully silicided ESD devices," in *Proc. of EOS/ESD Symp.*, 2000, pp. 18-28.
- [15] G. Massobrio and P. Antognetti, *Semiconductor Device Modeling with SPICE*, Second Edition, McGraw-Hill, 1993.



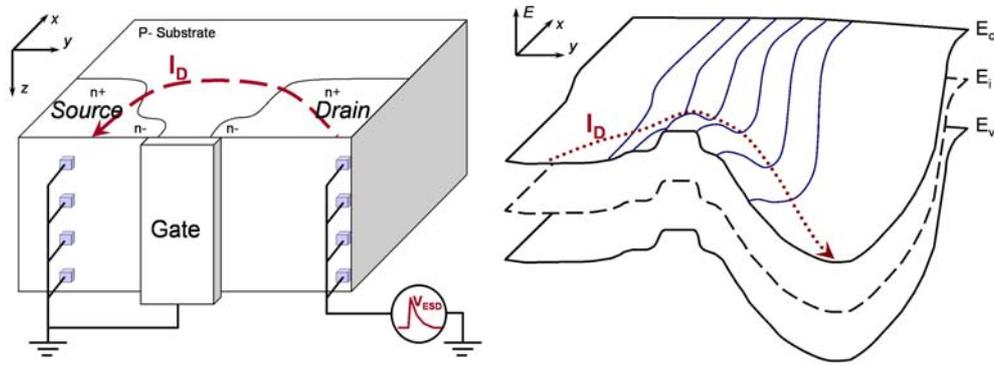
圖一、在金氧半電晶體積體電路中基本的靜電放電防護設計。



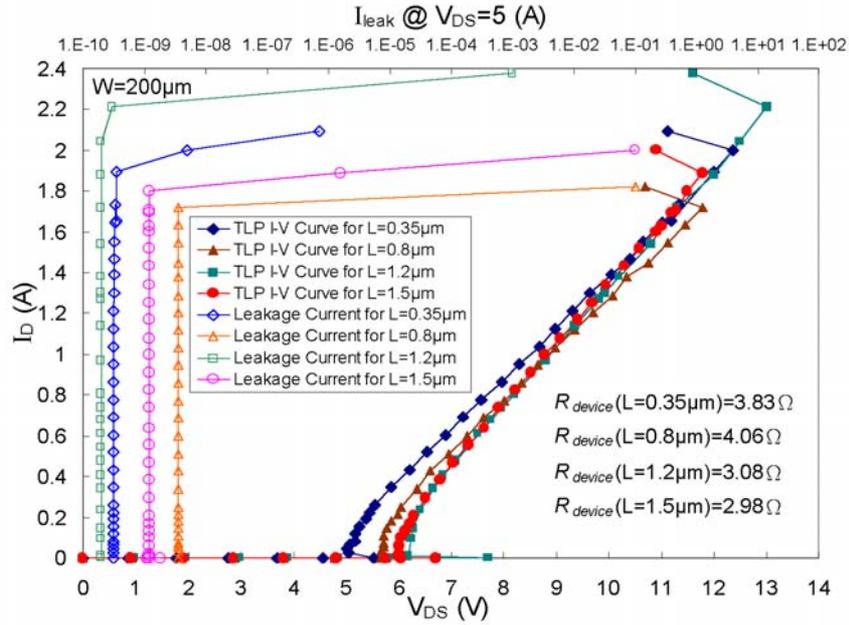
圖二、在金氧半電晶體積體電路中基本的靜電放電防護元件之佈局圖及各個佈局參數。



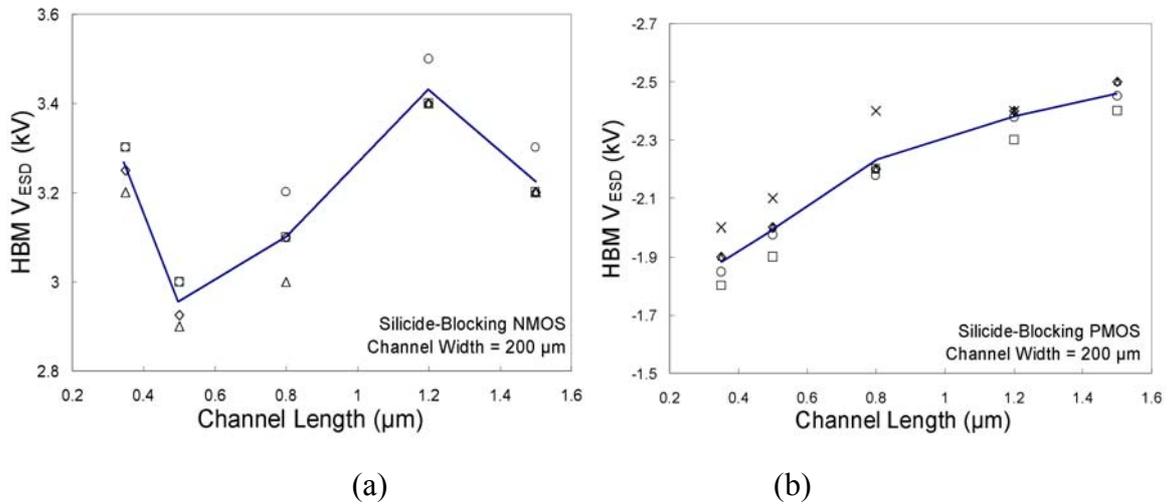
圖三、N型金氧半電晶體在逆偏靜電放電觸擊時，電晶體中所隱含的寄生元件之截面圖。



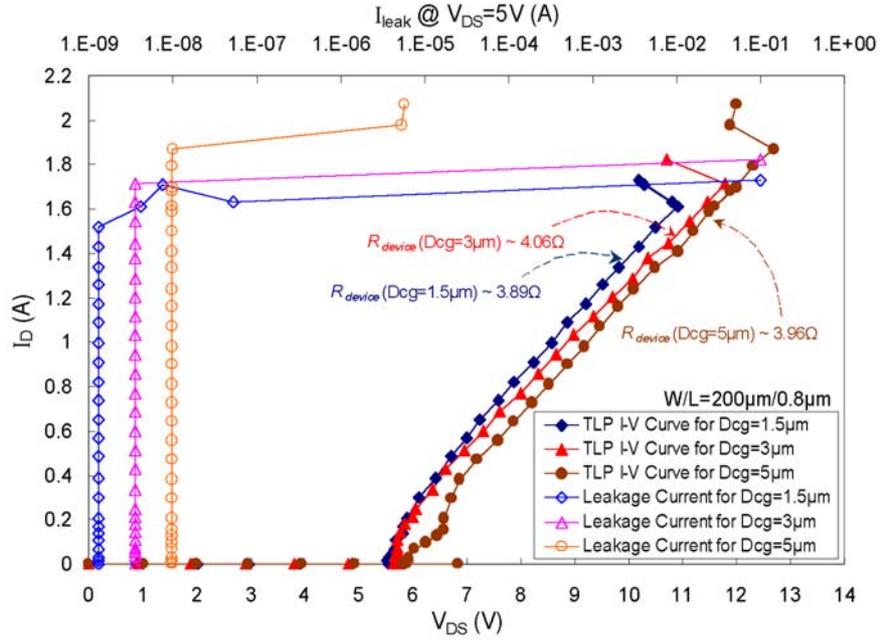
圖四、N型金氧半電晶體在逆偏靜電放電觸擊時，電晶體中所截面之能帶分佈圖。



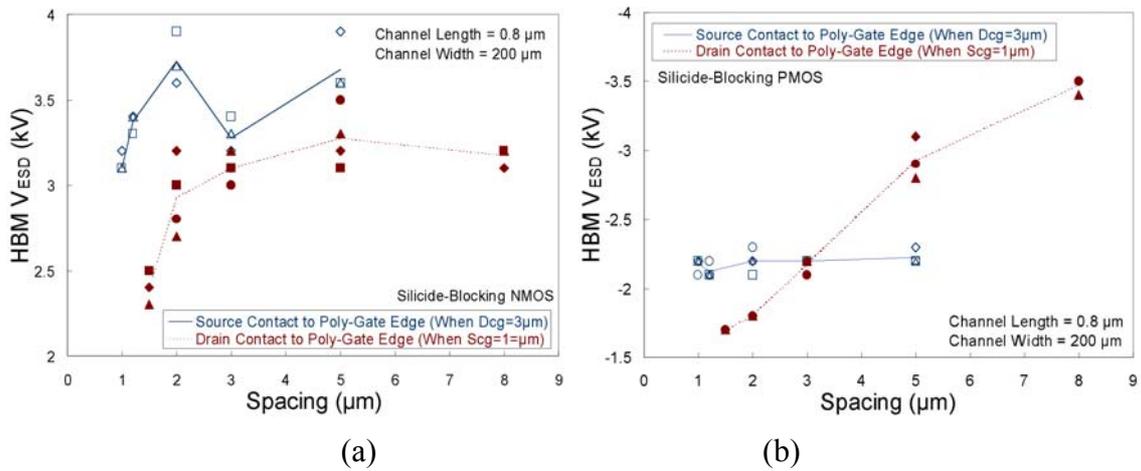
圖五、使用傳輸線觸波產器量測具有不同通道長度的 N 型金氧半電晶體，模擬在逆偏靜電放電時，電晶體所呈現的電流-電壓特性及其導通電阻。



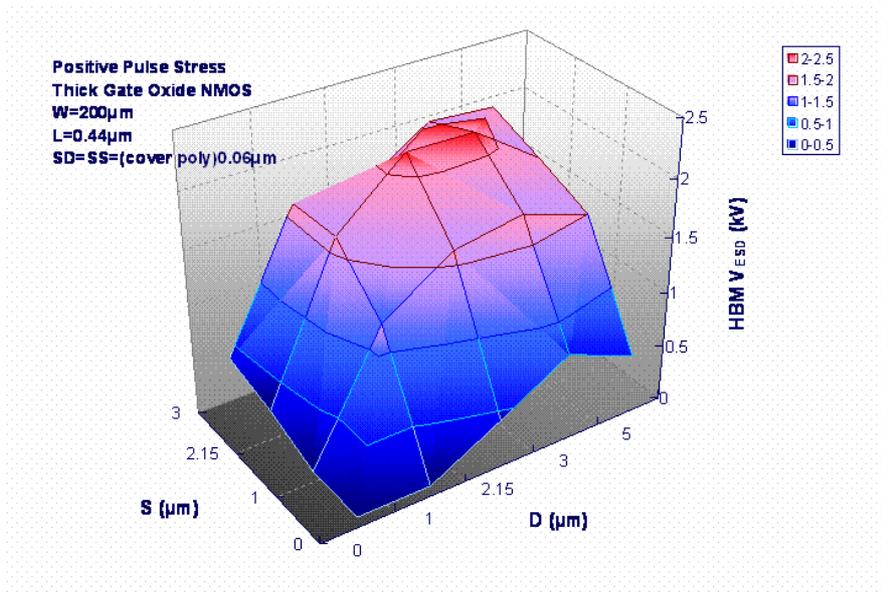
圖六、不同通道長度的(a)N 型與(b)P 金氧半電晶體對人體模式靜電放電耐受度之關係圖。



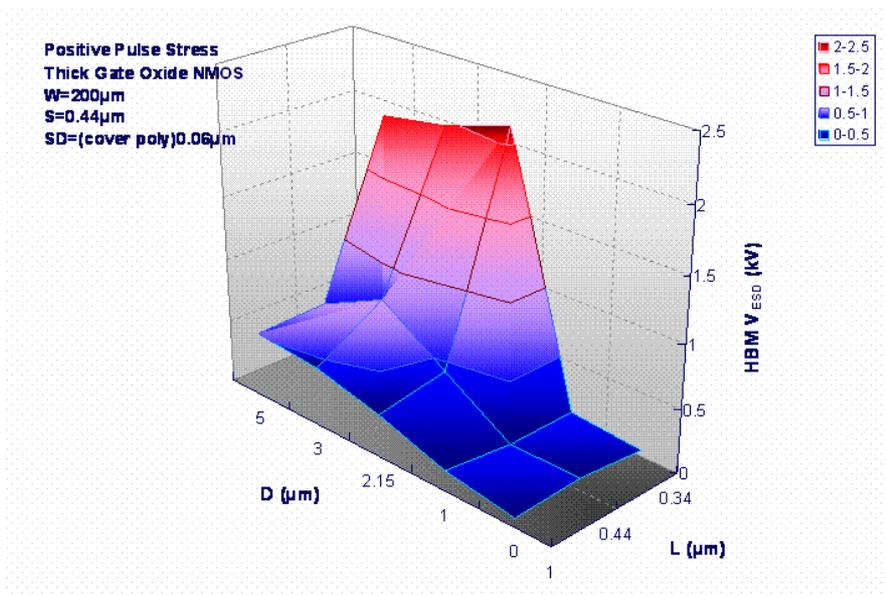
圖七、使用傳輸線觸波產器量測具有不同 D 值的 N 型金氧半電晶體，模擬在逆偏靜電放電時，電晶體所呈現的電流-電壓特性及其導通電阻。



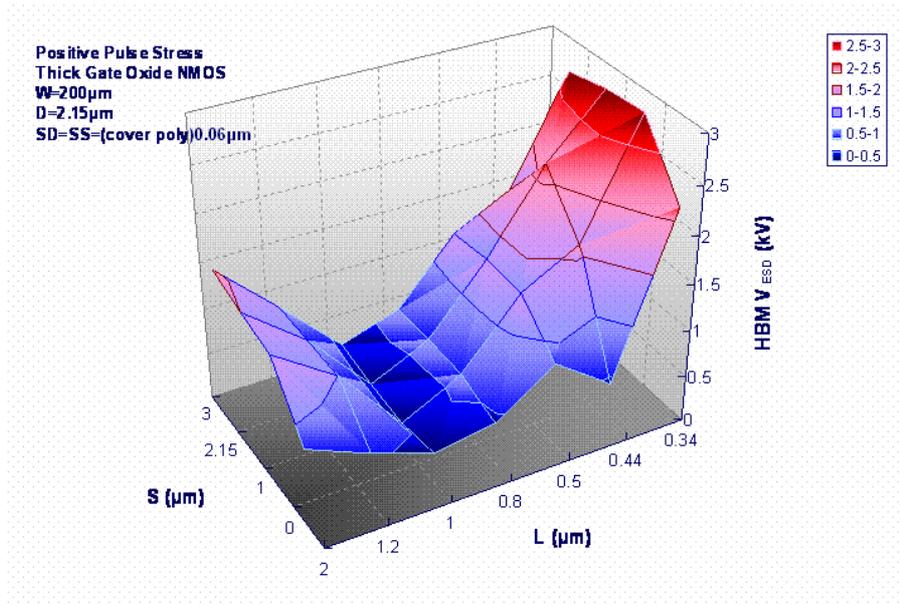
圖八、不同 D 值及 S 值的(a)N 型與(b)P 金氧半電晶體對人體模式靜電放電耐受度之關係圖。



圖九、0.13 微米製程中 200 微米總通道寬度，但不同 D 值及 S 值的 N 型金氧半電晶體對人體模式靜電放電耐受度之關係圖。



圖十、0.13 微米製程中 200 微米總通道寬度，但不同通道長度及 D 值的 N 型金氧半電晶體對人體模式靜電放電耐受度之關係圖。



圖十一、0.13 微米製程中 200 微米總通道寬度，但不同通道長度及 S 值的 N 型金氧半電晶體對人體模式靜電放電耐受度之關係圖。