

# 避免閘極過度耦合效應的靜電放電防護電路設計

國立交通大學電子研究所

積體電路及系統整合實驗室

陳穩義，柯明道

# 目錄

- 一. 前言
- 二. 閘極過度耦合效應(OGDE)
- 三. 防止閘極過度耦合效應的靜電放電防護電路設計
- 四. 實驗結果
- 五. 結語

## 一. 前言

在深次微米半導體製程中，由於元件尺寸微縮，元件的靜電放電(Electrostatic Discharge, ESD) 耐受度相對變差，因此靜電放電防護設計在 IC 設計時即必需被加入考量 [1]。通常商用 IC 的靜電放電耐受度必需通過人體放電模式(Human Body Model, HBM) 2 kV 與機器放電模式(Machine Model, MM) 200 V 的測試 [2]。爲了能夠承受如此高電壓的靜電放電測試，IC 上的靜電放電防護元件常具有大元件尺寸的設計。爲了盡可能節省晶粒面積，在佈局(layout)上，這種大尺寸的元件通常以指狀(multi-finger)的方式來實現 [3]。

雖然指狀的防護元件能夠節省晶粒面積，但這種佈局方式常造成元件不均勻導通(non-uniform turn-on)的問題。使用這種指狀佈局的 NMOS 元件做爲靜電放電防護元件，其靜電放電耐受度並不會與元件尺寸呈線性正比，而會由於不均勻導通，使得元件尺寸增加時，其靜電放電耐受度呈現飽和甚至有下降的趨勢。爲了解決由於不均勻導通造成大尺寸 ESD 防護元件的靜電放電耐受度受到侷限的問題，閘極耦合(gate-driven)技術因此被發展出來 [4]-[6]。藉由閘極耦合技術，不但能夠解決不均勻導通的問題，使大尺寸的防護元件能有效承受較高電壓的靜電放電測試；也能有效增快防護元件在靜電放電發生時的導通速度。

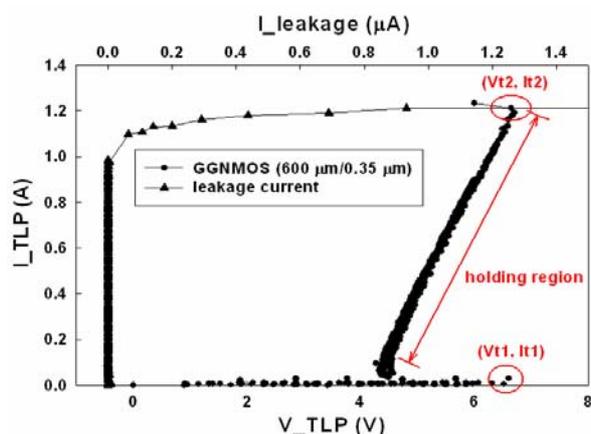
防護元件的靜電放電耐受能力雖然能藉由閘極耦合技術獲得好處，但近年來的研究發現，不適當的閘極耦合電壓，反而會造成元件的靜電放電耐受度急遽下降。造成防護元件的靜電放電耐受度下降的原因，即所謂的閘極過度耦合效應(Over-Gate-Driven Effect, OGDE)。在本論文中，提出兩種避免閘極過度耦合效應的有效設計方式，並佐以實驗證明。

## 二. 閘極過度耦合效應(OGDE)

以 0.35- $\mu\text{m}$  互補式金氧半導體(CMOS)製程所製造之閘極接地的 n 型金氧半導體 (gate-grounded NMOS, GGNMOS)(W/L = 600  $\mu\text{m}$ /0.35  $\mu\text{m}$ )，以 TLP(Transmission Line Pulse)系統所量測到的 I-V 特性曲線如圖一所示。TLP 系統已被廣泛地應用於量測元件之驟回(snapback)特性與二次崩潰電流( $I_{t2}$ )，以模擬靜電放電發生時的元件特性。

當靜電放電發生時，NMOS 防護元件的汲極(drain)與基極(substrate)界面進入累增崩潰(avalanche breakdown)，並產生電子-電洞對(electron-hole pair)。電子被掃向正極，電洞則往負極(ground)移動。對 NMOS 防護元件的寄生 n-p-n 雙載子界面電晶體(Bipolar Junction Transistor, BJT)而言，此電子-電洞對的移動，等同寄生雙載子界面電晶體的基極(base)電流。當此電流使 n-p-n 寄生雙載子界面電晶體的基極-射極界面順偏時，寄生之 n-p-n 雙載子界面電晶體進入導通狀態。其導通電壓即圖一中所示的  $V_{t1}$ 。由於 NMOS 元件的 n-p-n 寄生雙載子界面電晶體導通，元件特性進入保持區(holding region)，直到元件的汲極/基極界面承受的電流

達到臨界值( $I_{t2}$ )，元件因承受過大的功率，而受到永久性的損害。



圖一. 以 TLP 系統所量測到之 GGNMOS 的 I-V 特性曲線(製作於 0.35- $\mu m$  CMOS 製程)。

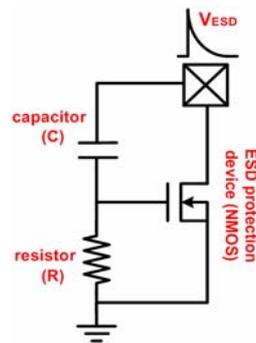
藉由雙載子接面電晶體  $\beta$  gain 的幫助，NMOS 防護元件能夠有效地排掉安培等級的靜電放電電流，以保護元件與內部電路在靜電放電發生時免於損害。在設計上，元件要具有更高的靜電放電電壓耐受度，增加防護元件的尺寸提供了一個直截了當的解決方案。因為較大尺寸的元件，在完全導通的狀況下，具有較大的面積來承受靜電放電能量。

然而，實際佈局上，指狀結構的 NMOS 元件，其中心部份距離接地的基體防護圈(Substrate Guard-Ring)較遠，中心部份的寄生 n-p-n 雙載子接面電晶體相對具有較高的基極電阻。造成靜電放電發生時，中心部份的寄生雙載子接面電晶體較早導通，並鉗制靜電放電電壓至元件特性的保持區。若此防護元件的二次崩潰電壓( $V_{t2}$ )較導通電壓來得小，則中心部份的寄生雙載子接面電晶體導通後，即使中心部份的元件已達到二次崩潰而損毀，其他部份較靠近基體防護圈的寄生雙載子接面電晶體仍無法被導通，造成不均勻導通現象。因此，所有的靜電放電能量僅能透過較中心部份的寄生雙載子接面電晶體來排放電荷，元件的靜電放電耐受度便會受到限制。圖一所示的 GGNMOS 即為一典型受到不均勻導通現象影響的例子。

不均勻導通現象起因於較早進入導通狀態的寄生雙載子接面電晶體在其它部份的寄生雙載子接面電晶體被導通前即達到二次崩潰點，故可藉由改變元件特性，使導通電壓的電壓準位小於二次崩潰電壓來獲得解決。圖二為具有傳統閘極耦合技術的 NMOS 防護元件(gate-coupled NMOS, GCNMOS)示意圖。閘極耦合技術利用靜電放電短暫且高電壓的特性，在靜電放電發生時，利用電容(C)耦合一部份的靜電放電電壓至 NMOS 防護元件的閘極，促使 GCNMOS 的通道進入反轉區。此通道電流能夠加速 NMOS 元件的寄生雙載子接面電晶體更早進入導通，降低元件的導通電壓。

一旦導通電壓小於二次崩潰電壓，當靜電放電發生時，較中心部份的寄生雙載子接面電晶體達到二次崩潰而損壞之前，其他未導通的雙載子接面電晶體亦可順利進入被導通，幫助排放靜電放電電流。由於在靜電放電發生時可進入導通區

域的寄生雙載子界面電晶體面積增大，該 NMOS 元件的整體靜電放電防護能力也能夠有效提升。

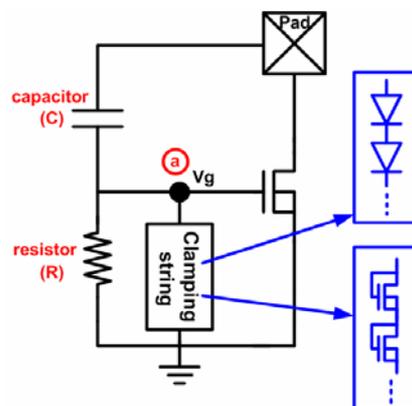


圖二. 具閘極耦合技術之 NMOS 元件(GCNMOS)。

雖然當靜電放電發生時，通道電流能夠促進雙載子界面電晶體導通，但過高的閘極耦合電壓，會造成大量的靜電放電電流流經 GCNMOS 的通道(2 kV 的人體靜電放電測試會產生約 1.33 A 的電流)。過高的功率消耗在通道區，將使得元件的閘極氧化層(Gate Oxide)或表面通道(Surface Channel)反而容易被靜電放電電流所損毀，造成元件的靜電放電耐受度急遽下降，即所謂的閘極過度耦合效應 [8]。

### 三. 防止閘極過度耦合效應的靜電放電防護電路設計

造成閘極過度耦合效應的原因，為當靜電放電發生時耦合到 NMOS 元件閘極端的電壓過大，導致過量的通道電流致使元件的閘極氧化層或表面通道受到損害。在電路設計上，可在 GCNMOS 的閘極端與地間，加上適當的鉗制元件 (clamping string)，控制 GCNMOS 在受到靜電放電轟擊時，耦合到閘極電壓的大小，來避免閘極過度耦合效應。圖三為避免閘極過度耦合效應在電路設計上的可行方式。在本研究所中，將以二極體和閘極-汲極端短路的 NMOS 二極體來實現鉗制元件。利用圖三所示的電路設計方式，當靜電放電發生時， $V_g$  的電壓可被鉗制在  $V_t \times n$ ，其中  $n$  為串接的鉗制元件個數， $V_t$  為鉗制元件的導通電壓。

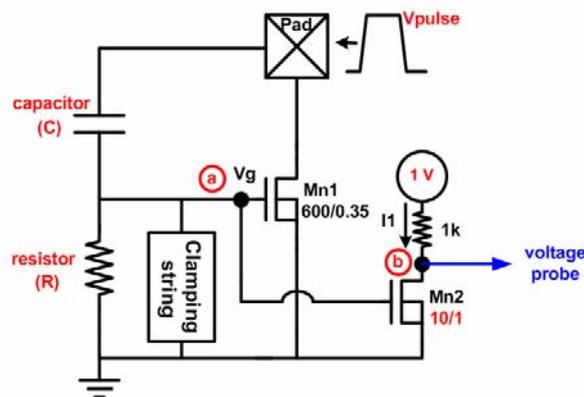


圖三. 防止閘極過度耦合效應的靜電放電防護電路設計示意圖。

為了有效偵測在靜電放電發生時，鉗制元件對閘極耦合電壓( $V_g$ )的影響，，

在晶片佈局上除了 GCNMOS 外，還加上了一個用以偵測  $V_g$  電壓的小尺寸 NMOS (Mn2) 以及一個外接的  $1\text{ k}\Omega$  電阻，如圖四所示。偵測  $V_g$  電壓的方式為：首先，讓銲墊(Pad)端浮接，在電阻端加上  $1\text{ V}$  的直流偏壓。由於銲墊浮接， $V_g$  電壓為零，故 Mn2 應為截止狀態，電流  $I_1$  為零。此時在圖四中的 b 點處掛上電壓探棒，由於電流  $I_1$  為零，b 點的量測電壓與直流偏壓同為  $1\text{ V}$ 。再由原先浮接的銲墊端施加不同大小的電壓脈衝(voltage pulse,  $V_{\text{pulse}}$ )。若所施加的電壓脈衝，經由電容器 C 耦合能量，使  $V_g$  電壓大於 NMOS Mn2 的導通電壓時，Mn2 進入導通狀態，電流  $I_1$  也不再為零。此時 b 點的量測電壓由於 Mn2 導通，會由  $1\text{ V}$  下降到某個電壓值。 $I_1$  電流值即為 b 點量測電壓的壓差除以  $1\text{ k}\Omega$  電阻值。 $V_g$  電壓越大， $I_1$  越大，b 點電壓相對越低。

圖五為對一未加上鉗制元件(clamping string)的 GCNMOS，利用上述方法量測所得到的波形。此未加上鉗制元件的 GCNMOS 電路圖如圖四所示，但未加上鉗制元件。在圖五(a)中，由銲墊端施加  $1\text{ V}$  的電壓脈衝( $V_{\text{pulse}}$ )。此  $1\text{ V}$  的電壓脈衝經由電容器 C 耦合至閘極的電壓不足以導通 Mn2，因此 b 點的量測電壓與直流偏壓同為  $1\text{ V}$ ，並沒有壓降產生。較大( $0\text{--}5\text{ V}$ )的電壓脈衝由銲墊端施加時，由圖五(b)可知，b 點的量測電壓有一壓降為  $0.4\text{ V}$  的變化。由於較大的電壓脈衝使閘極具有較大的耦合量，使 Mn2 進入導通狀態，且導通電流  $I_1$  約為  $0.4\text{ V}/1\text{ k}\Omega \approx 0.4\text{ mA}$ 。當更大( $0\text{--}7\text{ V}$ )的電壓脈衝施加到銲墊端時，由於閘極電壓並未受到鉗制，流經 Mn2 的電流隨著所施加的電壓脈衝增加而增加。如圖五(c)所示，b 點的量測電壓有一壓降為  $0.5\text{ V}$  的變化量。

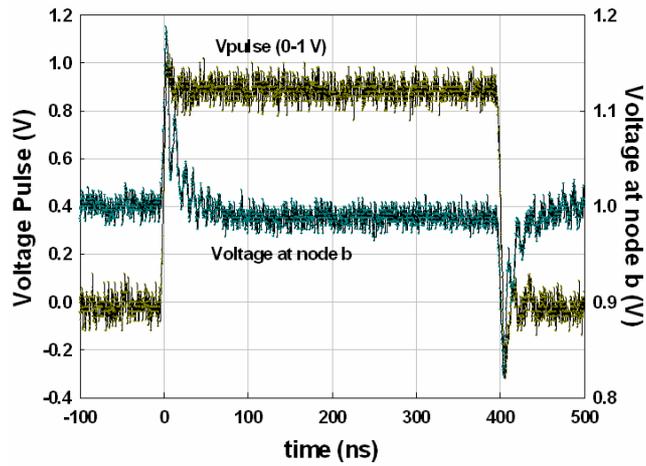


圖四. 用以偵測 GCNMOS 閘極電壓的偵測電路。

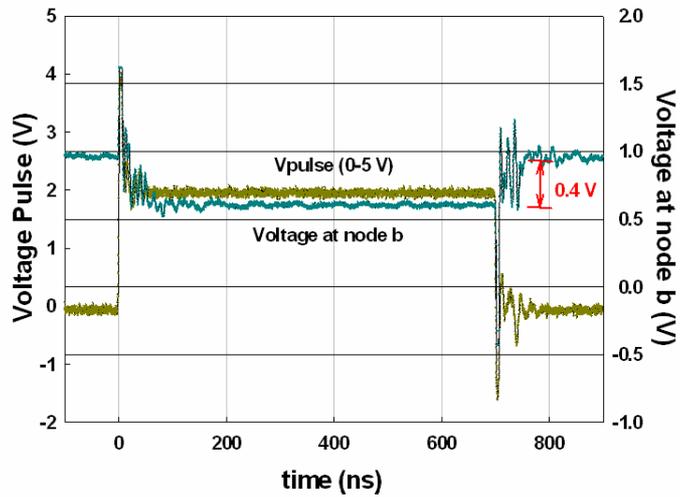
未加上鉗制元件時，節點 b 的壓降隨著施加較大的電壓脈衝而增加，如圖五所示。利用這種反應特性，要得知鉗制元件是否能有效鉗制 GCNMOS 的閘極電壓，可對具有鉗制元件的 GCNMOS 由銲墊端施加不同大小的電壓脈衝，觀察節點 b 的電壓變化量。若節點 b 的電壓變化量不會隨著施加較大電壓脈衝而增加，則鉗制元件能夠有效地鉗制閘極電壓的耦合量，進而達到避免閘極過度耦合效應的目的，反之則否。

在實驗的設計上，爲了要模擬一個容易造成閘極過度耦合效應的環境，在晶片上 GCNMOS 的耦合電容被設計到  $3\text{ pF}$ ，並且使用一閘極接到獨立接腳  $V_{\text{dd}}$  的

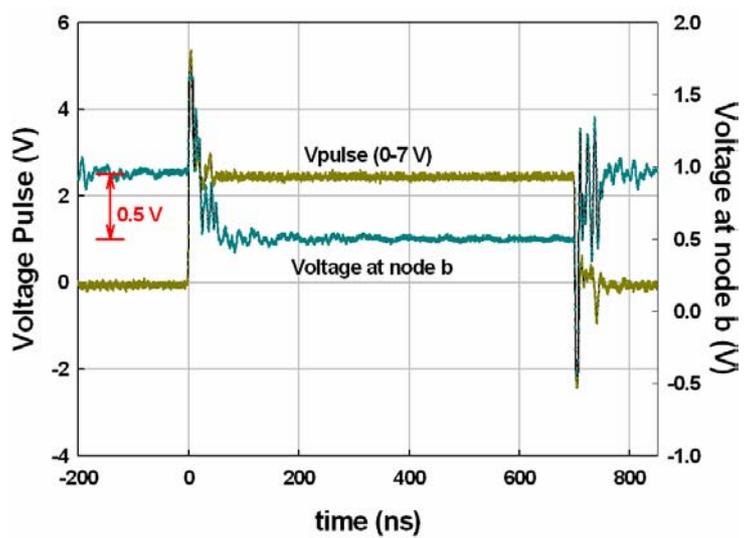
NMOS ( $W/L = 30 \mu\text{m}/1.5 \mu\text{m}$ )來取代電阻  $R$ 。



(a)



(b)



(c)

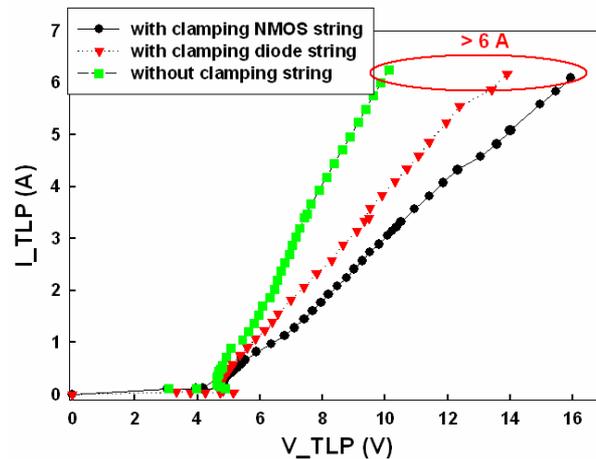
圖五. 對未加上鉗制元件的 GCNMOS，由銻墊端施加(a) 1 V，(b) 5 V，和(c) 7 V 電壓脈衝時，

在節點 b 所量測到的波形。

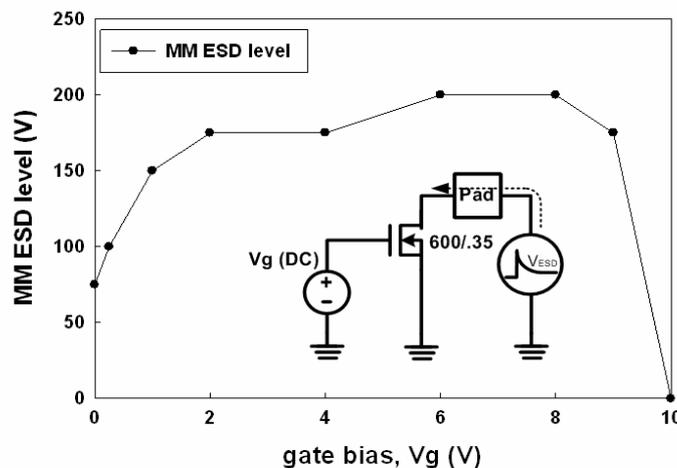
#### 四. 實驗結果

圖六顯示在 0.35- $\mu\text{m}$  CMOS 製程所製造的 GCNMOS (NMOS W/L = 600  $\mu\text{m}/0.35 \mu\text{m}$ )，在具有與不具有鉗制元件的情形下，用 TLP 系統所量測到的 I-V 特性曲線。在圖六中，不論具有或不具有鉗制元件，GCNMOS 的  $I_{t2}$  值皆超過儀器可量測的最大範圍(6 A)。與圖一相同尺寸但閘極接地的 GGNMOS 相比，具有閘極耦合技術的 GCNMOS，由於不均勻導通的問題獲得解決，其  $I_{t2}$  值明顯較 GGNMOS 來得大。

雖然在本實驗中由 TLP 所量測到的  $I_{t2}$  值無法看出閘極過度耦合效應對 NMOS 元件靜電放電防護能力的影響，但在靜電放電測試上，機器放電模式較人體放電模式而言，機器放電模式具有更短的波形上升時間。因此在機器放電模式測試中，GCNMOS 電容耦合至閘極端的耦合量更大。故在機器放電模式測試中，閘極過度耦合效應將比在人體放電模式測試時更容易對防護元件造成影響。



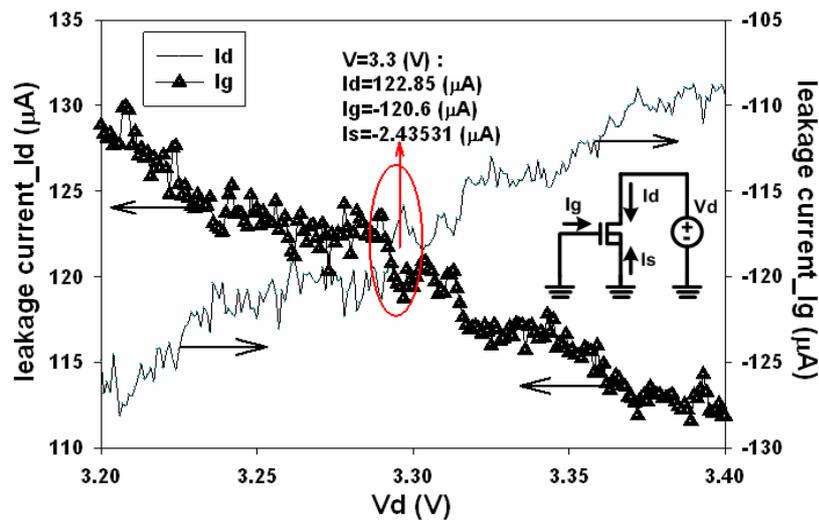
圖六. 用 TLP 系統所量測到的 GCNMOS，在具有或不具有鉗制元件情形下的 I-V 特性曲線。



圖七. NMOS 於不同閘極偏壓下的 MM ESD 耐受度。

爲了進一步了解 0.35-  $\mu\text{m}$  CMOS 製程下，在機器放電模式測試時，引發閘

極過度耦合效應的閘極電壓臨界值，不同閘極偏壓下的 NMOS 元件對機器放電模式的靜電放電耐受度如圖七所示。當閘極電壓超過 2 V 時，NMOS 元件的靜電放電防護能力已不再隨著閘極偏壓上升而增加。測量閘極偏壓於 2 V 且受到 175-V 機器放電模式轟擊的 NMOS 元件，發現元件的漏電流主要來自閘極端，如圖八所示。漏電流的量測顯示元件在靜電放電測試時受到損害部位為閘極端，而非汲極/基極界面。



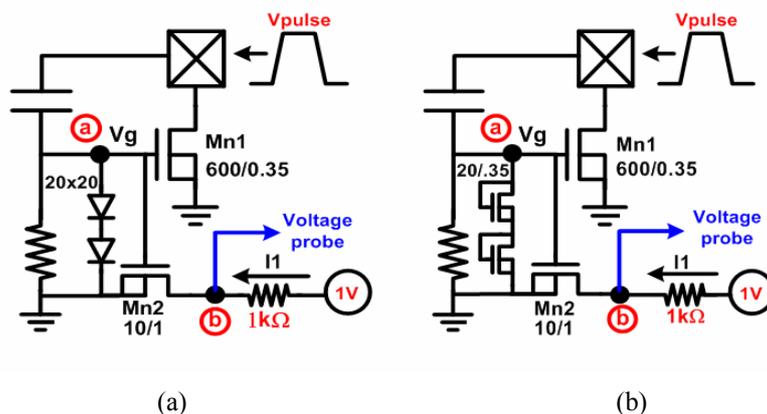
圖八. 閘極偏壓於 2 V 的 NMOS 元件，受到 175 V 機器放電模式轟擊後之閘極與汲極漏電流。

#### 4.1 二極體鉗制元件

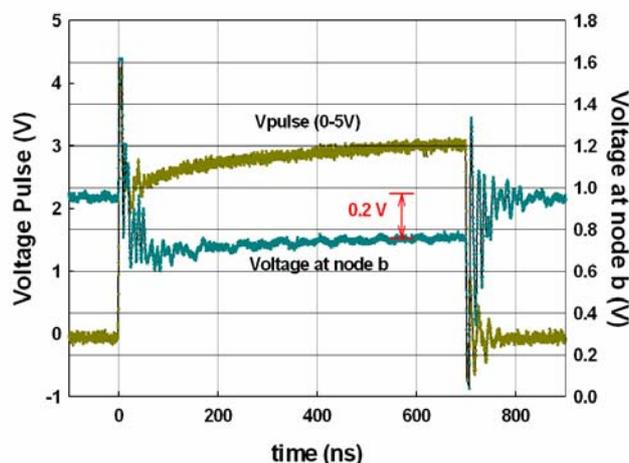
在本論文中，提出了二極體鉗制元件與 NMOS 鉗制元件兩種設計方式來避免閘極過度耦合效應。對二極體鉗制元件的電路動作觀察上，可使用如第三節中所提到的方法，對具有閘極電壓偵測電路的 GCNMOS 由鉗墊端施加不同大小的電壓脈衝，其測試電路如圖九(a)所示。首先，在鉗墊端施加 0-5 V 的電壓脈衝，由圖十(a)的量測波形可知，此時節點 b 點的電壓由 1 V 下降至 0.8 V，壓降為 0.2 V。當施加更大(0-7 V)的電壓脈衝時，節點 b 的壓降仍為 0.2 V，如圖十(b)的量測波形所示。節點 b 的壓降並未因為施加較大的電壓脈衝而增加，表示偵測元件 Mn2 的閘極電壓，即 GCNMOS Mn1 的閘極電壓，有效地被鉗制在一個定值。

具有二極體鉗制元件的 GCNMOS(W/L = 600μm/0.35μm)，其單位面積的 MM ESD 耐受度如圖十一所示。由圖十一可知，避免閘極過度耦合效應後，其 MM ESD 耐受度得到約 35%的提升。隨著串接鉗制二極體數目的增加，GCNMOS 對機器放電模式的耐受度也隨之上升。這是由於在閘極過度耦合效應發生前，當靜電放電發生時，較大的 GCNMOS 閘極偏壓會使 NMOS 元件具有較大的通道電流，能夠更有效地促進 NMOS 元件的寄生雙載子界面電晶體導通。通道電流也有助於降低寄生雙載子界面電晶體的導通電壓，促使 NMOS 元件均勻導通。因此，在閘極過度耦合效應發生前，閘極偏壓上升對 NMOS 元件的靜電放

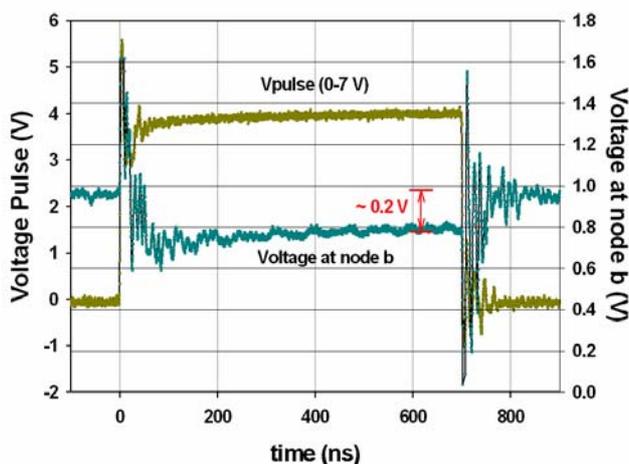
電防護能力是有所幫助的。



圖九. 具有(a)二極體鉗制元件，和(b) NMOS 鉗制元件，的偵測電路示意圖。



(a)

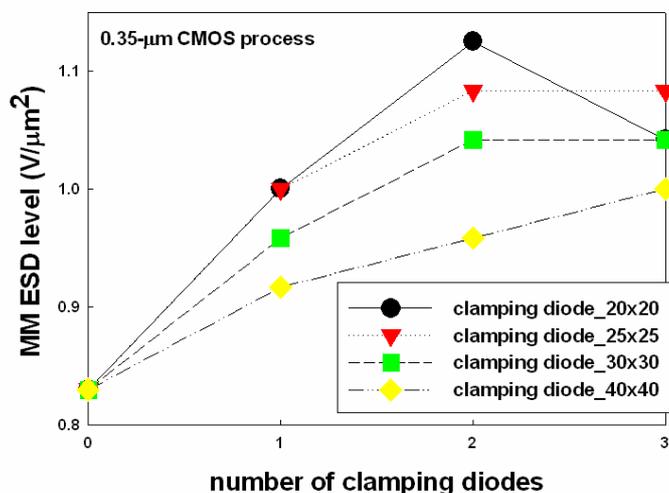


(b)

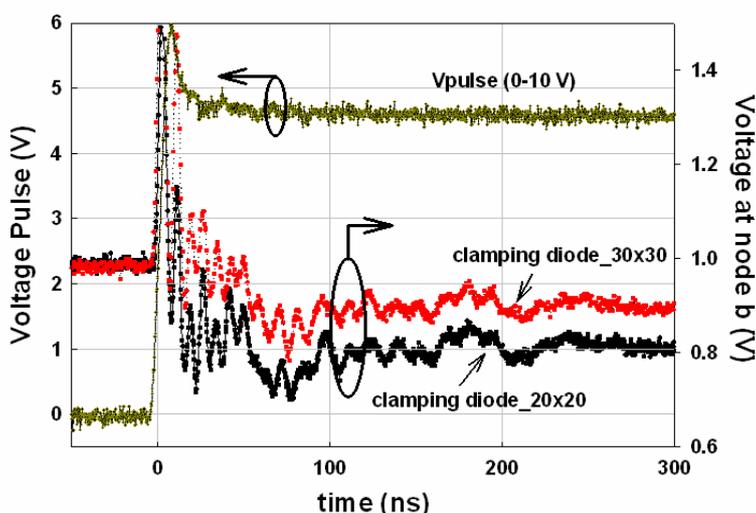
圖十. 具有二極體鉗制元件與閘極電壓偵測電路的 GCNMOS，由鉚墊端施加(a) 0-5 V，和(b) 0-7 V，電壓脈衝的量測波形。

當串接二極體鉗制元件數目到達三個時，圖十一的量測結果顯示，具有最小尺寸二極體鉗制元件的 GCNMOS，對機器放電模式的耐受度反而有下降的趨勢。此外，在鉗制二極體串接數目為一個和兩個時，具有越小尺寸鉗制二極體的

GCNMOS，有越高的靜電放電耐受度。上述兩個現象可由不同尺寸二極體鉗制元件導通時導通電阻的差異獲得合理解釋。圖十二證實了不同尺寸鉗制元件對鉗制電壓的差異。圖十二為對兩組具有閘極電壓偵測電路，但具不同尺寸二極體鉗制元件的 GCNMOS，施加 0-10 V 電壓脈衝的量測波形。一組 GCNMOS 具有兩個串接，面積同為  $20 \times 20 \mu\text{m}^2$  的鉗制二極體，另一組具有兩個串接，面積同為  $30 \times 30 \mu\text{m}^2$  的鉗制二極體。即使在施加相同的電壓脈衝下，兩組測試電路在節點 b 的電壓相差了 0.1 V。由於具有較大尺寸鉗制二極體( $30 \times 30 \mu\text{m}^2$ )的測試電路，在節點 b 的量測電壓較高，可知此組 GCNMOS 元件具有較低的 I1 電流值與較低的閘極電壓值。因此，較大尺寸的鉗制二極體可以將 GCNMOS 的閘極電壓鉗制在相對較低的電壓準位。



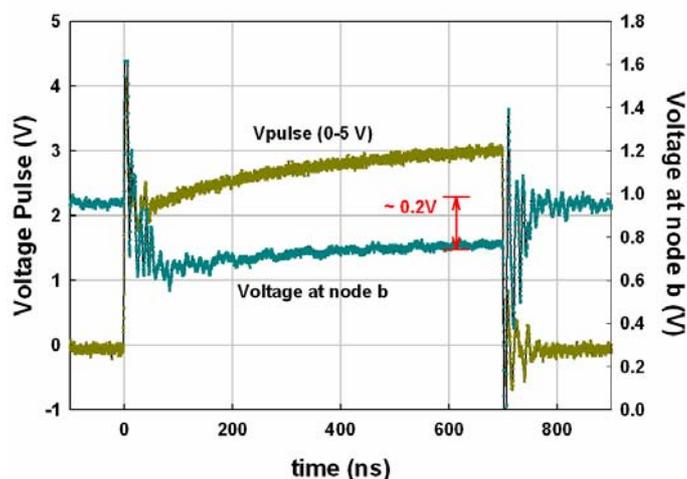
圖十一. GCNMOS 在不同尺寸與個數的鉗制二極體設計下，單位面積的 MM ESD 耐受度。



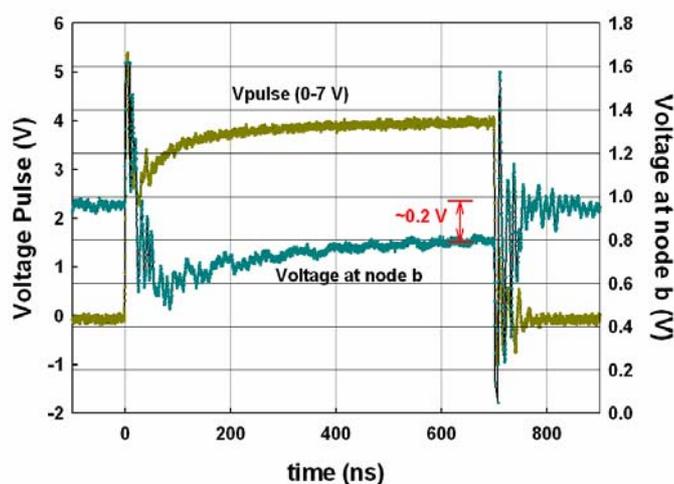
圖十二. 不同尺寸的二極體鉗制元件對 GCNMOS 閘極鉗制電壓的影響。

當串接三個鉗制二極體時，具有最小尺寸鉗制二極體的 GCNMOS，由於具有較高的導通電阻，導致鉗制電壓超過閘極過度耦合效應發生的臨界值。其它具有較大尺寸鉗制二極體的 GCNMOS，由於具有較低的導通電阻，相對能將閘極

電壓鉗制在較低的電壓準位，故仍能免於閘極過度耦合效應的發生。因此，在鉗制元件的設計上，除了鉗制元件的串接個數外，鉗制元件的尺寸也是影響閘極鉗制電壓的考量因素之一。



(a)



(b)

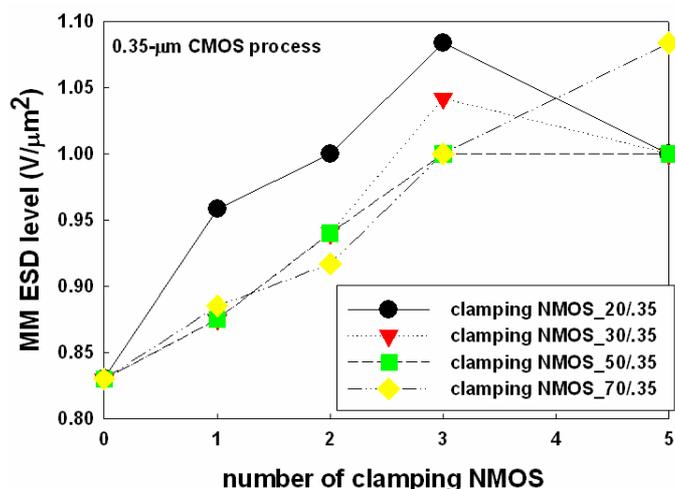
圖十三. 具有 NMOS 鉗制元件與閘極電壓偵測電路的 GCNMOS，由銲墊端施加(a) 0-5 V，和(b) 0-7 V 電壓脈衝，的量測波形。

## 4.2 NMOS 鉗制元件

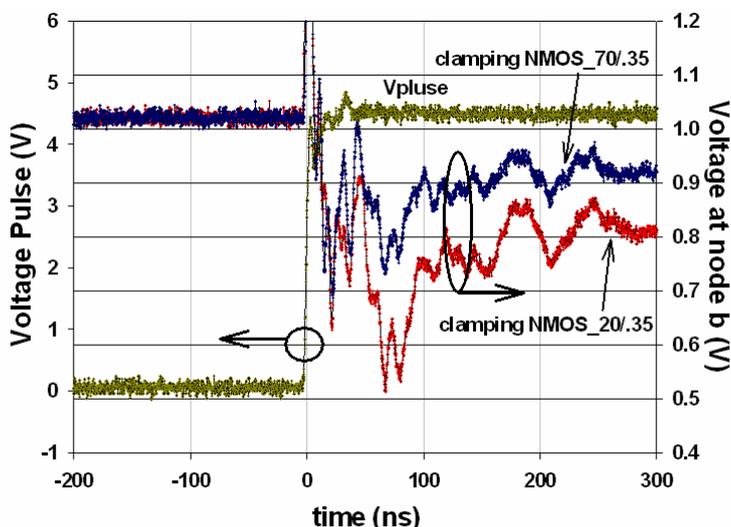
在鉗制元件的選擇上，閘極-汲極端短路的 NMOS 二極體提供了另一個有效的解決方案。NMOS 鉗制元件在電路特性上的分析，可使用類似 4.1 節所述的方式。對具有 NMOS 鉗制元件與閘極電壓偵測電路的 GCNMOS(電路如圖九(b)所示)，由銲墊端施加不同大小的電壓脈衝，並觀察節點 b 上的電壓準位變化。當施加 0-5 V 的電壓脈衝時，此電壓脈衝使閘極電壓偵測元件 Mn2 導通，節點 b 的電壓下降 0.2 V，如圖十三(a)的量測波形所示。當施加較大的電壓脈衝(0-7 V)

時，節點 b 的壓降仍為 0.2 V，如圖十三(b)所示。GCNMOS 的閘極電壓並不隨施加較大的電壓脈衝而上升，因此 NMOS 鉗制元件能夠有效地鉗制 GCNMOS 的閘極電壓。

圖十四顯示了 GCNMOS 加上 NMOS 鉗制元件的 MM ESD 耐受度。其 MM ESD 耐受度的趨勢大致上和使用二極體鉗制元件時相同。不同尺寸的鉗制元件，導通電阻的不同造成同個數 NMOS 鉗制元件下，靜電放電耐受度的差異。當 GCNMOS 具有五個串接的 NMOS 鉗制元件時，最大尺寸鉗制元件仍可避免元件受到閘極過度耦合的影響，因為大尺寸的鉗制元件在靜電放電發生時能夠鉗制 GCNMOS 的閘極電壓在相對較低的電壓準位。



圖十四. GCNMOS 加上不同尺寸與個數的 NMOS 鉗制元件，其單位面積的 MM ESD 耐受度。



圖十五. 不同尺寸的 NMOS 鉗制元件對 GCNMOS 閘極鉗制電壓的影響。

圖十五證實了不同尺寸的 NMOS 鉗制元件對 GCNMOS 閘極鉗制電壓的差異。在圖十五中，對兩組具閘極電壓偵測電路與不同尺寸 NMOS 鉗制元件的 GCNMOS 進行測試。其中一組具兩個串接，尺寸同為 20 μm/0.35 μm 的 NMOS 鉗制元件。另一組具兩個串接，尺寸同為 70 μm/0.35 μm 的 NMOS 鉗制元件。

具有較大鉗制元件的 GCNMOS，在節點 b 的壓降為 0.1 V，另一組為 0.2 V。由圖十五可知，即使使用同個數的鉗制元件，鉗制元件的尺寸亦會影響 GCNMOS 的閘極鉗制電壓。

## 五. 結語

藉由鉗制元件的運用，只需考慮鉗制元件的面積與個數，即可對閘極耦合技術進行最佳化設計。在本論文中，避免閘極過度耦合效應後，具有元件尺寸  $W/L = 600 \mu\text{m}/0.35 \mu\text{m}$ ，製造於 0.35- $\mu\text{m}$  CMOS 製程的 GCNMOS，其 MM ESD 耐受度分別增進了 35%(運用二極體鉗制元件)與 30%(運用 NMOS 鉗制元件)。運用鉗制元件的好處不僅可避免閘極過度耦合效應，且在不同製程參數時，運用鉗制元件可使閘極耦合技術在設計上獲得更高的彈性，並不需要更改光罩或提供額外製程，即可發揮元件應有的靜電放電防護能力。在更深次微米或未來奈米製程上，由於閘極氧化層厚度進一步微縮，使用閘極耦合技術的 MOS 元件，在靜電放電發生時其表面通道或閘極氧化層將更容易因閘極過度耦合效應而燒毀。運用閘極耦合技術的靜電放電防護元件，將對閘極過度耦合效應更為敏感，本論文所提出的設計提供了一個非常實用且有效的解決之道。

## 參考文獻

- [1] A. Amerasekera and C. Duvvury, *ESD in Silicon Integrated Circuits, 2nd Edition*, New York: Wiley, 2002.
- [2] *ESD Test Standard*, ESD Association, ESD STM5.1, 1998.
- [3] C. Jiang, E. Nowak, and M. Manley, "Process and design for ESD robustness in deep submicron CMOS technology," in *Proc. IEEE Int. Reliability Physics Symp.*, 1996, pp. 233–236.
- [4] C. Duvvury, C. Diaz, and T. Haddock, "Achieving uniform NMOS device power distribution for submicron ESD reliability," in *Tech. Dig. IEDM*, 1992, pp. 131–134.
- [5] M.-D. Ker, C.-Y. Wu, T. Cheng, and H.-H. Chang, "Capacitor-couple ESD protection circuit for deep-submicron low-voltage CMOS ASIC," *IEEE Trans. VLSI Syst.*, vol. 4, pp. 307–321, Mar. 1996.
- [6] J. Chen, A. Amerasekera, and C. Duvvury, "Design methodology and optimization of gate-driven NMOS ESD protection circuits in submicron CMOS processes," *IEEE Trans. Electron Devices*, vol. 45, pp. 2448–2456, Dec. 1998.
- [7] T.-Y. Chen and M.-D. Ker, "Analysis on the dependence of layout parameters on ESD robustness of CMOS devices for manufacturing in deep-submicron CMOS process," *IEEE Trans. Semiconductor Manufacturing*, vol. 16, pp. 486–500, Aug. 2003.
- [8] T.-Y. Chen and M.-D. Ker, "Investigation of the gate-driven effect and substrate-triggered effect on ESD robustness of CMOS devices," *IEEE Trans. Device and Materials Reliability*, vol. 1, pp. 190–203, Dec. 2001.