

避免高壓積體電路發生閉鎖效應或類似閉鎖效應 之電源間靜電放電防護設計

林昆賢¹、柯明道²

1. 工研院系統晶片技術發展中心
2. 國立交通大學電子研究所

目錄

- 一、前言
- 二、高壓靜電放電防護元件
- 三、使用堆疊結構之電源間靜電放電防護電路
- 四、結論

避免高壓積體電路發生閉鎖效應或類似閉鎖效應 之電源間靜電放電防護設計

林昆賢、柯明道

摘要—在高壓互補式金氧半製程技術中，金氧半場效電晶體(MOSFET)、矽控整流器(SCR)或者是雙載子電晶體(BJT)，被廣泛的用作靜電放電防護元件。但是這些靜電放電防護元件在驟回崩潰(Snapback Breakdown)狀態下的持有電壓(Holding Voltage)都遠小於高壓電源的電壓。此低持有電壓的元件特性將使得在實際系統應用下，高壓積體電路發生閉鎖效應(Latchup)或類似閉鎖效應(Latchup-Like)的危險，尤其是將這些元件用作電源間靜電放電箝制元件。本文針對此問題作深入的研究，並進一步提出新型的電源間靜電放電箝制電路以避免高壓積體電路發生閉鎖效應或類似閉鎖效應的危險。此設計是藉由調整堆疊元件的數目，使得堆疊元件結構在驟迴崩潰狀態下的持有電壓超過高壓電源的電壓。如此，在不需要增加或改變製程步驟下，便可以達到避免高壓積體電路發生閉鎖效應或類似閉鎖效應的目的。利用此概念設計的堆疊場氧化層電晶體結構(Stacked Field-Oxide Structure)用在電源間靜電放電箝制電路已經在供應電壓為40 V的0.25微米互補式金氧半製程中驗證，其能有效地防止高壓積體電路發生閉鎖效應或類似閉鎖效應的危險。

關鍵字：高壓積體電路(High-Voltage CMOS ICs)，靜電放電(Electrostatic Discharge, ESD)，電源間靜電放電箝制電路(Power-Rail ESD Clamp Circuit)，閉鎖效應(Latchup)，暫態引發閉鎖效應(Transient Latchup, TLU)。

一、前言

在高壓互補式金氧半製程技術中，高壓的電晶體已經被廣泛地運用在平面顯示器、電源供應、電源管理、以及汽車電子等相關應用之積體電路。而靜電放電的可靠度問題在此相關應用之積體電路是非常重要的。在高壓互補式金氧半製程技術中，金氧半場效電晶體(MOSFET)、矽控整流器(SCR)或者是雙載子電晶體(BJT)，已經被廣泛的用作靜電放電防護元件 [1]-[6]。目前大部分的研究都是在分析與提昇靜電放電防護元件在高壓積體電路之靜電放電防護能力，而忽略這些靜電放電防護元件在正常工作操作下，可能造成的閉鎖效應(Latchup)或類似閉鎖效應(Latchup-Like)的危險，尤其是將這些元件用作電源間靜電放電箝制元件。

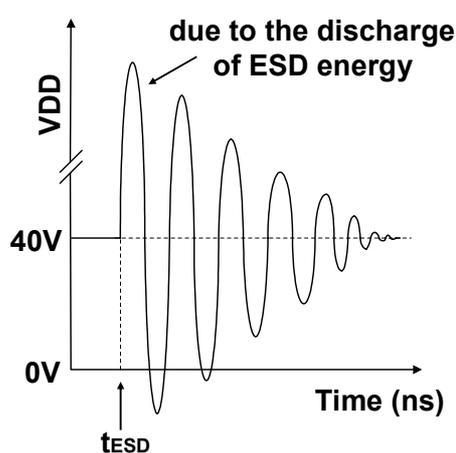
就之前文獻的研究指出電源間的靜電放電防護電路可有效地提昇整體晶片的靜電放電防護能力 [7]。當靜電放電防護元件用作電源間靜電放電箝制元件時，在正常工作操作下，靜電放電防護元件必需是關閉的；而在靜電放電發生時，靜電放電防護元件必需能夠快速地導通來導去靜電放電電流，以達到保護內部電路的目的。另一方面，系統產品在量產出貨前必需通過系統級的靜電放電測試，系統級的靜電放電測試標準在Standard IEC 61000-4-2 [8]有詳細地規範。在進行系統級的靜電放電測試時，系統上積體電路的電源線可能會經由耦合而出現高達好幾百伏特的電壓 [9]；如圖一所示，在正常工作操作下，使用電子槍(ESD Gun)對顯示器的面板進行系統級的靜電放電測試時，面板上驅動晶片的電源線可能會出現高

達好幾百伏特的電壓。如果靜電放電防護元件在驟回崩潰(Snapback Breakdown)狀態下的持有電壓(Holding Voltage)小於電源的電壓，靜電放電防護元件便可能會經由系統級靜電放電測試的暫態脈衝觸發而導通，進而造成積體電路發生非常嚴重地閉鎖效應或類似閉鎖效應的危險。閉鎖效應可能會造成晶片電路操作錯誤甚至晶片被燒毀 [10], [11]。

在本文裡，將針對供應電壓為40 V的0.25微米互補式金氧半製程中，藉由傳輸線脈衝產生系統(Transmission Line Pulsing System, TLP) [12]以及暫態引發閉鎖效應(Transient Latchup, TLU) [13]的實驗測試中，探討高壓靜電放電防護元件在驟回崩潰狀態下的低持有電壓特性，將會造成高壓積體電路發生閉鎖效應或類似閉鎖效應的危險。並進一步提出新型的電源間靜電放電箝制電路以避免高壓積體電路發生閉鎖效應或類似閉鎖效應的危險。



(a)



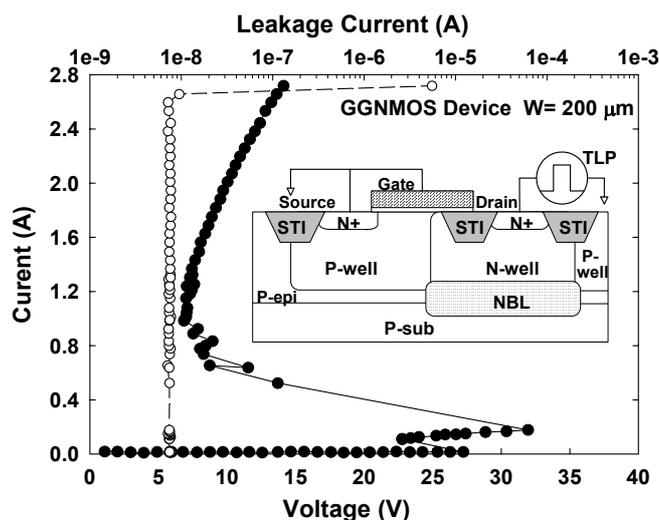
(b)

圖一、(a) 使用電子槍對顯示器的面板作系統級的靜電放電測試。(b) 面板上驅動晶片的電源線可能會出現高達好幾百伏特的電壓。

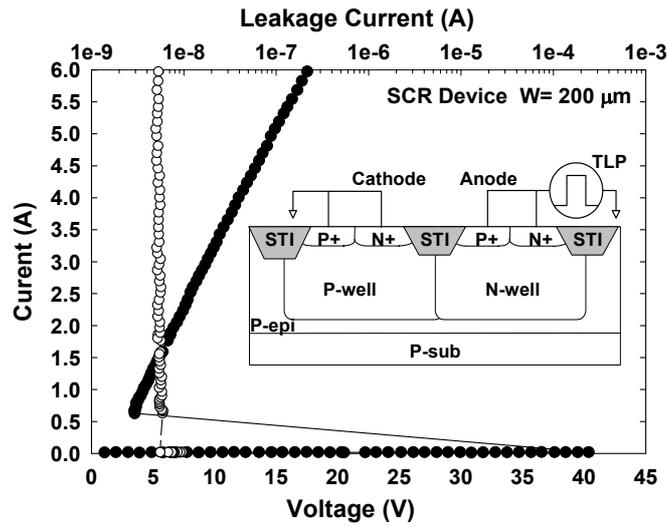
二、高壓靜電放電防護元件

2.1 TLP 量測結果

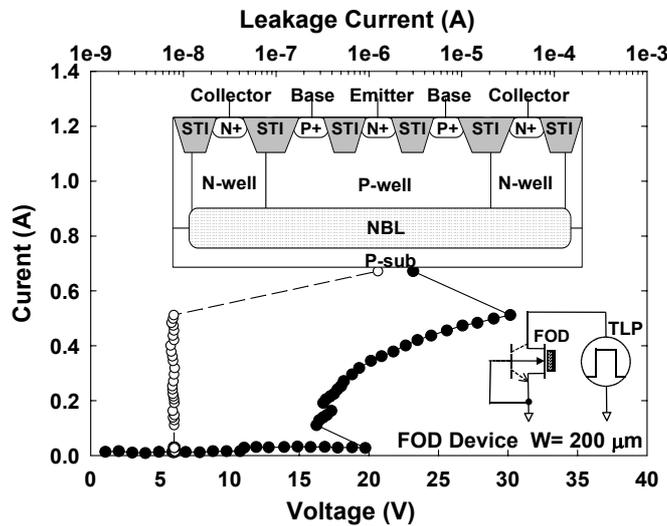
我們使用 TLP 來量測元件的驟回崩潰特性與二次崩潰電流(I_{t2})。TLP 是運用傳輸線脈衝產生的原理，提供單一、且不斷升高能量的脈衝，其所產生的脈衝寬度為 100 ns，以模擬靜電放電發生時，短時間內高能量電流脈衝注入元件的情況。圖二~圖五分別為高壓的閘極接地之 N 型金氧半場效電晶體(GGNMOS)、矽控整流器(SCR)，場氧化層電晶體(FOD)以及閘極接 VDD 之 P 型金氧半場效電晶體(GDPMOS)在 TLP 系統所量測到的電流-電壓關係曲線。且在每張量測圖內也插入該元件的結構剖面圖。如圖二所示，高壓 GGNMOS 元件具有兩段式的驟回崩潰特性(Double-Snapback Characteristic)。兩段式驟回崩潰特性的原理請參考本文所列的文獻[14]。高壓 GGNMOS 元件在第一段的觸發電壓(Trigger Voltage)為 27.2 V (在 DC 的量測下是 52 V)，其在第二段的持有電壓約為 7 V。高壓 GGNMOS 元件在通道寬度是 200- μm 下，其 I_{t2} 為 2.7 A。如圖三所示，高壓 SCR 元件具有非常低的持有電壓且非常高的靜電放電耐受度。高壓 SCR 元件的持有電壓約為 4 V 且在通道寬度是 200- μm 下，其 I_{t2} 超過 6 A。如圖四所示，高壓 FOD 元件結構是利用 NBL(N+ Buried Layer)層使得 FOD 元件與共用的 P 型基體隔絕。高壓 FOD 元件的觸發電壓為 19.7 V (在 DC 的量測下是 50 V)且持有電壓約為 16 V。高壓 FOD 元件在通道寬度是 200- μm 下，其 I_{t2} 為 0.5 A。元件的觸發電壓在 DC 與 TLP 量測下有明顯的差異，其原因是在 TLP 的量測中，脈衝注入點的寄生電容所造成的暫態耦合效應(Transient-Coupling Effect)，這將使得使用 TLP 所量測元件的觸發電壓明顯降低。如圖五所示，高壓 GDPMOS 元件並沒有驟回崩潰的特性，其持有電壓超過 40 V。此外，高壓 GDPMOS 元件在通道寬度是 200- μm 下，其 I_{t2} 只有 0.06 A。由於具有非常差的靜電放電耐受度，高壓 PMOS 元件並不適合作高壓積體電路的靜電放電防護元件。



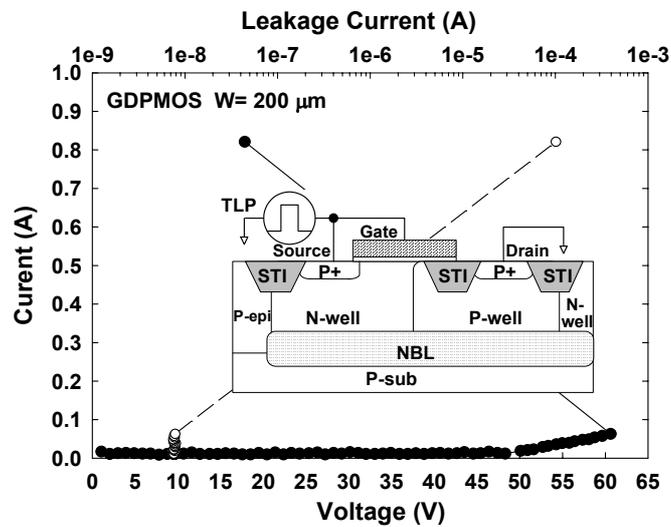
圖二、高壓 GGNMOS 元件在 TLP 測試所量測到的電流-電壓關係曲線。



圖三、高壓 SCR 元件在 TLP 測試所量測到的電流-電壓關係曲線。



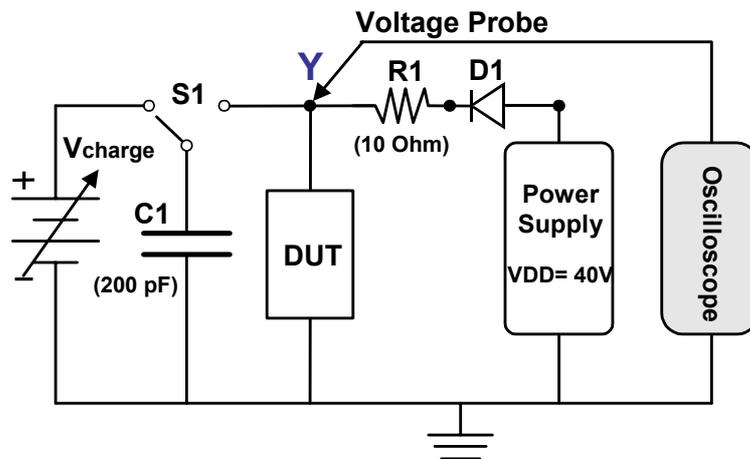
圖四、高壓 FOD 元件在 TLP 測試所量測到的電流-電壓關係曲線。



圖五、高壓 GDPMOS 元件在 TLP 測試所量測到的電流-電壓關係曲線。

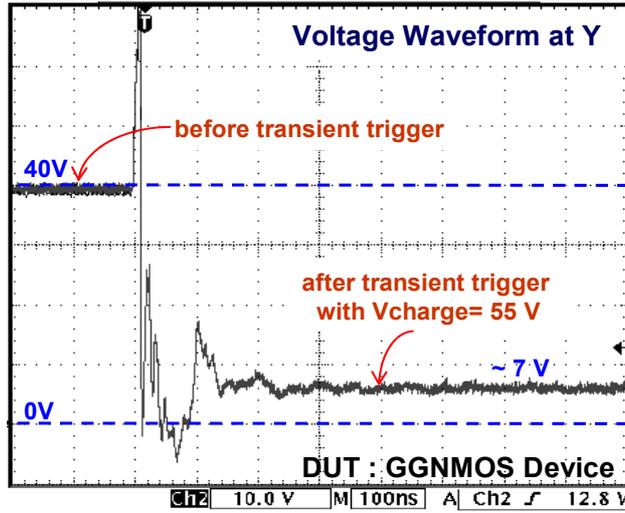
2.1 TLU 量測結果

TLU 測試實驗主要是探討高壓靜電放電防護元件在正常工作情形下，對於電源線上的暫態雜訊(Noise Transient)或脈衝干擾(Glitch)所引發閉鎖效應的敏感度。TLU 測試的實驗裝置如圖六所示。實驗裝置包括一組電壓(Vcharge)先對電容(C1)充電，充電的電壓可以為正電壓或負電壓。在進行 TLU 測試時，開關便會切換到待測元件(DUT)上，此時儲存在電容的能量便是 Noise Transient 的觸發產生源。而在 TLU 測試中，VDD 電壓 40 V 一直都是施加在待測元件上，表示 TLU 測試是在正常工作的操作條件下。我們使用示波器來觀測在 TLU 測試中，DUT 上的電壓波形(Y 點的電壓波形)變化。圖七~圖九分別為高壓的 GGNMOS 元件、SCR 元件以及 FOD 元件在 TLU 測試中所量測到的電壓波形。

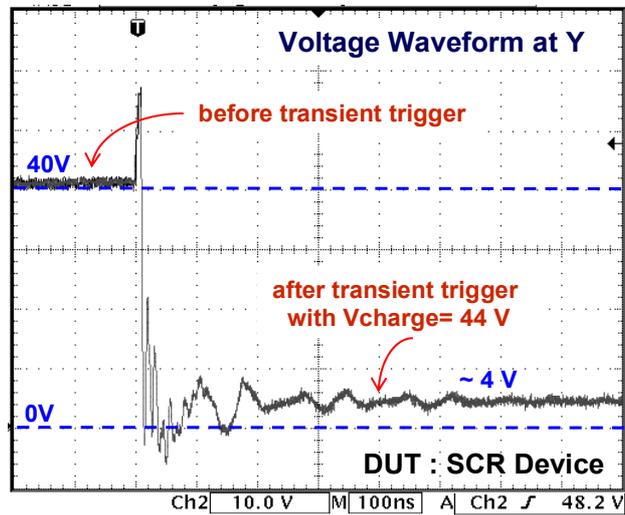


圖六、TLU 測試的實驗裝置。

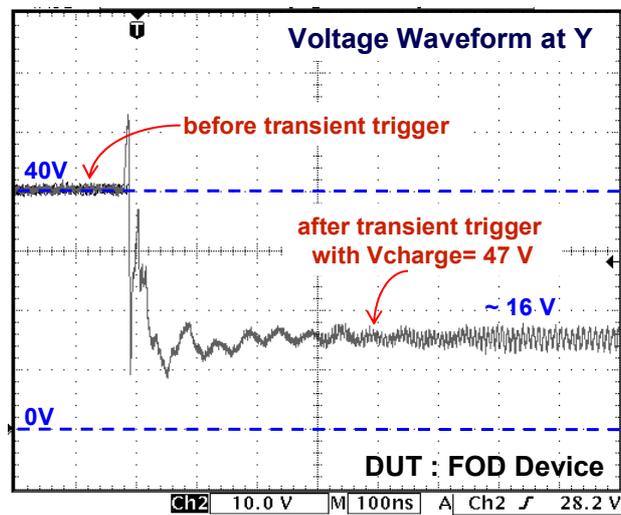
從實驗結果得知高壓靜電放電防護元件在暫態觸發前是關閉的，因此電壓波形一直維持在 40 V。當暫態觸發發生時即開關會切換到待測元件上時，高壓靜電放電防護元件將被暫態觸發而導通，此時電壓波形將會被箝制在低電壓的狀態。在 TLU 測試中所量測到元件的箝制電壓值與 TLP 測試中所量測到元件的持有電壓值是相吻合的。如圖七所示，高壓 GGNMOS 元件在電容充電電壓為 55 V 時會被暫態觸發而導通，而其箝制電壓值約為 7 V。由箝制電壓值顯示，高壓 GGNMOS 元件會被暫態觸發而直接進入第二段驟回崩潰的導通狀態。因此，使用高壓 NMOS 元件來用作電源間靜電放電箝制元件，NMOS 元件可能會被電源線上的 Noise Transient 所觸發而導通，使得高壓積體電路發生類似閉鎖效應的問題。如圖八所示，高壓 SCR 元件在電容充電電壓為 44 V 時會被暫態觸發而導通，而其箝制電壓值約為 4 V。雖然高壓 SCR 元件具有非常高的靜電放電耐受度，但是使用高壓 SCR 元件來用作電源間靜電放電箝制元件將使得高壓積體電路發生嚴重的閉鎖效應問題。如圖九所示，高壓 FOD 元件在電容充電電壓為 47 V 時會被暫態觸發而導通，而其箝制電壓值約為 16 V。因此，使用單一的高壓 FOD 元件來用作電源間靜電放電箝制元件必需考慮到高壓積體電路可能會發生類似閉鎖效應的問題。從實驗結果證明高壓靜電放電防護元件在驟回崩潰狀態下的持有電壓都遠小於高壓電源的電壓，此低持有電壓的元件特性將使得在實際系統應用下，高壓積體電路發生嚴重的閉鎖效應或類似閉鎖效應的危險。



圖七、高壓 GGNMOS 元件在 TLU 測試中所量測到的電壓波形。



圖八、高壓 SCR 元件在 TLU 測試中所量測到的電壓波形。



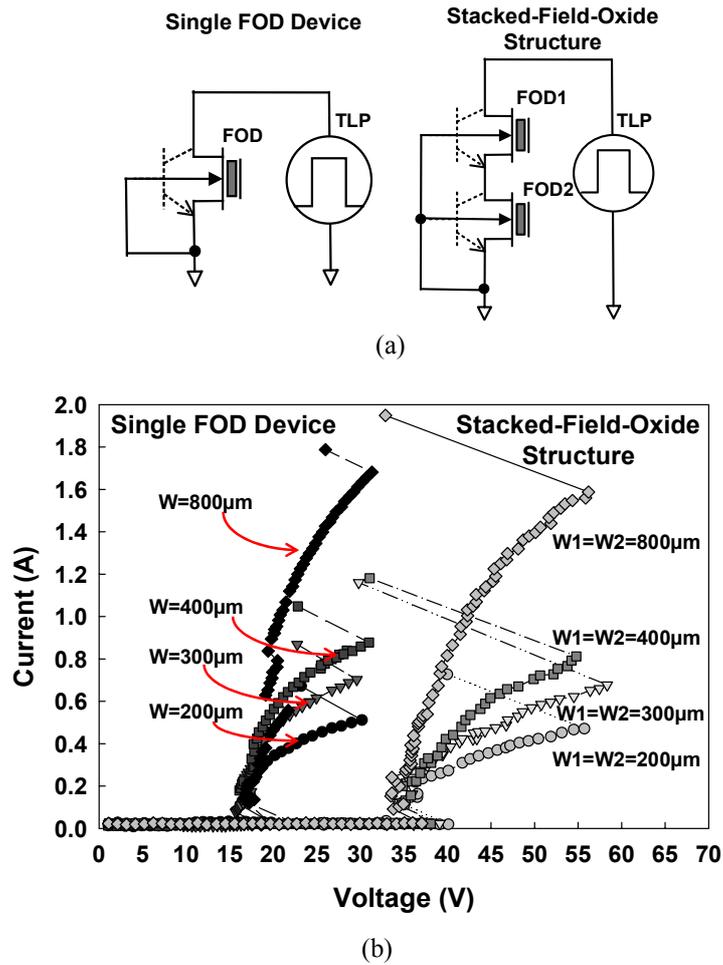
圖九、高壓 FOD 元件在 TLU 測試中所量測到的電壓波形。

三、使用堆疊結構之電源間靜電放電防護電路

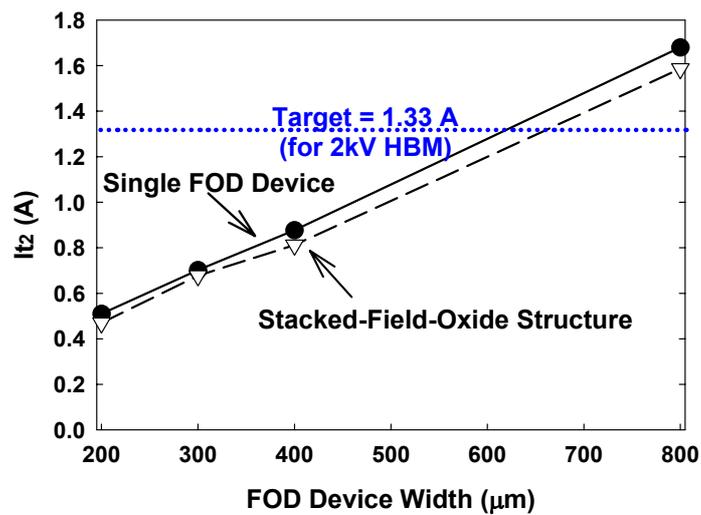
與高壓FOD元件作比較，高壓NMOS與SCR元件具有較高的 It_2 ，但是其在驟回崩潰狀態下的持有電壓與高壓電源的電壓相差甚多。為了克服高壓積體電路發生閉鎖效應或類似閉鎖效應的危險，本文提出使用堆疊場氧化層電晶體結構(Stacked Field-Oxide Structure)來提昇堆疊結構在驟回崩潰狀態下整體的持有電壓。使用兩個FOD元件串接的堆疊場氧化層電晶體結構已經在供應電壓為40 V的0.25微米互補式金氧半製程中驗證。同樣地，使用TLP來量測堆疊場氧化層電晶體結構的電流-電壓特性，以及TLU測試來探討堆疊場氧化層電晶體結構，對於電源線上的Noise Transient所引發閉鎖效應的敏感度。最後，本文將提出避免發生閉鎖效應或類似閉鎖效應之電源間靜電放電防護電路。

3.1 TLP 量測結果

單一 FOD 元件與堆疊場氧化層電晶體結構在 TLP 測試的實驗裝置如圖十(a)所示。圖十(b)為單一 FOD 元件與堆疊場氧化層電晶體結構在不同的元件寬度下使用 TLP 測試所量測到的電流-電壓關係曲線。從實驗結果得知堆疊場氧化層電晶體結構在驟回崩潰狀態下整體的持有電壓是單一 FOD 元件持有電壓的兩倍。因此，堆疊場氧化層電晶體結構在驟回崩潰狀態下整體的持有電壓會隨著串接 FOD 元件的數目而線性的增加。圖十一為單一 FOD 元件與堆疊場氧化層電晶體結構在 TLP 測試所量測到的 It_2 對元件寬度關係圖。堆疊場氧化層電晶體結構的 It_2 會隨著元件寬度的增加而增加。此外，與單一 FOD 元件作比較，堆疊場氧化層電晶體結構的 It_2 不會因為堆疊的結構而有明顯的下降。因此，我們可藉由調整堆疊場氧化層電晶體結構中元件的寬度來達到所要求的靜電放電耐受度。



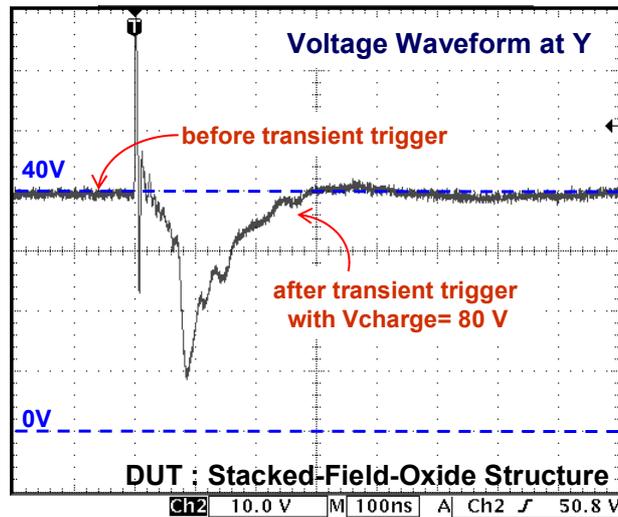
圖十、(a) 單一 FOD 元件與堆疊場氧化層電晶體結構在 TLP 測試的實驗裝置。(b) 單一 FOD 元件與堆疊場氧化層電晶體結構在不同的元件寬度下使用 TLP 測試所量測到的電流-電壓關係曲線。



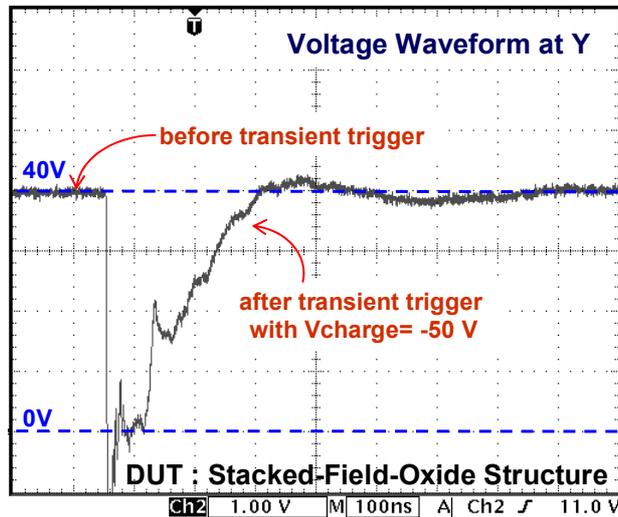
圖十一、單一 FOD 元件與堆疊場氧化層電晶體結構在 TLP 測試所量測到的 I_{t2} 對元件寬度關係圖。

3.2 TLU 量測結果

圖十二(a)與圖十二(b)分別為堆疊場氧化層電晶體結構在 TLU 測試中使用正的充電電壓與負的充電電壓所量測到的電壓波形。從實驗結果得知堆疊場氧化層電晶體在正的充電電壓 80 V 與負的充電電壓 -50 V 時會由暫態觸發而導通，不過被箝制的電壓波形快速地回到供應電壓 40 V，而沒有進入閉鎖效應的狀態。這主要原因是使用兩個 FOD 元件串接的堆疊場氧化層電晶體結構，其在驟回崩潰狀態下的持有電壓已經很接近供應電壓 40 V，當堆疊場氧化層電晶體結構被暫態觸發導通後可以快速地回到供應電壓 40 V 而沒有發生閉鎖效應或類似閉鎖效應的問題。此外，與單一 FOD 元件作比較，堆疊場氧化層電晶體結構需要更高的充電電壓才能被暫態觸發而導通。因此，堆疊場氧化層電晶體結構對於在正常工作操作下，電源線上雜訊觸發而引發閉鎖效應的敏感度大幅提高。



(a)

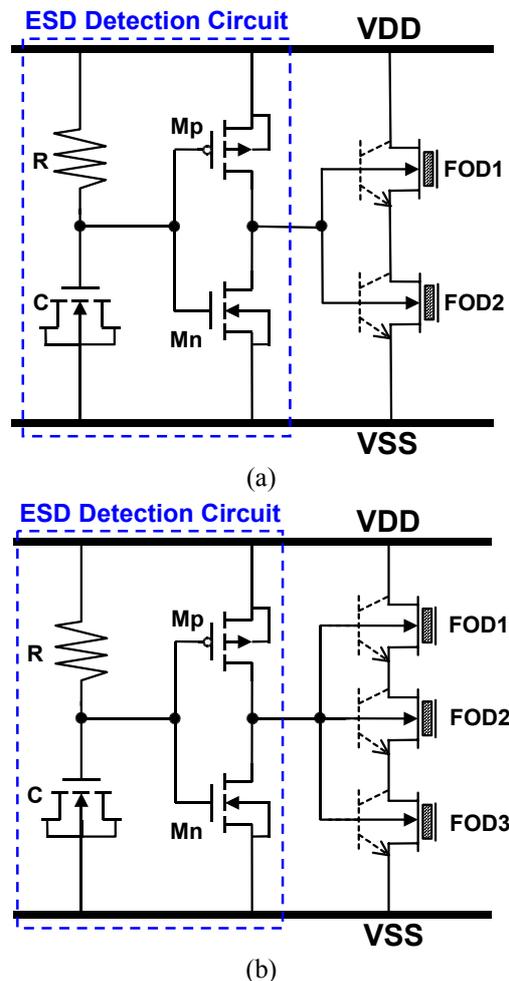


(b)

圖十二、堆疊場氧化層電晶體結構在 TLU 測試中使用(a)正的充電電壓與(b)負的充電電壓所量測到的電壓波形。

3.3 避免發生閉鎖效應之電源間靜電放電防護電路

為了避免高壓積體電路發生閉鎖效應或類似閉鎖效應的危險，本文提出使用兩個 FOD 元件與三個 FOD 元件串接的堆疊場氧化層電晶體結構，分別如圖十三(a)與圖十三(b)所示。基體觸發技術可由常用的靜電放電偵測電路(RC-based ESD detection circuit)來實現[15]-[17]。堆疊場氧化層電晶體結構的觸發電壓可經由基體觸發技術有效地降低，進而能快速地導通導去靜電放電電流。TLU 測試的實驗結果已經證明堆疊場氧化層電晶體結構對於在正常工作操作下，電源線上雜訊觸發而引發閉鎖效應的敏感度大幅提高。我們可藉由調整堆疊元件的數目，或使用不同的元件，使得堆疊元件結構在驟迴崩潰狀態下的持有電壓超過高壓電源的電壓。如此，在不需增加或改變製程步驟下，便可以達到避免高壓積體電路發生閉鎖效應或類似閉鎖效應的目的。



圖十三、本文提出使用(a)兩個 FOD 元件與(b)三個 FOD 元件串接的堆疊場氧化層電晶體結構，來避免高壓積體電路發生閉鎖效應或類似閉鎖效應的危險。

四、結論

高壓靜電放電防護元件在驟回崩潰狀態下的低持有電壓特性，將使得高壓積體電路在正常工作操作下容易發生閉鎖效應或類似閉鎖效應的危險。這現象已經由 TLP 以及 TLU 量測結果中獲得證實。我們可藉由調整堆疊元件的數目，或使用不同的元件，使得堆疊結構在驟迴崩潰狀態下的持有電壓超過高壓電源的電壓。如此，在不需要增加或改變製程步驟下，便可以達到避免高壓積體電路發生閉鎖效應或類似閉鎖效應的目的。利用此概念設計的堆疊場氧化層電晶體結構(Stacked Field-Oxide Structure)用在電源間靜電放電箝制電路已經在供應電壓為 40 V 的 0.25 微米互補式金氧半製程中驗證，其能有效地防止高壓積體電路發生閉鎖效應或類似閉鎖效應的危險。

参考文献

- [1] M. P. J. Mergens, W. Wilkening, S. Mettler, H. Wolf, A. Stricker, and W. Fichtner, "Analysis of lateral DMOS power devices under ESD stress conditions," *IEEE Trans. on Electron Devices*, vol. 47, pp. 2128-2137, 2000.
- [2] C. Duvvury, F. Carvajal, C. Jones, and D. Briggs, "Lateral DMOS design for ESD robustness," in *Tech. Dig. of IEDM*, 1997, pp. 375-378.
- [3] C. Duvvury, J. Rodriguez, C. Jones, and M. Smayling, "Device integration for ESD robustness of high voltage power MOSFETs," in *Tech. Dig. of IEDM*, 1994, pp. 407-410.
- [4] J.-H. Lee, J.-R. Shih, C.-S. Tang, K.-C. Liu, Y.-H. Wu, R.-Y. Shiue, T.-C. Ong, Y.-K. Peng, and J.-T. Yue, "Novel ESD protection structure with embedded SCR LDMOS for smart power technology," in *Proc. of IEEE Int. Reliability Physics Symp.*, 2002, pp. 156-161.
- [5] V. De Heyn, G. Groeseneken, B. Keppens, M. Natarajan, L. Vacaresse, and G. Gallopyn, "Design and analysis of new protection structures for smart power technology with controlled trigger and holding voltage," in *Proc. of IEEE Int. Reliability Physics Symp.*, 2001, pp. 253-258.
- [6] G. Bertrand, C. Delage, M. Bafleur, N. Nolhier, J. Dorkel, Q. Nguyen, N. Mauran, D. Tremouilles, and P. Perdu, "Analysis and compact modeling of a vertical grounded-base n-p-n bipolar transistor used as ESD protection in a smart power technology," *IEEE Journal of Solid-State Circuits*, vol. 36, pp. 1373-1381, 2001.
- [7] M.-D. Ker, "Whole-chip ESD protection design with efficient VDD-to-VSS ESD clamp circuits for submicron CMOS VLSI," *IEEE Trans. on Electron Devices*, vol. 46, pp. 173-183, 1999.
- [8] Electromagnetic compatibility (EMC) – Part 4-2: Testing and measurement techniques – Electrostatic discharge immunity test, International Standard IEC 61000-4-2, 1995.
- [9] M.-D. Ker and Y.-Y. Sung, "Hardware / firmware co-design in an 8-bits microcontroller to solve the system-level ESD issue on keyboard," in *Proc. of EOS/ESD Symp.*, 1999, pp. 352-360.
- [10] E. Chwastek, "A new method for assessing the susceptibility of CMOS integrated circuits to latch-up: the system-transient technique," in *Proc. of EOS/ESD Symp.*, 1989, pp. 149-155.
- [11] R. Lewis and J. Minor, "Simulation of a system level transient-induced latchup event," in *Proc. of EOS/ESD Symp.*, 1994, pp. 193-199.
- [12] T. J. Maloney and N. Khurana, "Transmission line pulsing techniques for circuit modeling of ESD phenomena," in *Proc. of EOS/ESD Symp.*, 1985, pp. 49-54.
- [13] I. Morgan, C. Hatchard, and M. Mahanpour, "Transient latch-up using as improved bi-polar trigger," in *Proc. of EOS/ESD Symp.*, 1999, pp. 190-202.
- [14] M.-D. Ker and K.-H. Lin, "Double snapback characteristics in high-voltage nMOSFETs and the impact to on-chip ESD protection design," *IEEE Electron Device Letters*, vol. 25, no. 9, pp. 640-642, 2004.
- [15] M.-D. Ker, "Area-efficient VDD-to-VSS ESD clamp circuit by using substrate-triggering field-oxide device (STFOD) for whole-chip ESD protection," in *Proc. of Int. Symp. on VLSI Technology, Systems, and Applications*, 1997, pp. 69-73.
- [16] M.-D. Ker, T.-Y. Chen, C.-Y. Wu, H. Tang, K.-C. Su, and S.-W. Sun, "Novel input ESD protection circuit with substrate-triggering technique in a 0.25- μm shallow-trench-isolation CMOS technology," in *Proc. of IEEE Int. Symp. on Circuits and Systems*, 1998, vol. 2, pp. 212-215.
- [17] C. Duvvury, S. Ramaswamy, A. Amerasekera, R. Cline, B. H. Andresen, and V. Gupta, "Substrate pump nMOS for ESD protection applications," in *Proc. of EOS/ESD Symp.*, 2000, pp. 7-17.