

**0.18 微米互補式金氧半類比輸出/輸入電路
之靜電放電故障分析**

工業技術研究院/系統晶片技術發展中心

陳世宏 柯明道 莊哲豪 陳子平

2005-02-21

目錄

一. 前言

二. 輸出/輸入電路靜電放電防護設計

三. 效能驗證與人體放電模式靜電放電耐受度

 3.1 power-rail 靜電放電箝制電路的效能驗證

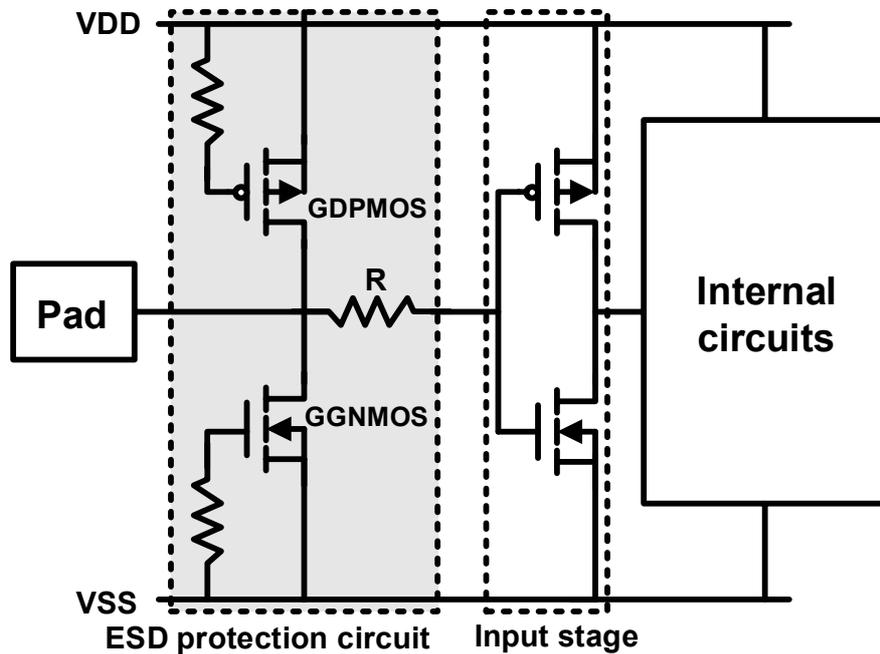
 3.2 人體放電模式靜電防護耐受度

四. 故障分析

五. 結論

一. 前言

隨著半導體技術不斷的發展與進步，互補式金氧半電晶體元件尺寸也由原本的次微米正式進入了深次微米的時代。在深次微米互補式金氧半製程，因為閘極氧化層的低崩潰電壓，元件本身能提供的靜電放電耐受度將大幅降低，所以有效的靜電放電防護設計已成為重要且不可或缺的一個部分[1]-[3]。應用於一般數位輸入端的靜電放電(electrostatic discharge, 簡稱 ESD)防護設計架構如圖一所示，大尺寸的閘極接地 N-型金氧半(gate-grounded NMOS, 簡稱 GGNMOS)電晶體與閘極接電源 P-型金氧半(gate-VDD PMOS, 簡稱 GDPMOS)電晶體用以提供足夠的靜電放電防護耐受度。並且為了進一步增強靜電放電防護元件的防護耐受能力，靜電放電防護元件於佈局(layout)上特別擴大其汲極接點到多晶矽閘極端(drain-contact-to-poly-gate)之距離。此外，為確切的保護輸入端的閘極氧化層，於輸入端焊墊至內部電路間將串聯一個數十到數百歐姆(Ω)之電阻(R)。然而，在電流式輸入訊號與高速的應用上，這個以靜電放電防護為考量的串聯電阻將嚴重影響電路特性。再者，這個串聯電阻與擁有巨大寄生接面電容(junction capacitance)的靜電放電防護元件，將對輸入訊號造成一個嚴重的 RC-延遲時間(RC-delay time)，因此這個靜電放電防護架構將難以適用於類比電路與高頻電路中[4]-[6]。



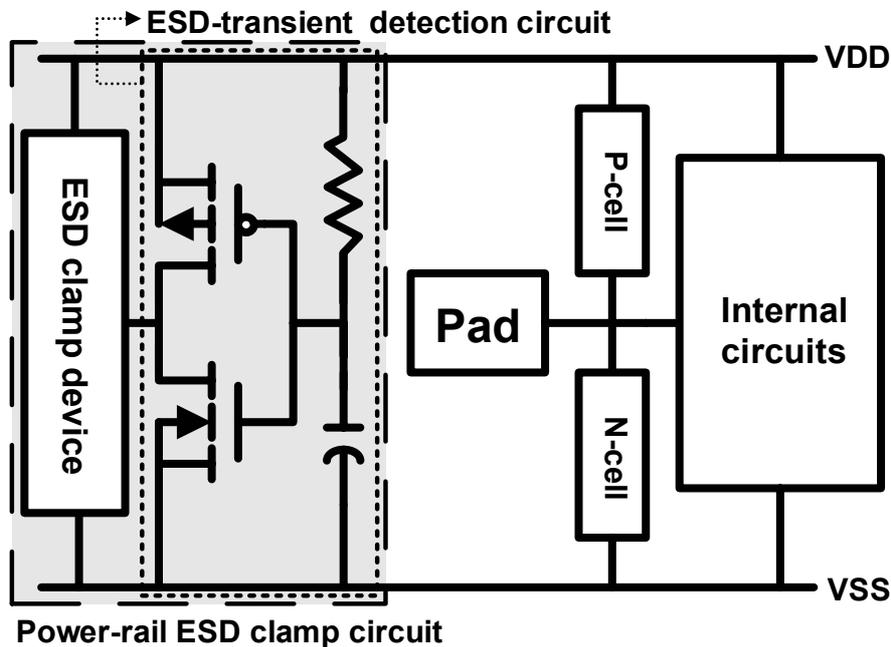
圖一 傳統數位輸入端靜電放電防護設計電路

在本論文中，我們將比較不同的類比輸出/輸入電路靜電放電防護設計，並且在 0.18 微米互補式金氧半製程技術中，找出最佳化之類比輸出/輸入電路的靜電放電防護電路。然而，當電源端接地而焊墊端發生負極性靜電放電(ND-mode ESD stress)下，一個新的靜電放電破壞機制產生於純二極體 (diode) 靜電放電防

護設計電路中。這個破壞機制是由於 N 型二極體與 N+/N 型井防護圈(N+/N-well guard ring)結構所形成的寄生雙載子電晶體(parasitic npn bipolar transistor)，於電源端接地負極性靜電放電事件發生時，被意外的觸發，而提供了另一個導通靜電放電電流的路徑。當這個寄生雙載子電晶體被意外觸發時，將會嚴重的減弱此類比輸出/輸入電路靜電放電防護能力。

二. 輸出/輸入電路靜電防護設計

針對 0.35 微米互補式金氧半製程技術，圖二是一個可適用於類比輸出/輸入電路的靜電放電防護設計架構[4]。為了減低輸入端的寄生電容，焊墊端到地端 (pad-to-VSS) 之箝制電路 (N-cell) 與焊墊端到電源端 (pad-to-VDD) 之箝制電路 (P-cell) 被設計成小尺寸的靜電放電防護元件。然而，僅數十微米的靜電放電防護元件，無法具備足夠高的靜電放電耐受度，特別是在元件操作於崩潰情況下，如地端接地正極性放電模式 (PS-mode) 與電源端接地負極性靜電放電模式 (ND-mode) 靜電放電測試[7]。因此，一個有效的電源端到地端間靜電放電箝制電路 (power-rail ESD clamp circuit)，被放置於電源端 (VDD) 與地端 (VSS) 之間，與 N-cell 及 P-cell 共同組成一個類比靜電放電防護電路。



圖二 類比輸出/輸入電路的靜電放電防護設計。此電路中包含了 P-cell，N-cell，與 power-rail 靜電放電箝制電路。

在表一與表二中，分別列示了應用於 1.8 V 與 3.3 V 之 0.18 微米金氧半類比輸出/輸入電路之靜電放電防護元件設計參數。GGNMOS 與 GDPMOS 分別被設計為焊墊端到地端與焊墊端到電源端之箝制電路 (N-cell 與 P-cell) 的靜電放電防護元件，元件尺寸為 50 微米。在 0.18 微米的製程技術中，一個單獨存在而尺寸為 50 微米的 GGNMOS 或 GDPMOS，若是操作於汲極端崩潰情況下，如 PS-mode 與 ND-mode 靜電放電測試，其所能承受的人體放電模式 (Human Body Model，簡稱 HBM) 靜電放電電壓將會低於 500 V。然而，當相同尺寸的 GGNMOS 與 GDPMOS 操作於汲極端順向二極體導通情況下，如地端接地負極性靜電放電模式 (NS-mode) 與電源端正極性靜電放電模式 (PD-mode) 靜電放電測試，卻能具備高於 6 kV 的人體放電模式靜電放電耐受度。

表一 靜電放電防護設計應用於 1.8 V 類比輸出/輸入電路。

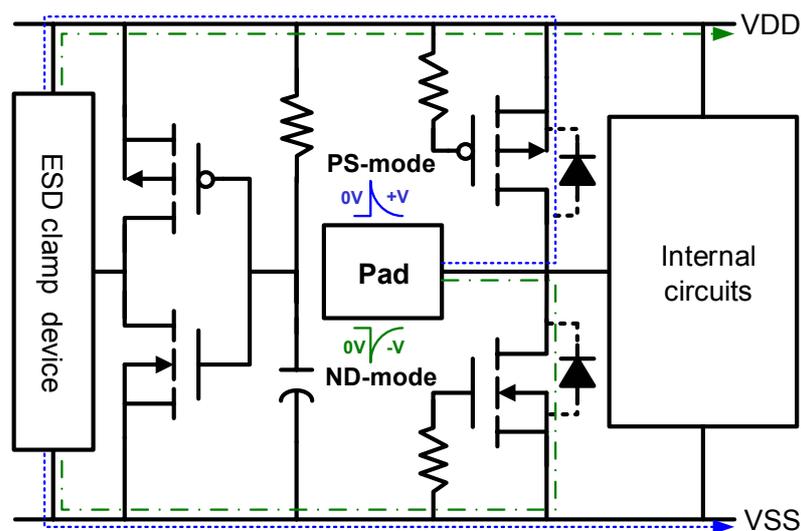
設計	N-cell & P-cell	Power-rail 靜電放電箝制元件
AIO_1	GGNMOS: W= 50 μ m GDPMOS: W= 50 μ m	Gate-driven NMOS [7] W= 290 μ m
AIO_2	GGNMOS: W= 50 μ m GDPMOS: W= 50 μ m	STFOD [8] P= 180 μ m
AIO_3	GGNMOS: W= 50 μ m GDPMOS: W= 50 μ m	STNMOS with dummy gate[9] W= 180 μ m
AIO_4	Pure N+ diode: P= 50 μ m Pure P+ diode: P= 50 μ m	STFOD [8] P= 180 μ m

表二 靜電放電防護設計應用於 3.3 V 類比輸出/輸入電路。

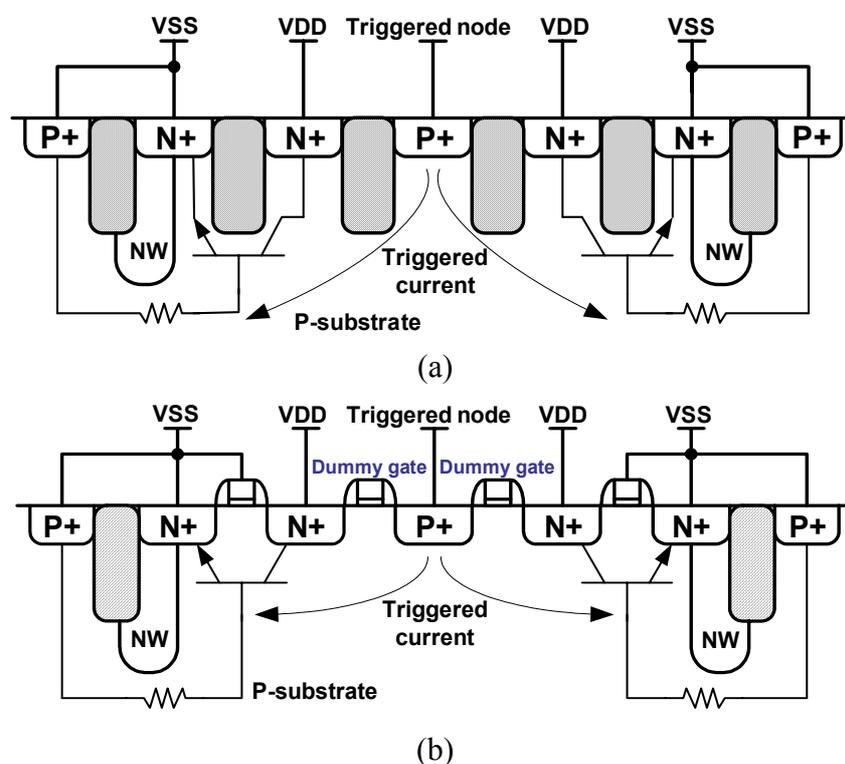
設計	N-cell & P-cell	Power-rail 靜電放電箝制元件
AIO_1	GGNMOS: W= 50 μ m GDPMOS: W= 50 μ m	Gate-driven NMOS [7] W= 290 μ m
AIO_2	GGNMOS: W= 50 μ m GDPMOS: W= 50 μ m	STFOD [8] P= 180 μ m
AIO_3	GGNMOS: W= 50 μ m GDPMOS: W= 50 μ m	STNMOS with dummy gate [9] W=180 μ m
AIO_4	Pure N+ diode: P= 50 μ m Pure P+ diode: P= 50 μ m	STFOD [8] P= 180 μ m

為了避免小尺寸的 GGNMOS 與 GDPMOS 操作於汲極端崩潰情況，有效的 power-rail 靜電放電箝制電路將被加至類比輸出/輸入電路靜電放電防護設計裡。在圖二中，power-rail 靜電放電箝制電路是由電阻電容的靜電放電偵測電路 (RC-base ESD-transient detection circuit) 與大尺寸的 power-rail 靜電放電箝制元件所構成[7]，[10]。當 PS-mode 與 ND-mode 靜電放電事件發生於焊墊端時，靜電放電偵測電路將觸發靜電放電箝制元件導通。靜電放電電流將會藉由汲極端順向二極體與已被觸發的靜電放電箝制元件導通至接地處，如圖三所示。因為 power-rail 靜電放電箝制元件是置於電源端與地端間，所以這個大尺寸的 power-rail 靜電放電箝制元件所產生的巨大寄生電容將不會影響到類比輸出/輸入電路之訊號。純二極體靜電放電防護設計也被應用於焊墊端到地端與焊墊端到電源端的靜電放電防護元件，用以與金氧半電晶體靜電放電防護設計來做比較。N 型二極體(N+ diode)是以 N+擴散區與 P 型井界面所形成的二極體，而 P 型二極體(P+ diode)則是以 P+擴散區與 N 型井界面所形成的二極體。此外，具有閘極驅動 (gate-driven) NMOS，基體觸發場氧化層元件 (substrate-triggered field oxide device，簡稱 STFOD)，與具有假閘極結構 (dummy gate) 基體觸發 NMOS

(substrate-triggered NMOS，簡稱 STNMOS)亦被用為 power-rail 靜電放電箝制元件以驗證其效能。基體觸發場氧化層元件與基體觸發 NMOS 的元件結構如圖四所示。在基體觸發 NMOS 結構中，利用假閘極結構的設計來減小觸發點(triggered node)至基體觸發 NMOS 所寄生之雙載子電晶體的基極間之距離。增大觸發電流到達寄生雙載子電晶體的基極，將能有效的提升基體觸發 NMOS 的導通效能。在本實驗中，所有的 power-rail 靜電放電箝制電路都被設計為具有相同佈局面積與相同的靜電放電偵測電路，以確實的比較出不同的 power-rail 靜電放電箝制元件所擁有之靜電放電防護能力。



圖三 於 PS-mode 與 ND-mode 靜電放電測試情況下之靜電放電電流路徑。



圖四 (a)基體觸發場氧化層元件與(b)假閘極結構基體觸發 NMOS 剖面圖。

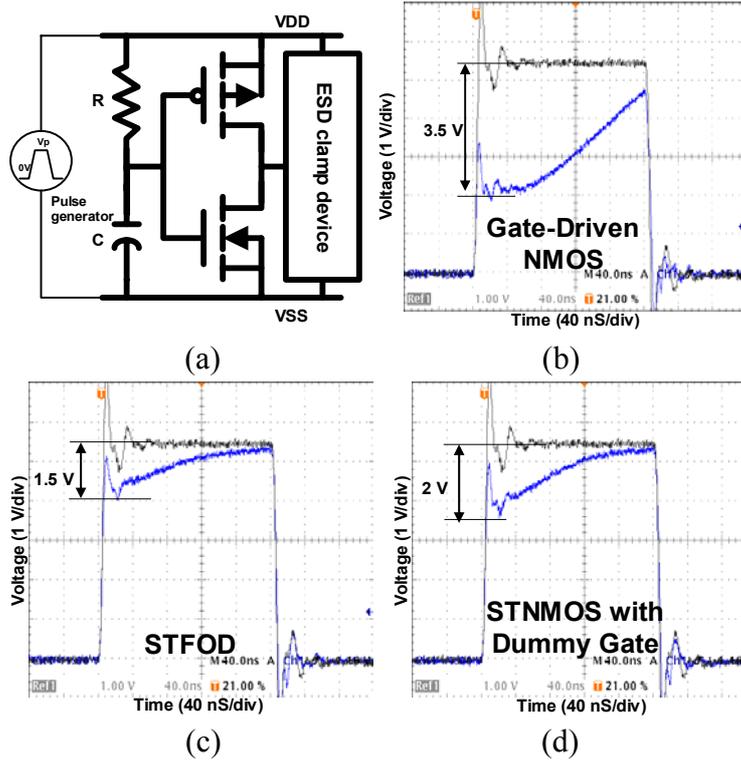
三. 效能驗證與人體放電模式靜電放電耐受度

3.1 power-rail 靜電放電箝制電路的效能驗證

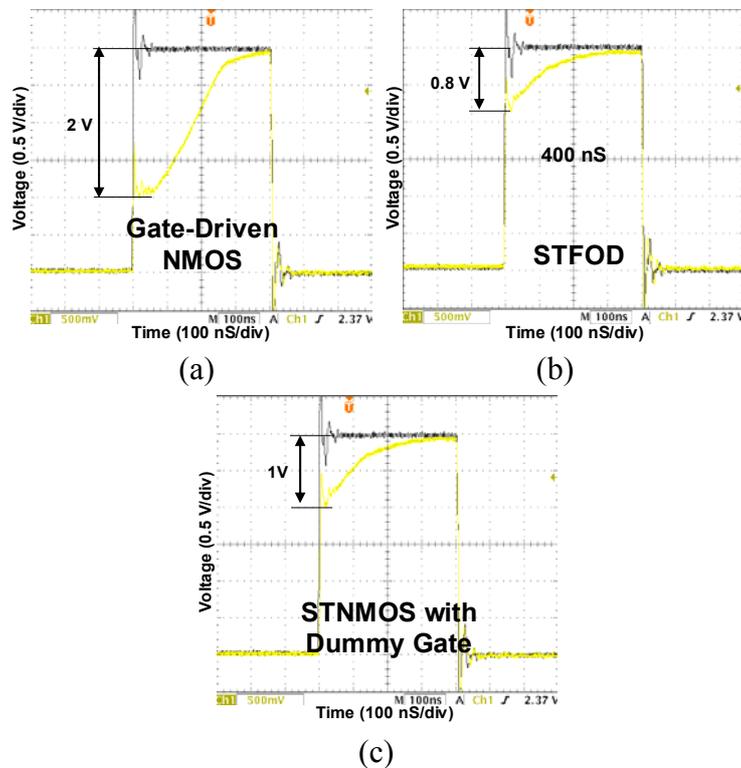
因為靜電放電脈波(ESD pulse)與正常操作電源端訊號的上升時間(rise time)有很大的差別，靜電放電脈波的上升時間屬於奈秒(nano-second)等級，而正常操作電源端訊號其上升時間一般僅是毫秒(milli-second)等級。因此，靜電放電偵測電路的電阻電容時間常數(RC-time constant)將被設計在 0.1 微秒至 1 微秒間。當靜電放電脈波發生時，靜電放電偵測電路會偵測到一個訊號而觸發 power-rail 靜電放電箝制元件，進而在電源端與地端間產生一個低阻抗路徑，以釋放靜電放電電流。然而，在正常工作下靜電放電偵測電路將不會觸發 power-rail 靜電放電箝制元件，所以電源端與地端間則是呈現一個斷路的狀態。圖五(a)所示之電路係用以驗證前述的各個 power-rail 靜電放電箝制電路的功能。利用脈波產生器(HP 8110A)產生一個上升時間為 5 奈秒的方波，用以模擬人體放電模式靜電放電脈波，應用於電源端與地端間。這個類似靜電放電的脈波將會啟動 power-rail 靜電放電箝制電路，並衰減方波波型。圖五(b)~(d)與圖六(a)~(c)是 3.3 V 與 1.8 V 各個不同的 power-rail 靜電放電箝制電路的實驗結果。依據這些結果，以閘極驅動技術的 power-rail 靜電放電箝制電路具有明顯的電壓衰減效果與一個充足的導通時間，有利於靜電放電電流的釋放。因此，在 1.8 V 與 3.3 V 類比輸出/輸入電路中閘極驅動技術比起基體觸發技術會是一個更有效且更合適的靜電放電防護設計。在圖五(c)與(d)中，基體觸發場氧化層元件與基體觸發 NMOS 的最大電壓衰減分別為 1.5 V 與 2.0 V。在基體觸發場氧化層元件與基體觸發 NMOS 中，因為寄生 npn 雙載子電晶體的基極寬度不同造成了電壓衰減量的差別。在基體觸發 NMOS 中電流增益會因為汲極與集極間距離的減少而增加。此外，假閘極結構亦會更進一步提升其電流增益量。圖六(b)與(c)中，1.8 V 的基體觸發場氧化層元件與基體觸發 NMOS 其最大電壓衰減分別是 0.8 V 與 1 V。在 PS-mode 與 ND-mode 靜電放電事件發生時，若產生於 power-rail 靜電放電箝制電路的電壓衰減越大，則在電源端與地端間之阻抗也會越低，因此將更有利於靜電放電電流的釋放，進而提升靜電放電耐受度。

3.2 人體放電模式靜電防護耐受度

表三與表四分別是 1.8 V 與 3.3 V 類比輸出/輸入電路的人體放電模式靜電放電耐受度。在所有的測試結果中，可以看出以二極體靜電放電防護設計的 AIO_4 具有較高的靜電放電耐受度。以 1.8 V 部分來看，金氧半電晶體靜電放電防護設計的 AIO_1，AIO_2，與 AIO_3 在 PS-mode 靜電放電測試，其靜電放電耐受度是遠低於以二極體靜電放電防護設計的 AIO_4。另一方面，1.8 V 的 AIO_2 與 3.3 V 的 AIO_2 and AIO_4，其 ND-mode 的靜電放電耐受度都未能達到商用規格要求的 2 kV。



圖五 3.3 V 類比輸出/輸入電路的 power-rail 靜電放電箝制電路功能驗證。(a)實驗的架設，(b)閘極驅動 NMOS，(c)基體觸發場氧化層元件，與(d)假閘極結構基體觸發 NMOS，量測的脈波波形。



圖六 1.8 V 類比輸出/輸入電路的 power-rail 靜電放電電箝制電路功能驗證。(a)閘極驅動 NMOS，(b)基體觸發場氧化層元件，與(c)假閘極結構基體觸發 NMOS，量測的脈波波形。

表三 1.8 V 類比輸出/輸入電路的人體放電模式靜電放電耐受度。

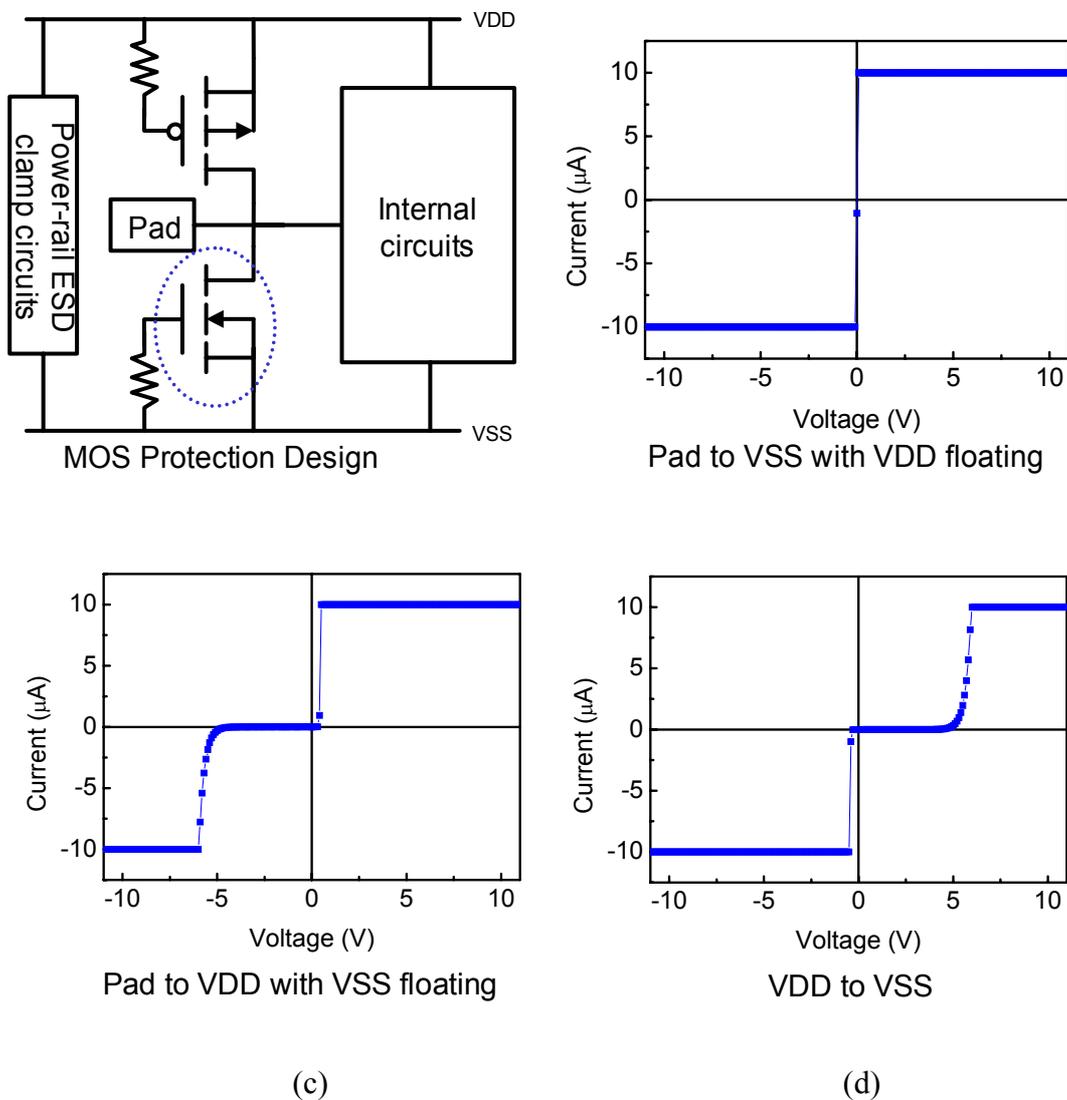
設計	PS-mode	NS-mode	PD-mode	ND-mode
AIO_1	0.5 kV	-3.5 kV	7.5 kV	-2.5 kV
AIO_2	< 0.5 kV	-3.5 kV	7.5 kV	-1.0 kV
AIO_3	0.5 kV	-3.5 kV	7.5 kV	-2.5 kV
AIO_4	3.0 kV	-5.5 kV	6.0 kV	-2.0 kV

表四 3.3 V 類比輸出/輸入電路的人體放電模式靜電放電耐受度。

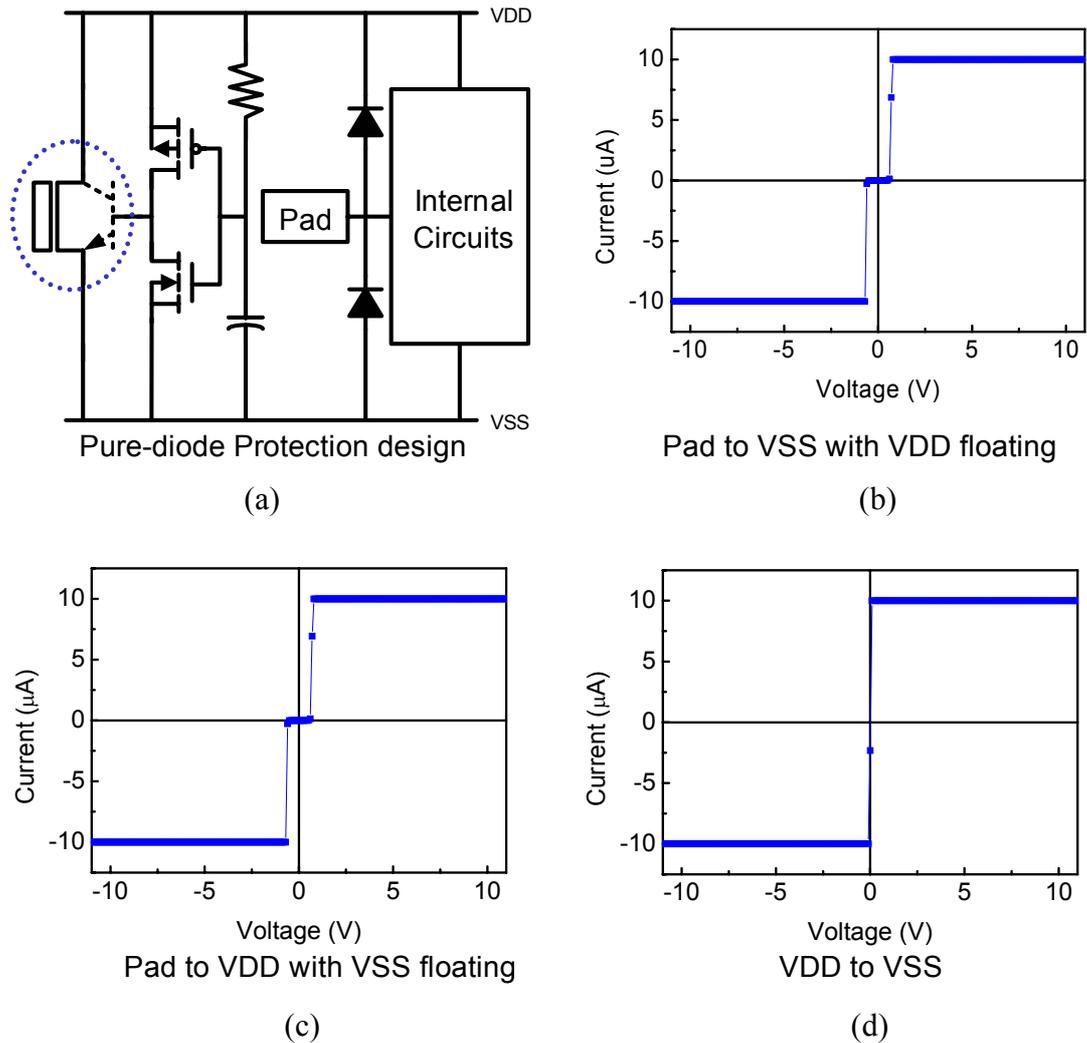
設計	PS-mode	NS-mode	PD-mode	ND-mode
AIO_1	1.5 kV	-3.5 kV	7.5 kV	-2.0 kV
AIO_2	< 0.5 kV	-3.5 kV	7.5 kV	-0.5 kV
AIO_3	1.5 kV	-3.5 kV	7.5 kV	-2.0 kV
AIO_4	2.0 kV	-5.5 kV	6.5 kV	-1.5 kV

四. 故障分析

為了確認在地端接地正極性靜電放電模式(PS-mode)靜電放電測試後，所造成的破壞發生於何元件或是接面，我們分別對各個類比輸出/輸入電路量測不同接地狀態下的 I-V 曲線，如圖七與如八中所示。在靜電放電的測試中，常以待測焊墊在測試前後所量得 I-V 曲線的變化作為判斷。最為常見的故障判定值為，以漏電為 $1\ \mu\text{A}$ 時所對應之電壓值，在靜電放電測試前後的變化量，若大於百分之三十時，則判定為故障。其中以金氧半電晶體作為靜電放電防護設計的 AIO_1, AIO_2, 與 AIO_3, 在 PS-mode 靜電放電測試後，將會因為 GGNMOS 的故障造成輸出/輸入電路焊墊端與地端間的短路。



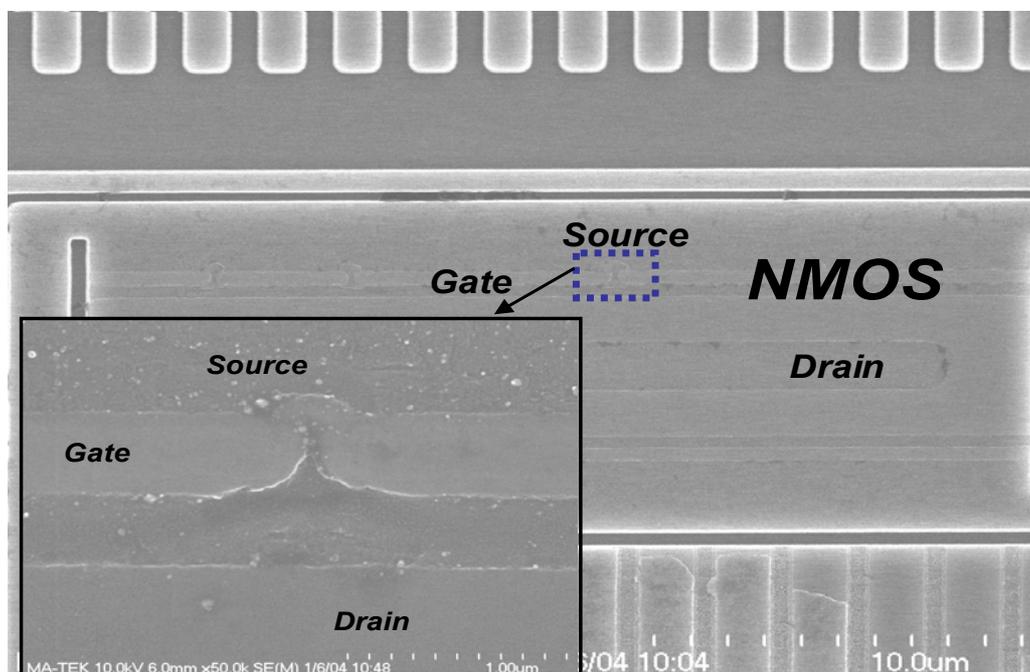
圖七 (a)在 PS-mode 靜電放電測試後，AIO_1, AIO_2 與 AIO_3 中的 GGNMOS 將會遭受破壞。(b)在地端接地而電源端浮接時，電壓-電流的特性。(c)在地端浮接而電源端接地時，電壓-電流的特性。(d)電源端對地端量測時，電壓-電流的特性。



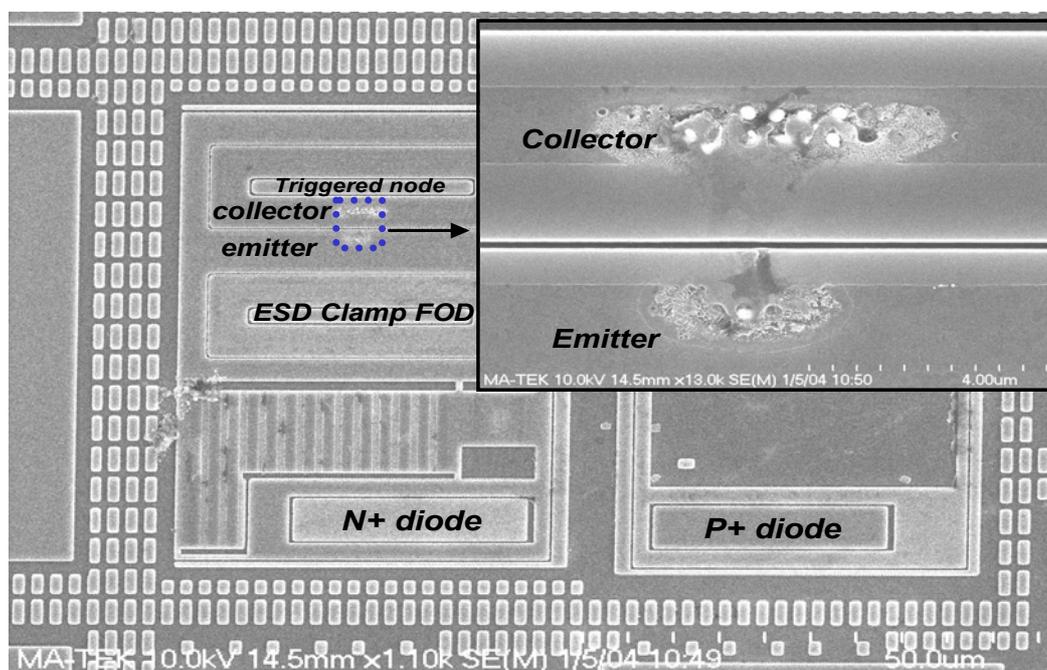
圖八 (a)在 PS-mode 靜電放電測試後，AIO_4 中的基體觸發場氧化層元件遭受破壞。(b)在地端接地而電源端浮接時，電壓-電流的特性。(c)在地端浮接而電源端接地時，電壓-電流的特性。(d) 電源端對地端量測時，電壓-電流的特性。

圖九為 AIO_1，AIO_2，與 AIO_3 在 PS-mode 靜電放電測試後，以掃描式電子顯微鏡(SEM)觀察所得的故障分析結果。由照片中可以清楚的觀察到故障點是發生於 GGNMOS 的閘極端下方。由於閘極耦合的效應造成靜電放電電流過度集中於通道的淺層表面，並且因為高熱而造成閘極的損壞。然而，以二極體作為靜電放電防護設計的 AIO_4 在 PS-mode 靜電放電測試後，其結果明顯的不同於 AIO_1，AIO_2，與 AIO_3。圖八是以二極體作為靜電放電防護設計的 AIO_4 在 PS-mode 靜電放電測試後，由於 power-rail 靜電放電箝制元件的故障，造成電源端與地端之間的短路。如圖十中，明顯可見故障點是發生在基體觸發場氧化層元件所寄生之 npn 雙載子電晶體的射極與集極間，因而造成電源端與地端間的短路。表五與表六分別是 1.8 V 與 3.3 V 的類比輸出/輸入電路經過 PS-mode 與 ND-mode 靜電放電測試後，所造成的故障點分析結果。在 ND-mode 靜電放電測試後，AIO_1，AIO_2 與 AIO_3 是由於 GDPMOS 的故障造成電源端與輸出/

輸入電路焊墊端間的短路。此外，根據前述的 power-rail 靜電放電箝制電路驗證實驗結果，由於基體觸發場氧化層元件無法有效且迅速的導通，提供一個靜電放電電流釋放路徑，使得 GDPMOS 以崩潰狀態來釋放大量的靜電放電電流，因而造成局部高熱而損毀。



圖九 SEM 照片，在 PS-mode 靜電放電測試後，AIO_1，AIO_2 與 AIO_3 的故障點是在 GGNMOS。



圖十 SEM 照片，在 PS-mode 靜電放電測試後，AIO_4 的故障點是在 power-rail 靜電放電箝制元件。

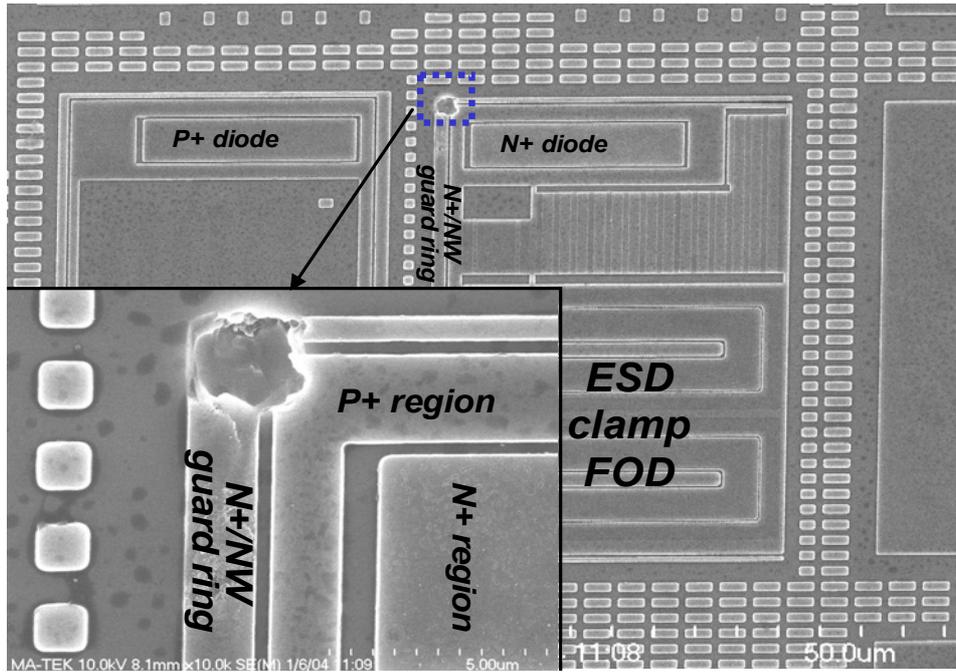
表五 在 PS-mode 靜電放電測試後，故障點造成的短路路徑。

1.8 V 設計	短路路徑	3.3 V 設計	短路路徑
AIO_1	Pad-to-VSS	AIO_1	Pad-to-VSS
AIO_2	Pad-to-VSS	AIO_2	Pad-to-VSS
AIO_3	Pad-to-VSS	AIO_3	Pad-to-VSS
AIO_4	VDD-to-VSS	AIO_4	VDD-to-VSS

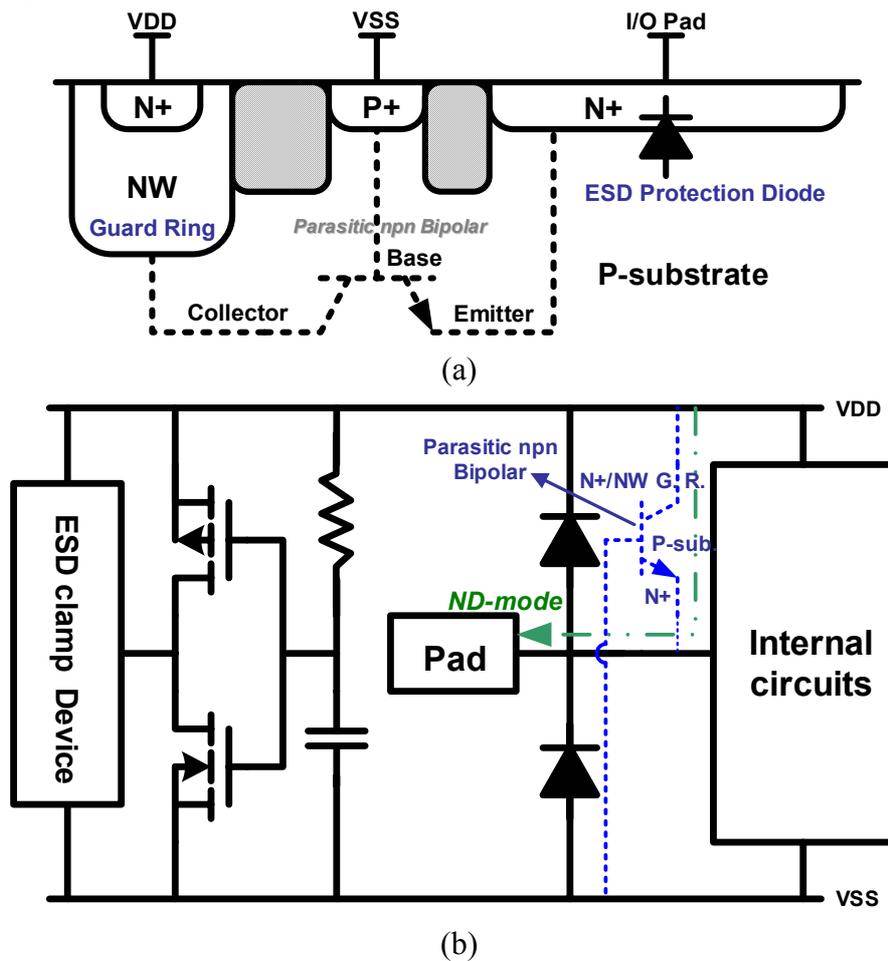
表六 在 ND-mode 靜電放電測試後，故障點造成的短路路徑。

1.8 V 設計	短路路徑	3.3 V 設計	短路路徑
AIO_1	Pad-to-VDD	AIO_1	Pad-to-VDD
AIO_2	Pad-to-VDD	AIO_2	Pad-to-VDD
AIO_3	Pad-to-VDD	AIO_3	Pad-to-VDD
AIO_4	VDD-to-VSS	AIO_4	VDD-to-VSS

以二極體靜電放電防護設計的 AIO_4 在 ND-mode 靜電放電測試後，產生了一個令人意外的破壞機制。在圖十一中，故障點是位於 N 型二極體與 N+/N 型井防護圈之間。其中，N 型二極體是靜電放電防護元件的 N-cell，由 N+擴散區與 P 型井所構成。一般而言，輸出/輸入電路的靜電放電保護電路，會被要求具有一定的電性門鎖(latchup)耐受度，因為在電性門鎖測試中，這些在 IC 最外部的靜電放電保護元件可能成為一個注入源，觸發鄰近寄生矽控整流器(Silicon Controlled Rectifier，簡稱 SCR)導通，造成電性門鎖破壞。為了防止電性門鎖，將會在靜電放電防護元件的外部以防護圈結構圍繞。並且，這些防護圈結構通常都會與電源端或是地端具有相同的電位。然而，這些外圍的防護圈結構，可能與靜電放電防護元件產生交互作用，導致靜電放電耐受度的下降。根據圖十二 SEM 照片中故障點的位置，故障機制是由於 N 型二極體靜電放電防護元件與 N+/N 型井防護圈交互作用。由於 N 型二極體結構與 N+/N 型井防護圈形成一個寄生了 npn 雙載子電晶體，在 ND-mode 靜電放電測試時，這個寄生的電晶體會被觸發而於電源端與焊墊端間產生一導通路徑。如圖十二(a)與(b)所示，這個寄生的雙載子電晶體將提供一個靜電放電電流的釋放路徑，使得靜電放電電流不會流經所預期的順向二極體與 power-rail 靜電放電箝制元件，造成電流集中於防護圈角落處而損毀。此外，這個寄生電晶體的電流增益與雪崩崩潰因子(avalanche multiplication factor)，都是決定這個寄生電晶體是否會被觸發的重要參數[11]。因此，為防範這個故障機制的發生，需要進一步增加 N 型二極體靜電放電防護元件與 N+/N 型井防護圈間之距離。



圖十一 SEM 照片，在 ND-mode 靜電放電測試後，AIO_4 的故障點是在 N+/N 型井防護圈的角落。



圖十二 (a) N 型二極體與 N+/N 型井防護圈形成寄生 npn 雙載子電晶體。(b)大部分的靜電放電電流將流經這個寄生的 npn 雙載子電晶體。

五. 結論

針對 0.18 微米 1.8 V 與 3.3 V 互補式金氧半類比輸出/輸入電路靜電防護設計，我們已經提出了數種不同的防護架構，試圖去找到一個最佳化的結構。在深次微米製程中，由於低的崩潰電壓與閘極耦合效應，GGNMOS 與 GDPMOS 並不適合作為靜電放電防護元件。而以二極體作為輸出/輸入端到電源端或是地端的靜電放電防護元件，將會是一個較為理想的設計方式。此外，由於 N+/N 型井防護圈與 N 型二極體靜電放電防護元件間的交互作用，ND-mode 靜電放電耐受度將會嚴重的降低。因此，N 型二極體靜電放電防護元件與 N+/N 型井防護圈在電路佈局上將需要一個較大的間距，以防止這個故障機制的發生。

參考文獻

- [1] S. Voldman, "The state of the art of electrostatic discharge protection: physics, technology, circuits, design, simulation, and scaling," *IEEE J. of Solid-State Circuits*, vol. 34, no. 9, pp. 1272-1282, 1999.
- [2] C. Duvvury and A. Amerasekera, "ESD: a pervasive reliability concern for IC technologies," *Proc. IEEE*, vol. 81, pp. 690-702, 1993.
- [3] A. Amerasekera and C. Duvvury, "The impact of technology scaling on ESD robustness and protection circuit design," in *Proc. of EOS/ESD Symp.*, 1994, pp. 237-245.
- [4] M.-D. Ker, T.-Y. Chen, C.-Y. Wu, and H.-H. Chang, "ESD protection design on analog pin with very low input capacitance for high-frequency or current-mode applications," *IEEE J. of Solid-State Circuits*, vol. 35, no. 8, pp. 1194-1199, 2000.
- [5] R. N. Rountree, "ESD protection for submicron CMOS circuits: issues and solutions," in *IEDM Tech. Dig.*, 1988, pp. 580-583.
- [6] S. Daniel and G. Krieger, "Process and design optimization for advanced CMOS I/O ESD protection devices," in *Proc. of EOS/ESD Symp.*, 1990, pp. 206-213.
- [7] M.-D. Ker, "Whole-chip ESD protection design with efficient VDD-to-VSS ESD clamp circuit for submicron CMOS VLSI," *IEEE Trans. Electron Devices*, vol. 46, pp. 173-183, Jan. 1999.
- [8] M.-D. Ker, "Area-efficient VDD-to-VSS ESD protection circuit," US patent #5,744,842, Apr. 1998.
- [9] M.-D. Ker, C.-H. Chuang, and H.-C. Jiang, "ESD protection circuit sustaining high ESD stress," US patent #6,690,067, Feb. 2004.
- [10] R. Merrill and E. Issaq, "ESD design methodology," in *Proc. of EOS/ESD Symp.*, 1993, pp. 233-237.
- [11] D. Tremouilles, G. Bertrand, M. Bafleur, F. Beaudoin, P. Prerdu, N. Guitard, and L. Lescouzeres, "TCAD and SPICE modeling help solve ESD protection issues in analog CMOS technology," *Microelectronics Reliability*, vol. 43, pp. 71-79, 2003.