

搭載低電容 ESD 防護元件於射頻低雜訊放大器之新式匹配設計

- (1) 工業技術研究院 系統晶片科技中心 產品靜電防護技術部
- (2) 交通大學 電子工程研究所

黃柏獅⁽¹⁾ 徐育達⁽¹⁾ 柯明道⁽²⁾

2005-12-06

目錄

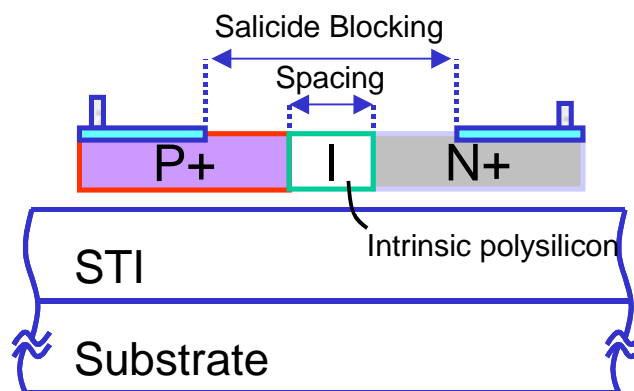
- 一. 前言
- 二. 常見搭載 ESD 防護元件的匹配技術
- 三. 新式匹配技術與多晶矽二極體防護元件之搭配
- 四. 於 2.4-GHz LNA 之應用實現
- 五. 測試結果
- 六. 總結

一. 前言

近年來射頻積體電路(RF IC)於無線通訊領域迅速發展。如同其他 IC 產品化時須考量靜電放電(Electrostatic Discharge, ESD)防護以確保良率及可靠度，RF IC 亦面臨相同課題。低雜訊放大器(Low-Noise Amplifier, LNA)為 RF IC 的前級電路，通常 ESD 防護電路搭載於此。加入 ESD 防護電路難免有寄生效應，其中以寄生電容最具影響力，往往容易造成 LNA 效能嚴重衰減。為解決此問題，關於 LNA 搭載 ESD 防護電路的共存設計已有多方研究出現。如低電容防護元件搭配電源箝制電路，已成功驗證為一有效的解決方案 [1]。隨著 LNA 操作頻率提昇，ESD 防護電路寄生電容則有更加降低的需求。由於 ESD 防護電路是加在輸入訊號路徑上，輸入阻抗匹配便成為第一道挑戰。

開發低寄生電容元件無疑是最直接的方法，卻並非容易且有其極限。若能搭配共存設計電路技術，將比單靠開發低電容元件還容易做到較輕微效能衰減的結果。眾多 LNA 架構中，Inductive-degeneration 為目前受到廣泛使用的設計[2]，許多 ESD 防護電路亦根據此架構開發。電容補償與電感諧振，為一般常見用來克服 ESD 防護元件影響匹配的電路技術 [3], [4]。配合此共存設計方式，能幫助 LNA 在表現出良好阻抗匹配的同時，亦有足夠的 ESD 耐受能力。然而以電容補償與電感諧振方式做設計，勢必增加額外電容或電感元件來實現，因此難免增加匹配網路的複雜度及額外寄生效能考量。

本文中，提出一新式共存匹配技術，並搭配多晶矽二極體為 ESD 防護電路元件。多晶矽二極體為一低電容元件，所具有的高頻特性使其適用於射頻電路中 [5]。圖一所示為其剖面結構，該元件的直流特性，可依不同電路需求改變，且僅需在佈局時改變圖中 Spacing 值即可達成，毋須做製程參數改變。當有二極體串聯需求時，多晶矽二極體較傳統二極體容易佈局，且不會因串聯結構而增加漏電。本研究中，利用 0.25 微米 CMOS 製程，以新式共存匹配方式實現一搭載 ESD 防護電路的 LNA。根據量測結果顯示，該 LNA 除了表現出良好的匹配特性，增益(Gain)及雜訊指數(Noise Figure)僅分別下降 1 dB 及上昇 0.3 dB。

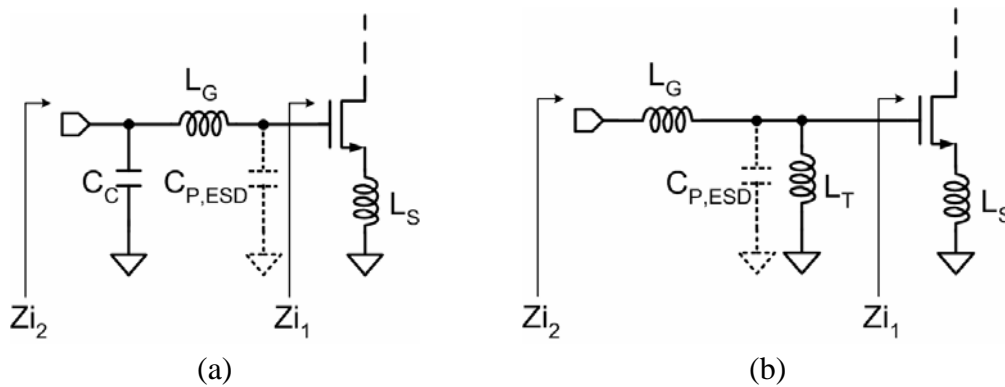


圖一 多晶矽二極體結構

二. 常見搭載 ESD 防護元件的匹配技術

圖二所示的LNA輸入級，為一般常見用於克服ESD防護元件造成寄生電容的方法。圖二(a)的電容補償技術中，與純LNA匹配方式相同地先將 Z_{i1} 實部設計在50 歐姆。而來自ESD防護元件的寄生電容 $C_{P,ESD}$ 將使實部偏離至大於50 歐姆，在電感 L_G 將阻抗虛部拉至適當值後，最後以一補償電容 C_C 便可將輸入阻抗朝50 歐姆修正。

另一種匹配技術為電感諧振，如圖二(b)所示，相同的是也先將 Z_{i1} 實部設計於50 歐姆。接著所採用晶片中的螺旋電感，可有兩項功能，一方面可幫助疏導ESD電流，另一方面以諧振效果減少寄生電容效應，使得再以電感 L_G 便可將輸入阻抗朝50 歐姆設計。



圖二 用於搭載 ESD 防護電路 LNA 之(a)電容補償與(b)電感諧振匹配技術

三. 新式匹配技術與多晶矽二極體防護元件之搭配

圖三所示為搭載多晶矽二極體之LNA輸入級，由公式推導可得知 Z_{i1} 的實部約可表示為

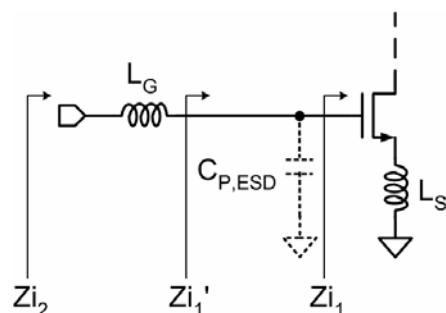
$$\text{Re}\{Z_{i1}\} = \frac{g_m \cdot L_S}{C_{gs}}$$

其中 g_m 與 C_{gs} 為轉導(transconductance)及電晶體閘極至源極間的寄生電容。與一般設計方式不同的是，此處不將 Z_{i1} 實部設計成50 歐姆，而是將包含多晶矽二極體寄生電容 C_C 的阻抗 Z_{i1}' 實部設計成50 歐姆。根據如下所示的 Z_{i1}' 公式，估計 Z_{i1} 實部設計值須大於50 歐姆。

$$\text{Re}\{Z_{i1}'\} = \frac{\left[\left(\frac{g_m \cdot L_S}{C_{gs}} \right)^2 + \left(\omega \cdot L_S - \frac{1}{\omega \cdot C_{gs}} \right)^2 \right] \cdot \left(\frac{g_m \cdot L_S}{C_{gs}} \right)}{\left(\frac{g_m \cdot L_S}{C_{gs}} \right)^2 + \left\{ \omega \cdot L_S - \frac{1}{\omega \cdot C_{gs}} - \left[\left(\frac{g_m \cdot L_S}{C_{gs}} \right)^2 + \left(\omega \cdot L_S - \frac{1}{\omega \cdot C_{gs}} \right)^2 \right] \cdot C_{P,ESD} \right\}^2}$$

採用此技術實現匹配設計時，對 $C_{P,ESD}$ 估計須有一定的精準度，因 $C_{P,ESD}$ 為一

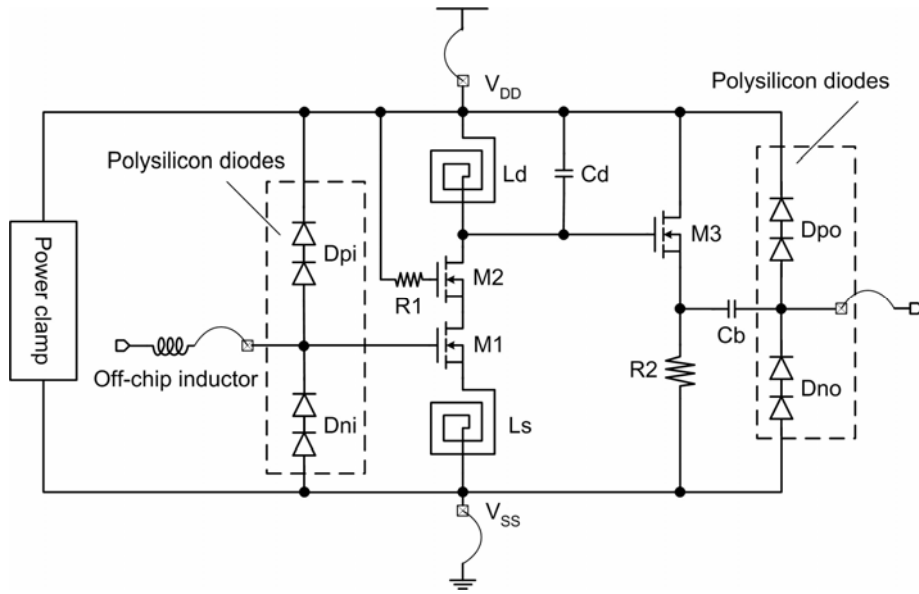
影響 Z_{i1}' 值的變數。多晶矽二極體所造成的寄生電容，已被估計在內。與一般匹配技術相較，新式方法是將ESD元件的寄生電容視為匹配網路中勢必存在的一部分，進而完成整體設計，而並非如前述兩種常見方式，以額外被動元件修正受ESD元件寄生電容影響後的匹配狀態。因此新式匹配技術可在不將電路複雜化的情形下，完成存在ESD防護元件的阻抗匹配設計。



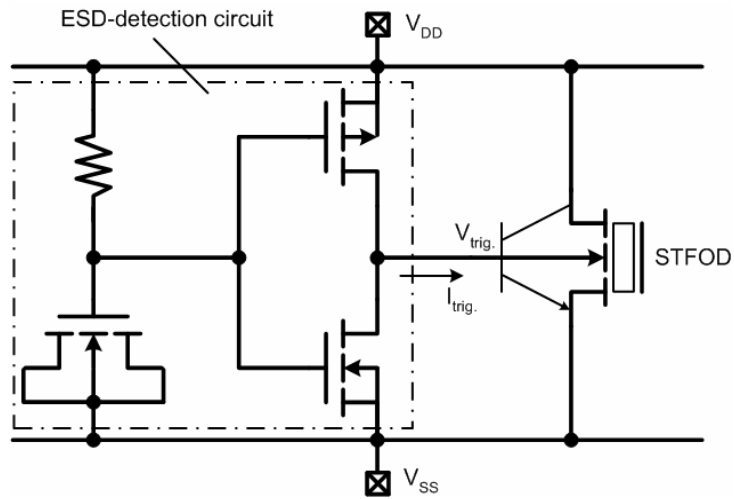
圖三 新式匹配技術搭配多晶矽二極體之等效電路

四. 於 2.4-GHz LNA 之設計實現

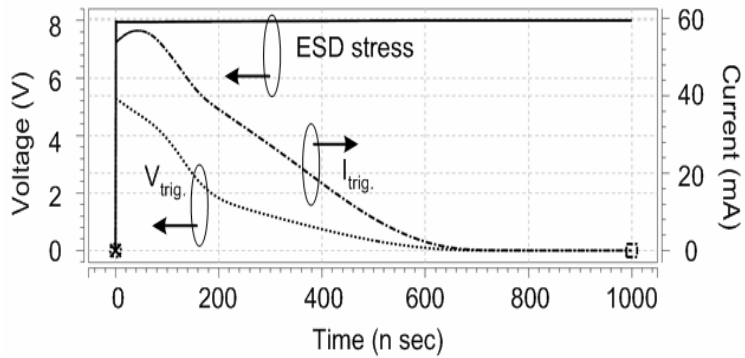
本節將敘述以 0.25 微米製程實現搭載 ESD 防護電路之 2.4-GHz LNA，圖四所示為其電路圖。電路中用作防護元件的多晶矽二極體為二級串聯結構，寬度及 Spacing 分別為 200 微米及 0.4 微米。電晶體 M1 尺寸是以雜訊最佳化目的而決定，此部分主導整個 LNA 所能達到的最佳雜訊表現 [2]。疊接(cascode)的電晶體 M2 用來強化輸入與輸出端的隔離度，並減輕 Miller Effect 的影響。整個輸入級由 M1、螺旋電感 L_s 、Off-chip inductor、 D_{pi} 及 D_{ni} 所組成。M1 轉導及 L_d 、 C_d 諧振所產生的阻抗，為產生增益的來源。為量測而設計的輸出緩衝級則由 M3、 R_2 、 C_b 、 D_{pi} 與 D_{po} 構成。ESD 防護電路中，除了以多晶矽二極體為輸入/輸出箝制(I/O Clamp)，亦運用一電源箝制電路以在電源對地間提供有效的 ESD 導通路徑。如圖五所示，該箝制電路由 ESD-detection circuit 與 Substrate-triggering field oxide device (STFOD)所組成 [6]。一組設計精良的電源箝制電路，當承受 ESD 衝擊瞬間，能迅速在 IC 內部電路遭損傷前啟動。由圖六的模擬顯示，ESD-detection circuit 能在極短時間內對送出啟動 STFOD 的觸發訊號，使 STFOD 疏導 ESD 電流。



圖四 搭載 ESD 防護電路之 2.4-GHz LNA 電路



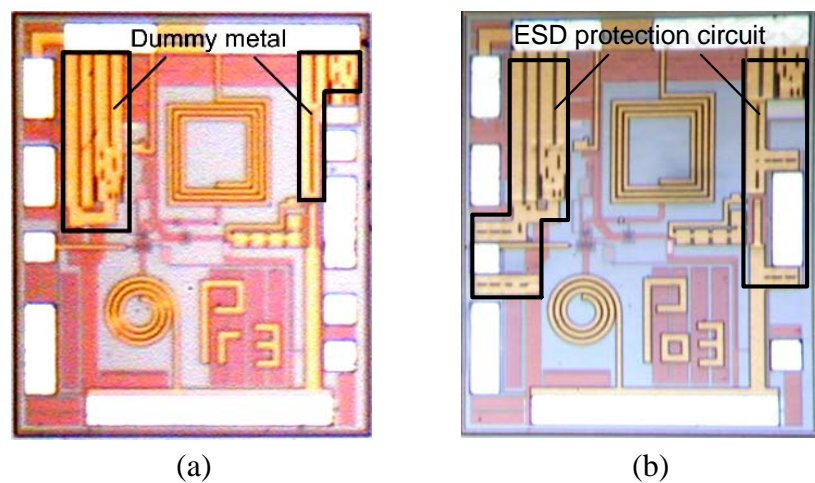
圖五 電源對地之 ESD 箝制電路



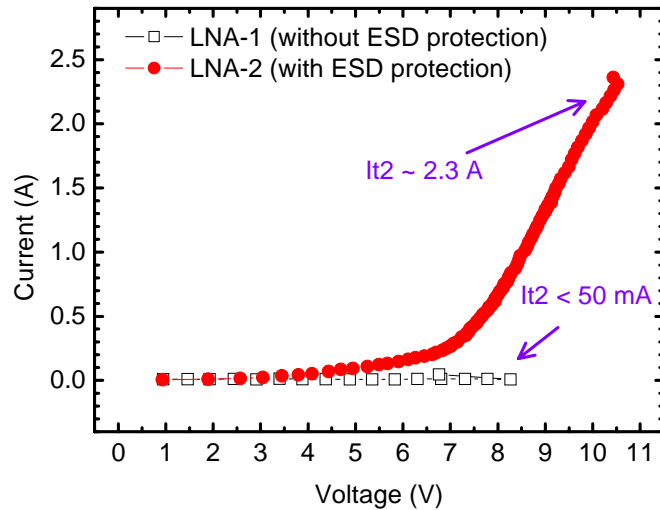
圖六 電源箝制電路之啟動模擬

五. 測試結果

測試過程中，比較了兩組LNA以作參考對照，分別為不搭載(LNA-1)及搭載(LNA-2)ESD防護電路的晶片。以 0.25 微米標準CMOS製程實現的LNA-1 及 LNA-2，內部集成電路相同，差別僅於有無搭載ESD防護電路。所示為二組測試晶片的顯微鏡拍照圖。根據直流特性量測，由多晶矽二極體組成的輸入輸出箝制部分，於 1 V順向偏壓時導通(Cut in)，4 V逆向偏壓時崩潰(Breakdown)。根據該量測出的導通特性，可知當LNA於正常運作時，多晶矽二極體不會被射頻訊號誤觸發導通。於ESD測試中，二種晶片分別以傳輸線脈衝(Transmission Line Pulse, TLP)與標準ESD測試機台驗證，該測試機台能提供人體放電模式(Human Body Model, HBM) [7]及機器放電模式(Machine Model, MM) [8]的測試。當中完成 Positive-to- V_{SS} (PS-mode)、Positive-to- V_{DD} (PD-mode)、Negative-to- V_{SS} (NS-mode) 與 Negative-to- V_{DD} (ND-mode)的輸入輸出接腳組合，及電源對地間ESD測試。根據圖八所示以TLP量測所得的I-V特性可知，搭載ESD防護電路的LNA-2 最高可承受ESD電流(I_{t2})超過 2 A。表一與表二分別為HBM及MM的ESD耐受度測試結果，其中LNA-2 可承受 4.5-kV HBM與 200-V MM的ESD衝擊，通過商規IC的耐受度標準 [7],[8]。



圖七 (a)不含 ESD 防護電路的 LNA-1 與(b)搭載 ESD 防護電路的 LNA-2



圖八 以 TLP 量測 LNA-1 與 LNA-2 之 I-V 特性

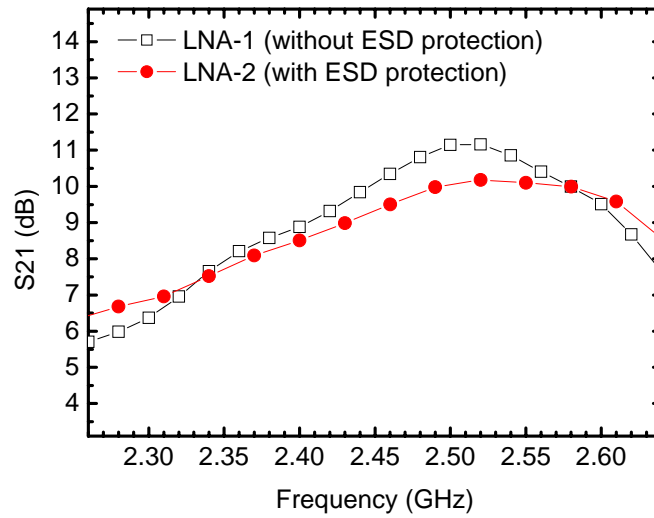
表一 LNA-1 與 LNA-2 的 HBM ESD 耐受度

| | PS | PD | NS | ND | $V_{DD-to-V_{SS}(+)}$ | $V_{DD-to-V_{SS}(-)}$ |
|-------|--------|---------|--------|--------|-----------------------|-----------------------|
| LNA-1 | | < 100 V | | | 1.2 kV | 2.0 kV |
| LNA-2 | 4.5 kV | 4.5 kV | 4.7 kV | 4.7 kV | > 8.0 kV | |

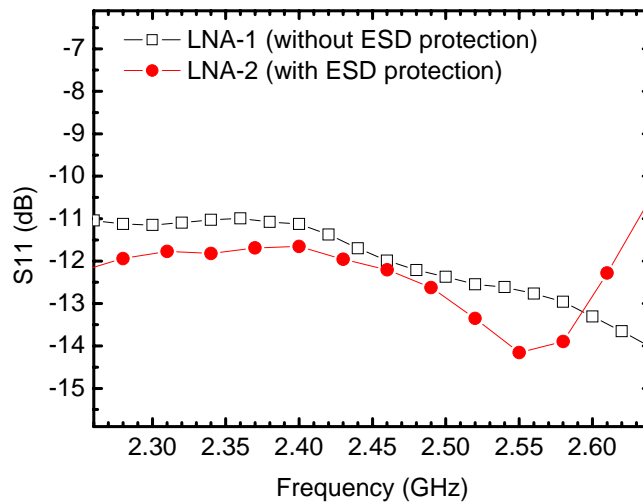
表二 LNA-1 與 LNA-2 的 MM ESD 耐受度

| | PS | PD | NS | ND | $V_{DD-to-V_{SS}(+)}$ | $V_{DD-to-V_{SS}(-)}$ |
|-------|-------|--------|-------|-------|-----------------------|-----------------------|
| LNA-1 | | < 50 V | | | 100 V | 150 V |
| LNA-2 | 200 V | 200 V | 200 V | 250 V | 400 V | 550 V |

關於功能運作部分，兩測試晶片皆操作在 2.5 V 電壓下，消耗直流功率為 17.5 mW。如圖九所示，LNA-1 與 LNA-2 分別表現出 11 dB 與 10 dB 最大增益值，S21 表 RF 訊號功率增益。另外 S11 可用來評估輸入阻抗匹配優劣，於大部 RF 應用中，操作頻帶內低於 -10 dB 的 S11 已屬優良的阻抗匹配。圖十比較量測到 LNA-1 與 LNA-2 的 S11 曲線，二者皆有 -11 dB 以下的表現。而雜訊表現部分，搭載 ESD 防護電路的 LNA-2 的雜訊指數僅比 LNA-1 高出 0.3 dB，可知位於訊號路徑上的多晶矽二極體並非高雜訊來源。



圖九 LNA-1 與 LNA-2 的增益比較



圖十 LNA-1 與 LNA-2 的輸入阻抗匹配比較

六. 總結

本研究中，將新式匹配技術搭配多晶矽二極體為 ESD 防護元件，成功驗證於 2.4-GHz LNA 中。測試結果顯示，ESD 防護電路於僅對 RF 效能造成輕微影響的情形下，可提供足夠的 ESD 承受能力。當未來無線通訊應用如 UWB 及 WiMAX 朝更高操作頻率實現時，新式匹配技術搭配多晶矽二極體的設計，可藉其良好高頻特性表現及提供優異的 ESD 耐受度，而顯現出其應用潛力。

參考文獻

- [1] M.-D. Ker, W.-Y. Lo, C.-M. Lee, C.-P. Chen, and H.-S. Kao, "ESD protection design for 900-MHz RF receiver with 8-kV HBM ESD robustness," in *Proc. of IEEE RFIC Symposium*, 2002, pp. 427-430.
- [2] D. K. Shaeffer and T. H. Lee, *The design and implementation of low-power CMOS radio receivers*, Boston, Kluwer, 1999.
- [3] V. Chandrasekhar, C. M. Hung, Y. C. Ho, and K. Mayaram, "A packaged 2.4-GHz LNA in 0.15 μ m CMOS process with 2kV HBM ESD protection," in *Proc. of ESSCIRC*, 2002, pp. 347-350.
- [4] P. Leroux and M. Steyaert, "A 5 GHz CMOS low-noise amplifier with inductive ESD protection exceeding 3 kV HBM," in *Proc. of ESSCIRC*, 2004, pp. 295-298.
- [5] C.-Y. Chang and M.-D. Ker "On-chip ESD protection design for GHz RF integrated circuits by using polysilicon diodes in sub-quarter-micron CMOS process," in *Proc. of International Symposium on VLSI Technology, Systems, and Applications*, 2001, pp. 240-243.
- [6] M.-D. Ker, "Area-efficient VDD-to-VSS ESD clamp circuit by using substrate-triggering field-oxide device (STFOD) for whole-chip ESD protection," in *Proc. of International Symposium on VLSI Technology, Systems, and Applications*, 1997, pp. 69-73.
- [7] *Electrostatic discharge (ESD) sensitivity testing — human body model (HBM)*, International Standard, JEDEC EIA/JESD22-A114-B, 2000.
- [8] *Electrostatic discharge (ESD) sensitivity testing — machine model (MM)*, International Standard, JEDEC EIA/JESD22-A115-A, 1997.