

系統層級靜電放電測試所引發之暫態觸發門鎖效應

Transient-Induced Latchup Under System-Level ESD Test

柯明道、許勝福

交通大學 電子研究所 奈米電子與晶片系統實驗室

摘要

由系統層級靜電放電(System-Level Electrostatic Discharge)測試所引發的暫態觸發門鎖效應(Transient-Induced Latchup, TLU)，其物理形成機制可利用元件模擬(Device Simulation)方法並配合實際晶片測量結果來清楚地解釋與驗證。其中，一種電壓振幅隨時間遞減的欠阻尼(Underdamped)弦式電壓被證明是在系統層級靜電放電測試下造成 TLU 的雜訊觸發電壓來源。在此觸發電壓下，在互補式金氧半導體(Complementary Metal-Oxide-Semiconductor, CMOS)積體電路(Integrated Circuits, IC)中，由少數載子(Minority Carrier)回流所造成的“掃回”(Sweep-Back)電流已被證實為造成 TLU 的主要原因。此外，掃回電流和欠阻尼弦式觸發電壓的關係也將被定性(Qualitative)地分析。最後，TLU 的元件模擬結果將藉由 0.25 微米互補式金氧半導體製程所製造出的實驗測試晶片來加以驗證。

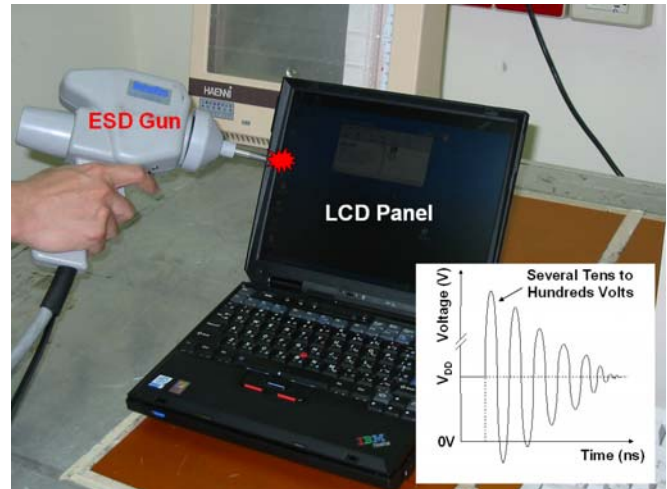
一、前言

在互補式金氧半導體積體電路產品中，暫態觸發門鎖效應(Transient-Induced Latchup, TLU)正逐漸受到重視[1]-[5]。此外，有關如何評估積體電路產品對 TLU 耐受能力(Immunity)的相關測試規範已於西元 2004 年已由美國靜電放電協會(Electrostatic Discharge Association, USA)所制定出來[6]。TLU 的形成原因如下。第一，由於日益複雜的積體電路功能，如混合式信號(Mix-Signal)

電路、多重電源供應系統(Multiple Power Supplies)、射頻(Radio Frequency, RF)電路、系統單晶片(System on Chip)等等。由於積體電路元件所處的環境會受到來自元件內部或外部的雜訊干擾，因此這些雜訊會隨機地出現在積體電路產品的電源、接地、輸入/輸出腳位(Pin)上，使積體電路產品較以往更容易受到 TLU 的威脅。第二，由於系統層級靜電放電測試規範[7]之嚴格要求，越來越多的積體電路產品勢必對因系統層級靜電放電測試所引發之 TLU 更為敏感。第三，隨著半導

體元件尺寸的微縮，使得寄生在互補式金氧半導體積體電路中的矽控整流器(Silicon Controlled Rectifier, SCR)對門鎖效應耐受能力越來越差。然而，即使當積體電路產品的額定操作電壓隨著元件微縮準則(Scaling Rule)而持續降低，但是門鎖效應的發生仍然無法避免，這是因為造成門鎖效應的觸發電流(Triggering Current)並未同時隨著元件微縮準則而明顯增加[8]。

在系統層級靜電放電測試下，一個擁有積體電路的電子設備在接觸放電(Contact-Discharge)及空氣放電(Air-Discharge)測試模式中如欲達到“等級四”的標準需求，則此待測設備(Equipment Under Test, EUT)必須通過高達 $\pm 8\text{kV}$ (接觸放電模式)及 $\pm 15\text{kV}$ (空氣放電模式)的靜電放電等級(ESD Level)需求[7]。系統層級靜電放電測試之目的是為了評估電子儀器設備(產品)在正常工作情形下對靜電放電雜訊的耐受能力。在此測試進行時，待測設備中的積體電路會遭受到由外部耦合(Coupling)至待測設備內部的靜電放電能量所干擾，進而引發 TLU。圖一表示出一台筆記型電腦於系統層級靜電放電測試下的接觸放電測試示意圖。由靜電放電槍(ESD Gun)所產生的電磁波干擾(Electromagnetic Interference)會耦合至液晶顯示器(Liquid Crystal Display, LCD)面板的驅動積體電路(Driver IC)內。此種由靜電放電產生的暫態觸發電壓不但非常巨大(數十至數百伏特的電壓振幅)、快速(數十奈秒的振盪週期)，而且會隨機地出現在積體電路的電源、接地、輸入/輸出腳位上，進而觸發 TLU。在系統層級靜電放電測試下，此種由靜電放電所產生的暫態觸發電壓會發生在待測設備內部中的任何積體電路上。例如，圖一中的插圖顯示出在系統層級靜電放電測試下，在待測設備內的積體電路產品電源腳位上所量測觀察到的雜訊電壓波形[9]-[11]。一旦此高電壓振幅的暫態電壓耦合至互補式金氧半導體積體電路的電源線(Power Line)



圖一 筆記型電腦於系統層級靜電放電測試(IEC 61000-4-2)下的接觸放電測試示意圖[7]。插圖表示出於系統層級靜電放電測試下，待測設備內的積體電路產品，其電源腳位上所量測觀察到的雜訊電壓波形[9]-[11]。

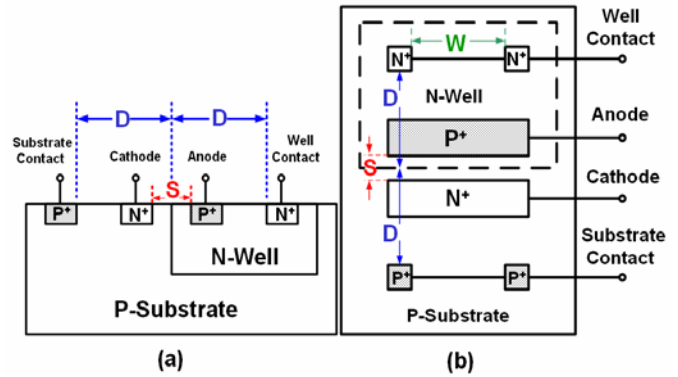
上，則 TLU 便有可能被引發，造成電子設備不正常工作，甚至損毀。

為了能清楚了解由系統層級靜電放電測試所造成 TLU 之形成機制，首先必須了解引發 TLU 的雜訊觸發源究竟為何。目前為止，數種不同形式的雜訊觸發源已被證實可引發 TLU[12]-[14]。第一種雜訊觸發源是考慮當系統電源開啟(Power On)瞬間時，積體電路的電源供應電壓由 0V 快速增加至額定操作電壓(Normal Operating Voltage)時的暫態電壓變化 [12]。當電源供應電壓的上升時間(Rise Time)非常短時，此暫態電壓變化所造成的位移電流(Displacement Current)便可藉由流經寄生於互補式金氧半導體積體電路中的井區(Well)或基底(Substrate)電阻來引發門鎖效應。然而，此情況只反映出在系統電源啟動瞬間所造成的 TLU，而無法反映出大多數在積體電路正常工作情形下所引發的 TLU。第二種雜訊觸發源是利用擁有正(負)電壓振幅的單一電壓脈衝(Voltage Pulse)施加於 P(N)型金氧半場效電晶體的汲極(Drain)端[13]。此單一脈衝電壓是考慮互補式金氧半導體積體電路中的邏輯閘(Logic Gate)，其輸出

端 (Output Node) 上出現之暫態過高電壓 (Overshooting) 雜訊或暫態過低電壓 (Undershooting) 雜訊，以模擬邏輯閘在正常工作情形下之動態切換 (Dynamically Switching) 操作模式。因此，寄生於互補式金氧半導體積體電路中的 PNP 或 NPN 型雙極性電晶體 (Bipolar Transistor, BJT)，其遭受此脈衝電壓所產生之順偏射極 (Emitter)/ 基極 (Base) 接面電流便會觸發 TLU。然而，在系統層級靜電放電測試下，TLU 可靠度問題在積體電路產品操作於正常偏壓下卻是仍然存在的。而第三種雜訊觸發源是利用一個施加於互補式金氧半導體積體電路電源端上的單一正向電流脈衝 [14]，然而此種電流脈衝不能反映出在系統層級靜電放電測試下所觀察量測到的雜訊觸發源。有鑑於此，在本篇論文中，一種在系統層級靜電放電測試下所實際觀測到的 TLU 雜訊觸發源—欠阻尼弦式電壓，被應用在實驗量測及半導體元件模擬 [15] 中，以了解 TLU 的形成機制。最後，TLU 的元件模擬結果將藉由 0.25 微米互補式金氧半導體製程所製造出的實驗測試晶片來加以驗證。

二、測試結構

在 TLU 實驗中採用矽控整流器為測試結構。因為在互補式金氧半導體積體電路中，門鎖效應的發生是由於寄生矽控整流器 (由寄生的垂直式 PNP 型雙載子電晶體和水平式 NPN 型雙載子電晶體所組成) 所造成 [8]。此矽控整流器的元件剖面圖和佈局 (Layout) 俯視圖如圖二 (a) 及圖二 (b) 所示。元件參數 D 代表從井區邊界到井區 (基底) 接觸窗 (Contact) 之間的距離， S 代表陽極 (Anode) 和陰極 (Cathode) 之間的距離， W 代表相鄰井區 (基底) 接觸窗之間的距離。在互補式金氧半導體積體電路中， P^+ 陽極 (即 P 型金氧半場效電晶體的源極 (Source)) 和 N^+ 井區接觸窗相連接在

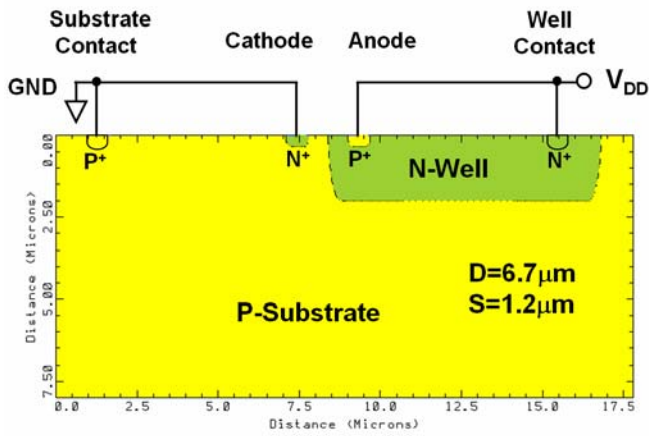


圖二 矽控整流器測試結構的 (a) 元件剖面圖，和 (b) 佈局俯視圖。元件參數 D 代表從井區邊界到井區 (基底) 接觸窗之間的距離， S 代表陽極和陰極之間的距離， W 代表相鄰井區 (基底) 接觸窗之間的距離。一個擁有特定元件幾何參數值 ($D=6.7\mu\text{m}$ 、 $S=1.2\mu\text{m}$ 、 $W=22.5\mu\text{m}$) 的矽控整流器 (0.25 微米互補式金氧半導體製程) 將用於 TLU 實驗量測。

一起至電源端 (V_{DD})，而 N^+ 陰極 (即 N 型金氧半場效電晶體的源極) 和 P^+ 基底接觸窗相連接在一起至接地端 (GND)。一旦門鎖效應在矽控整流器中發生，瞬間增加的電流便會藉由一個正迴授 (Positive Feedback) 機制所產生 [16]，此大電流會經由積體電路中的電源端流至接地端，進而導致晶片 (Chip) 因過熱而燒毀 (Burn Out)。

不同的元件幾何參數 (D 、 S 、 W) 會造成矽控整流器對 TLU 有不同的耐受能力。這是由於不同的門鎖效應觸發電壓 (電流) 或門鎖效應維持 (Holding) 電壓 (電流) 所導致 [8]。然而，造成 TLU 的形成機制是相同且和元件幾何參數無關的。因此，為了在實驗量測上對 TLU 的形成機制進行定性分析研究，一個擁有特定元件幾何參數值 ($D=6.7\mu\text{m}$ 、 $S=1.2\mu\text{m}$ 、 $W=22.5\mu\text{m}$) 的矽控整流器將用於所有的 TLU 實驗量測。此外，因為在互補式金氧半導體積體電路中，核心電路 (Core Circuitry) 內的寄生矽控整流器對 TLU 最為敏感 (因為核心電路的電路積集度最高)，故依據晶圓代工廠所提供之設計準則 (Design Rule)，其所能允許最短的陽極-陰極距離 ($S=1.2\mu\text{m}$) 將用來探討晶片核心電路和 TLU 之間的相互關係。

為了驗證實驗量測和元件模擬二者之關係，相同元件幾何參數($D=6.7\mu\text{m}$ 、 $S=1.2\mu\text{m}$)的矽控整流器可用一個二維元件模擬軟體(MEDICI)來模擬，如圖三所示。一旦定義了元件模擬所須的元件幾何參數，則元件邊界條件(Boundary Condition)便可決定，以分析其相關元件電性(Electrical Characteristics)，例如電位、電場、載子(Carrier)濃度、二維電流分佈線(Flow Line)等。

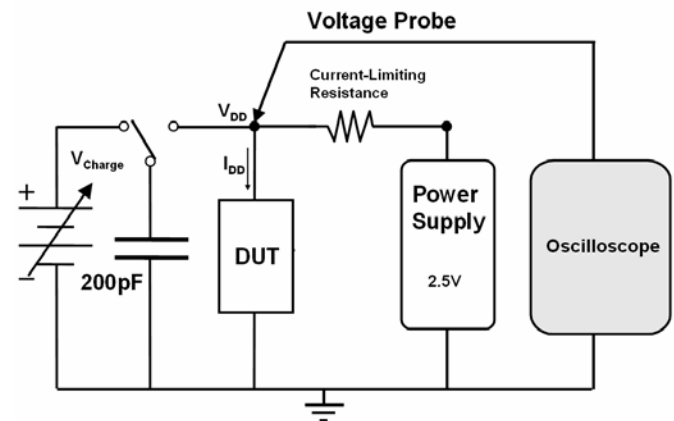


圖三 在二維元件模擬軟體(MEDICI)中的矽控整流器結構。此矽控整流器結構擁有和實驗測試晶片相同的元件幾何參數($D=6.7\mu\text{m}$ 、 $S=1.2\mu\text{m}$)。一旦定義了元件模擬所須的元件幾何參數，則元件邊界條件便可決定，以分析其相關元件電性，例如電位、電場、載子濃度、二維電流分佈線等。

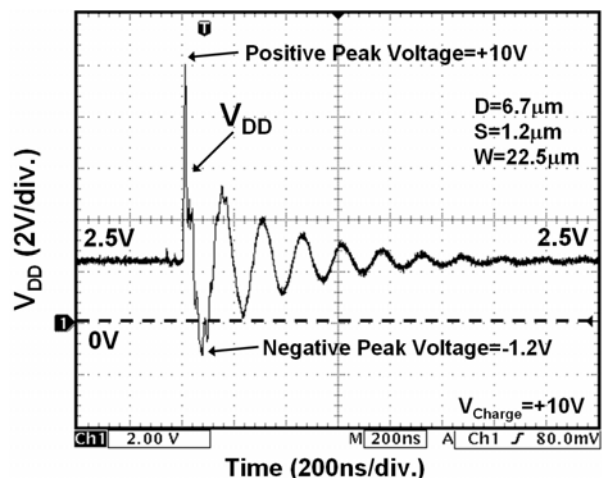
三、TLU 量測設置

在系統層級靜電放電測試下，待測設備只能藉由觀察其是否誤動作(例如待測設備當機)來判定待測設備是否符合測試標準。然而，判定位於待測設備內的單一積體電路產品對 TLU 的耐受能力是相當困難的。有鑑於此，一個擁有下列二項優點的元件層級(Component-Level)TLU 量測設置將被採用。第一，它可藉由示波器所觀察到的電壓(電流)波形輕易地判斷出單一積體電路產品對 TLU 的耐受能力。第二，藉由產生一個欠阻尼弦式振盪電壓，此實驗設置可精確地模擬出當此積體電路產品於系統層級靜電放電測試下受到

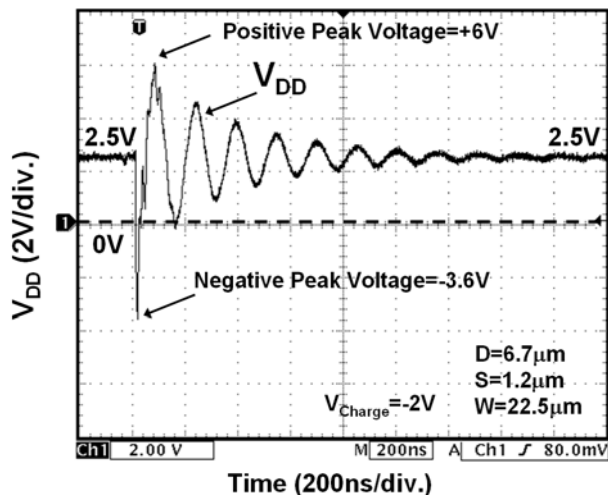
靜電放電能量干擾之情形。圖四描繪出此元件層級 TLU 量測設置[3]。矽控整流器(圖二)為待測元件(Device Under Test, DUT)，其 P^+ 陽極和 N^+ 井區接觸窗相連接至電源端(V_{DD})，而 N^+ 陰極和 P^+ 基底接觸窗相連接至地端。靜電放電模擬器(Simulator)扮演一個 TLU 觸發電壓源(V_{Charge})，用以產生欠阻尼弦式電壓。藉由施加一個正(負)值的 TLU 觸發電壓便可產生一個正緣(Positive-Going)(負緣(Negative-Going))欠阻尼弦式電壓，正如同在系統層級靜電放電測試下，當靜電槍帶有正值(負值)的充電電壓對積體電路產品所造成的雜訊電壓一樣[9]。例如，當 V_{Charge} 為 $+10V(-2V)$ 時，圖五(a)(五(b))顯示出在矽控整流器上所量測到的 V_{DD} 電壓波形。明顯地，此實驗設置可產生所預期的正緣(負緣)欠阻尼弦式電壓，以模擬位於待測設備內積體電路產品在系統層級靜電放電測試下，其電源端受到靜電放電干擾的雜訊電壓波形。在此元件層級 TLU 量測設置中， V_{Charge} 和 V_{DD} 節點間的放電電阻為 0Ω ，以防止 V_{DD} 波形因過大的放電電阻而有過大的阻尼係數(Damping Factor)[3]，進而導致其變為過阻尼(Overdamped)弦式電壓。此外， 200pF 的電容用



圖四 元件層級 TLU 量測設置[3]。此實驗設置可產生所預期的正緣(負緣)欠阻尼弦式電壓，以模擬位於待測設備內積體電路產品在系統層級靜電放電測試下，其電源端受到靜電放電干擾的雜訊電壓波形。



(a)



(b)

圖五 當 V_{Charge} 為(a)+10V, 和(b)-2V 時, 矽控整流器上的 V_{DD} 量測波形。藉由施加一個正(負)值的 TLU 觸發電壓便可產生一個正緣(負緣)欠阻尼弦式電壓, 正如同在系統層級靜電放電測試下當靜電槍帶有正值(負值)的充電電壓對積體電路產品所造成的雜訊電壓一樣[9]。

來貯存由 V_{Charge} 所提供的電荷。一旦經由開關(Relay)的切換將所貯存的電荷對待測元件放電, 則靜電放電測試程序便算完成。因為此充電電容的電容值大小會影響欠阻尼弦式電壓的阻尼振盪頻率(Damping Frequency), 故此充電電容的電容值大小必須慎選, 以符合在系統層級靜電放電測試下所實際觀察到的阻尼振盪頻率。在圖五(a)及五(b)中, V_{DD} 的阻尼振盪頻率大約為 10MHz(約

略小於在系統層級靜電放電測試下的實際值(約 20MHz))。因此, 可利用此元件層級 TLU 量測設置來對積體電路產品因為系統層級靜電放電測試所造成的 TLU 進行相關特性分析。此外, 一個小限流電阻(5Ω)可用來避免待測元件在高電流(低阻抗)的閃鎖狀態下所造成的電性過應(Electrical-Over-Stress)損毀。

四、TLU 元件模擬

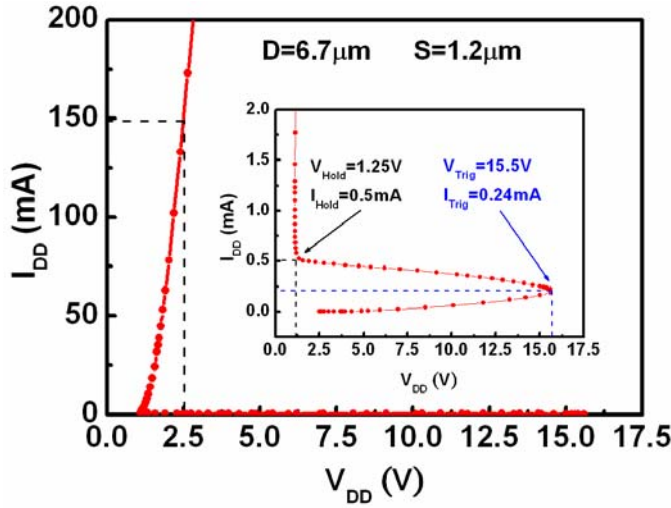
在系統層級靜電放電測試下, TLU 的形成機制可利用二維元件模擬軟體(MEDICI)在時域分析中加以解釋說明。在此元件模擬軟體中, 一種時變電壓源

$$V(t) = V_0 + V_a \cdot \exp(-(t - t_d)D) \cdot \sin(2\pi f(t - t_d)) \quad (1)$$

可用來產生所須的欠阻尼弦式電壓。 V_0 代表啟始電壓(Initial Voltage), V_a 為施加電壓振幅, D_a 為阻尼係數, f 為阻尼振盪頻率, t_d 為時間延遲(Time Delay)。經由選擇適當之參數值, 將可合理產生所預期之欠阻尼弦式電壓。在後面的元件模擬中, 為了簡單起見, 除了有不同的施加電壓振幅之外($V_a = +14.6\text{V}$ 或 -14.6V), 其餘參數皆為固定值, 例如 $V_0 = 2.5\text{V}$ 、 $D = 2 \times 10^7 \text{s}^{-1}$ 、 $f = 20\text{MHz}$ 、 $t_d = 50\text{ns}$ 。此外, 所有用來進行元件模擬的矽控整流器, 皆與用於 TLU 實驗量測的測試晶片有相同的幾何參數值($D = 6.7\mu\text{m}$ 、 $S = 1.2\mu\text{m}$)。

(A) 直流電流-電壓閃鎖效應模擬結果

對選定的矽控整流器, 圖六表示出其直流電流-電壓閃鎖效應模擬結果。一旦閃鎖效應發生, 在 V_{DD} 和接地端之間會存在一個低阻抗路徑, 並導致大量電流通過此低阻抗路徑。如圖六中的插圖所示, 閃鎖效應觸發電壓(V_{Trig})及觸發電流(I_{Trig})大約為 15.5V 及 0.24mA, 而閃鎖效應維持電壓(V_{Hold})及維持電流(I_{Hold})大約為 1.25V 及 0.5mA。

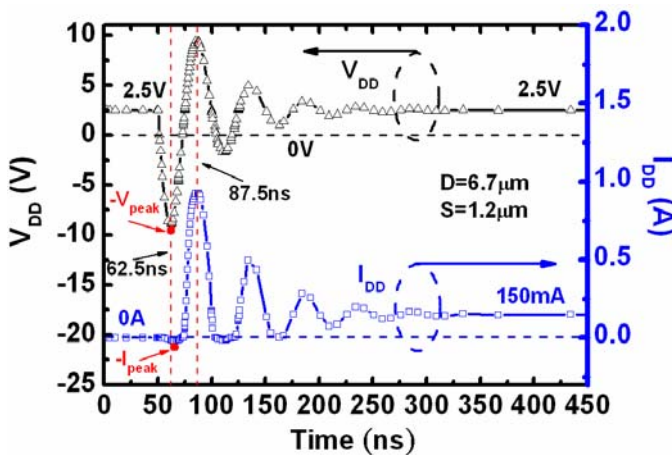


圖六 矽控整流器的直流電流-電壓門鎖效應模擬結果。在門鎖狀態下，當 V_{DD} 固定在額定操作電壓(+2.5V)時，流入陽極及井區接觸窗的電源供應電流(I_{DD})為 150mA。此一電流值將提供往後判斷 TLU 是否發生的準則依據。

在門鎖狀態下，當 V_{DD} 固定在額定操作電(+2.5V)時，流入陽極及井區接觸窗的電源供應電流(I_{DD})為 150mA。此一電流值將提供往後判斷在模擬中 TLU 是否發生的準則依據。

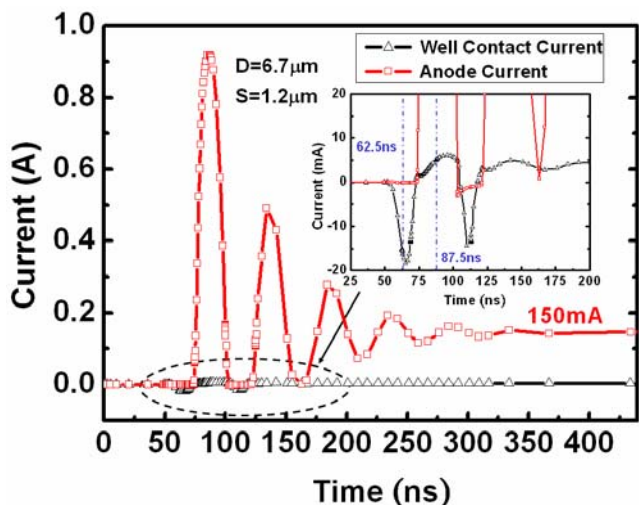
(B) 負值 V_{Charge} 之 TLU 模擬結果

當 V_{Charge} 為負值時，圖七表示出矽控整流器的 V_{DD} 和 I_{DD} 暫態響應(Transient Response)模擬結



圖七 V_{Charge} 為負值時，矽控整流器的 V_{DD} 和 I_{DD} 暫態響應模擬結果。當 $62.5ns < t < 87.5ns$ 時， V_{DD} 會從負向峰值電壓上升回復至原來的額定操作電壓(+2.5V)，同時並產生“掃回”電流(I_{sb})，進而引發 TLU(I_{DD} 大量增加)。

果。於時域中分成數個部分來詳細討論。第一，當 $0ns < t < 50ns$ 時，矽控整流器操作在正常的阻隔狀態(Blocking Condition)，故 V_{DD} 固定在額定操作電壓(+2.5V)。在這段期間內，由 N 型井區和 P 型基底所構成的接面是處於正常的逆偏狀態，故此時 I_{DD} 來自於極小的逆偏接面漏電流(Reverse Junction Leakage Current)。第二，當 $50ns < t < 62.5ns$ 時， V_{DD} 在 $t=50ns$ 時由 +2.5V 快速地降低，直到 $t=62.5ns$ 時到達一個 -8V 的負向峰值電壓(Negative Peak Voltage, $-V_{Peak}$)。當 V_{DD} 由 +2.5V 下降至 0V 的這段時間內，由 N 型井區和 P 型基底所構成的接面，其逆向偏壓將會越來越弱，甚至當 V_{DD} 更進一步低於 0V 時，此接面會轉變成一個順向偏壓狀態。因此，在 $t=62.5ns$ 時，擁有最大順向偏壓的 N 型井區/P 型基底接面會有最大(20mA)的順偏電流，稱之為順偏峰值電流(Forward Peak Current, I_{Peak})。第三，當 $62.5ns < t < 75ns$ 時， V_{DD} 會從負向峰值電壓上升回復至原來的額定操作電壓(+2.5V)，此外，N 型井區/P 型基底接面也會由順偏狀態回復至正常阻隔狀態下的逆偏狀態。在此同時，由順偏峰值電流($t=62.5ns$)於 N 型井區(P 型基底)區域中所大量提供的少數電洞(Minority Holes)(少數電子(Minority Electrons))也將快速地被“掃回”其原來的 P 型基底(N 型井區)。當此“掃回”電流(I_{sb})流經寄生的 P 型基底電阻或 N 型井區電阻時，將會產生局部(Localized)電壓降。一旦此局部電壓降到達足以使矽控整流器中寄生雙載子電晶體(垂直 PNP 型或水平 NPN 型)的射極/基極接面產生順向偏壓時，則 TLU 便可能被引發。此現象可進一步地由圖八中陽極電流和井區接觸窗電流的暫態響應模擬結果來加以說明。圖八清楚地顯示出這些貯存於矽控整流器內的少數載子從何處而來，以及什麼時候這些少數載子會被“掃回”並引發 TLU。例如，當 $50ns < t < 62.5ns$ 時，N 型井區/P 型基底接面的順向偏壓逐漸增加，造成順向



圖八 V_{Charge} 為負值時，矽控整流器的陽極電流和井區接觸窗電流的暫態響應模擬結果。當 $62.5\text{ns} < t < 87.5\text{ns}$ 時，掃回電流將引發 TLU，同時大量的陽極電流將流經矽控整流器中的低阻抗路徑。

井區接觸窗電流亦逐漸增加。同時，因為 P^+ 陽極/ N 型井區接面跨壓很小(由於 P^+ 陽極和 N 型井區接觸窗相連接)，故陽極電流來自於可被忽略的接面漏電流。隨後於 $62.5\text{ns} < t < 75\text{ns}$ 時，順向井區接觸窗電流將會隨著 V_{DD} 的增加而減少，這意味貯存於矽控整流器中的少數電子(電洞)正逐漸被“掃回”至原來的 N 型井區(P 型基底)區域中。因此，一旦 V_{DD} 回復增加至 $+2.5\text{V}$ 時($75\text{ns} < t < 87.5\text{ns}$)，TLU 便會發生，同時並導致大量的陽極電流流經矽控整流器中的低阻抗路徑。然而，此時井區接觸窗電流遠小於陽極電流，因為井區接觸窗電流只是寄生垂直 PNP 型雙載子電晶體中極小的基極(Base)電流而已。

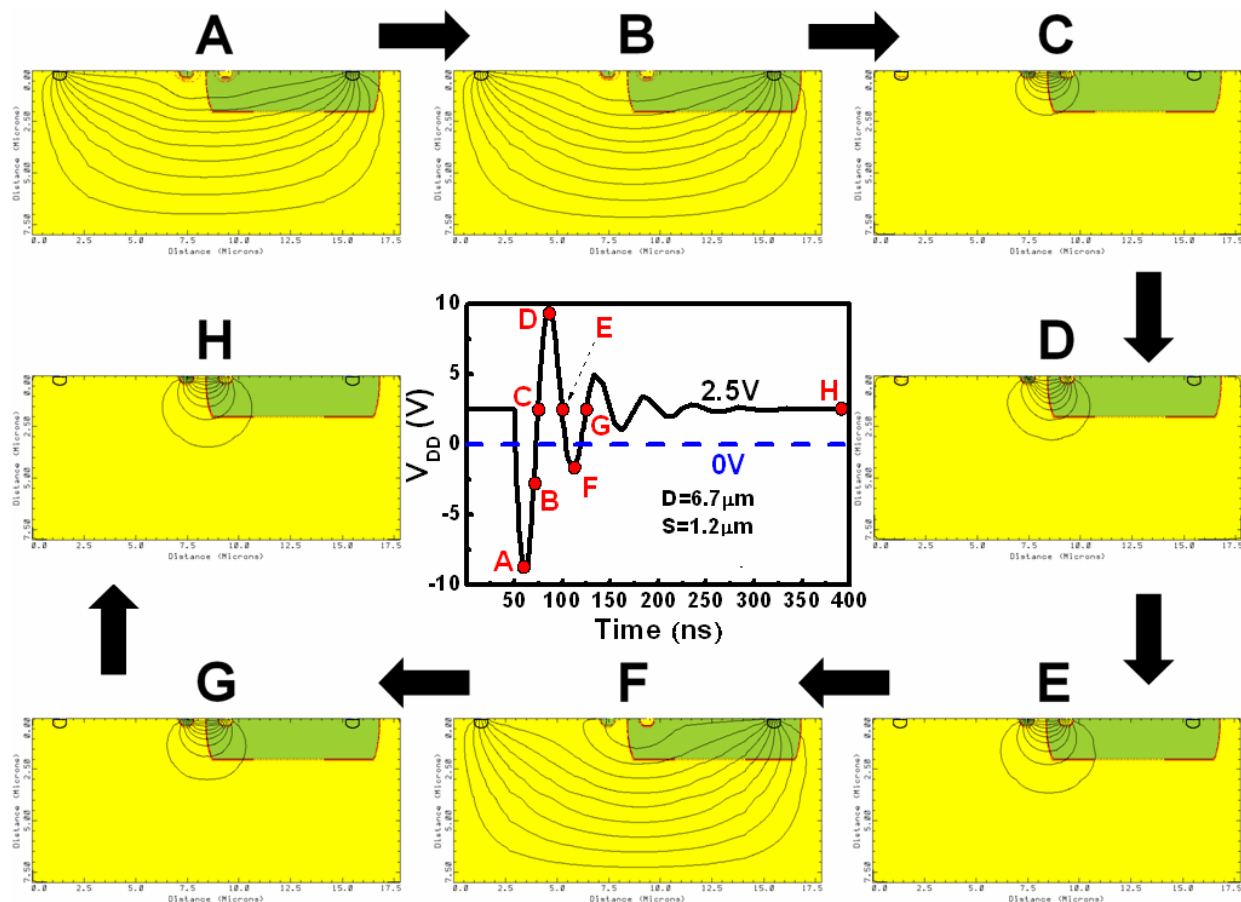
在實際的互補式金氧半導體積體電路中，當一個低阻抗門鎖狀態發生時， V_{DD} 有可能被拉低(Pull Down)至接近門鎖效應維持電壓準位，這是由於二個原因所造成。其中一個是受限於系統電源供應器的電流供應能力(Current-Supply Ability)，另一個則是由於在 V_{DD} 節點和系統電源供應器之間不可避免的寄生串聯電阻所導致。然而在圖七及圖八所示的元件模擬結果中，當 TLU

在 $75\text{ns} < t < 100\text{ns}$ 發生時， V_{DD} 並未立刻拉低至門鎖效應維持電壓，取而代之的是， V_{DD} 持續依照所定義的欠阻尼弦式電壓而進行著。這是受限於所採用的元件模擬軟體在暫態分析中的原始限制。然而，我們可由圖七和圖八知道 TLU 確實是發生的，因為當 V_{DD} 最後回復至額定操作電壓($+2.5\text{V}$)時， I_{DD} 為 150mA ，此一電流值剛好驗證直流分析中的門鎖效應模擬結果(圖六)。

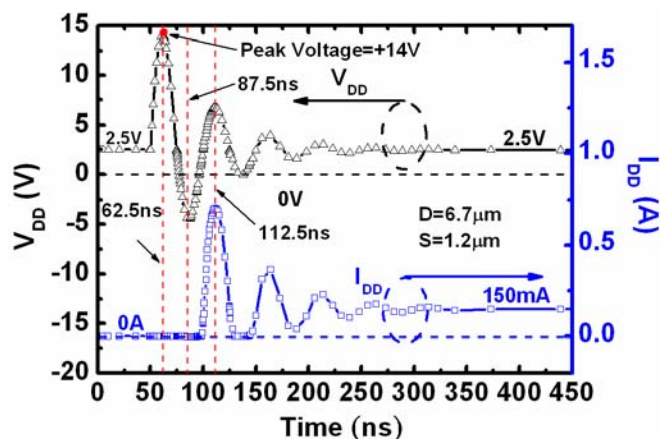
為了進一步確認 TLU 是否發生，圖九表示出 V_{Charge} 為負值時，在不同的暫態時間點下，利用元件模擬所得到的二維電流線分布圖。明顯地當 N 型井區/ P 型基底接面為順向偏壓時(暫態時間點 A、B、F)，順向井區(基底)接觸窗電流便可在矽控整流器中觀察到。一旦 N 型井區/ P 型基底接面迅速地由順偏狀態回復為原來的逆偏狀態，則大量的 I_{sb} 便會引發 TLU(暫態時間點 C-E、G、H)。

(C) 正值 V_{Charge} 之 TLU 模擬結果

當 V_{Charge} 為正值時，圖十表示出矽控整流器的 V_{DD} 和 I_{DD} 暫態響應模擬結果。當 $50\text{ns} < t < 62.5\text{ns}$ ， V_{DD} 在 $t=50\text{ns}$ 由額定操作電壓開始增加，並於 $t=62.5\text{ns}$ 達到正向峰值電壓($+14\text{V}$)。在這段時間內， N 型井區/ P 型基底接面維持在逆向偏壓，因此矽控整流器中只存在著由 N 型井區/ P 型基底接面所造成的暫態位移電流。除非 V_{DD} 的增加速度快到足以產生夠大的暫態位移電流[12]，否則此暫態位移電流難以引發 TLU。隨後在 $t=62.5\text{ns}$ ， V_{DD} 由正向峰值電壓迅速下降，並於 $t=87.5\text{ns}$ 時到達一個負向峰值電壓。在這段時間內，當 N 型井區/ P 型基底接面由逆偏狀態逐漸轉變至順偏狀態時，越來越多的少數電子(電洞)會被注入到 P 型基底(N 型井區)。隨後一旦這些少數電子(電洞)因電場極性轉換而被掃回至原來的 N 型井區(P 型基底)時(87.5



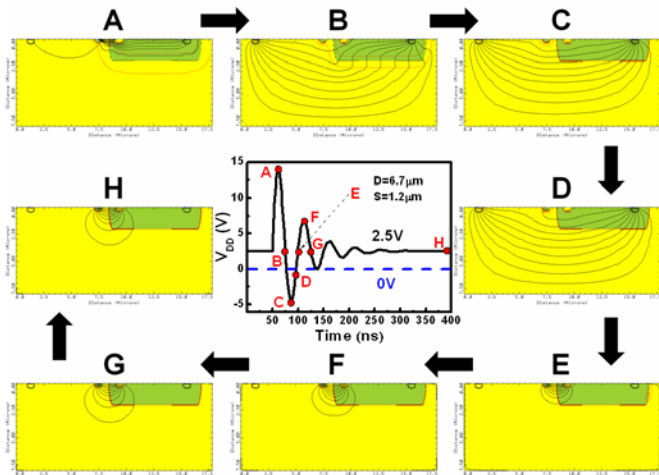
圖九 V_{Charge} 為負值時，在不同的暫態時間點下，利用元件模擬所得到的二維電流線分布圖。當 N 型井區/P 型基底接面為順向偏壓時(暫態時間點 A、B、F)，順向井區(基底)接觸窗電流便可在矽控整流器中觀察到。一旦 N 型井區/P 型基底接面迅速地由順偏狀態回復為原來的逆偏狀態，則大量的 I_{Sb} 便會引發 TLU(暫態時間點 C-E、G、H)。



圖十 V_{Charge} 為正值時，矽控整流器的 V_{DD} 和 I_{DD} 暫態響應模擬結果。當 $50\text{ns} < t < 75\text{ns}$ ，由 N 型井區/P 型基底接面所造成的暫態位移電流並不會引發 TLU。當 $87.5\text{ns} < t < 112.5\text{ns}$ 時， V_{DD} 會從負向峰值電壓上升回復至原來的額定操作電壓(+2.5V)，同時並產生掃回電流(I_{Sb})，進而引發 TLU(I_{DD} 大量增加)。

$\text{ns} < t < 100\text{ns}$)，TLU 便會被引發。因此 I_{DD} 於 $100\text{ns} < t < 112.5\text{ns}$ 內大量地增加。在此 TLU 已確實發生，因為當 V_{DD} 最終回復至額定操作電壓(+2.5V)時會伴隨著固定且巨大的 I_{DD} (由圖六及圖十得知 $I_{\text{DD}}=150\text{mA}$)。

圖十一表示出 V_{Charge} 為正值時，於不同的暫態時間點下，利用元件模擬所得到的二維電流線分布圖。由圖中可知 N 型井區/P 型基底接面所引起的暫態位移電流不足以引發 TLU(暫態時間點 A、B)。然而，當 N 型井區/P 型基底接面為順向偏壓時(暫態時間點 C、D)，大量的順偏井區(基底)接觸窗電流會在矽控整流器內形成，隨後一旦此順偏電流導致大量 I_{Sb} 的產生，TLU 便

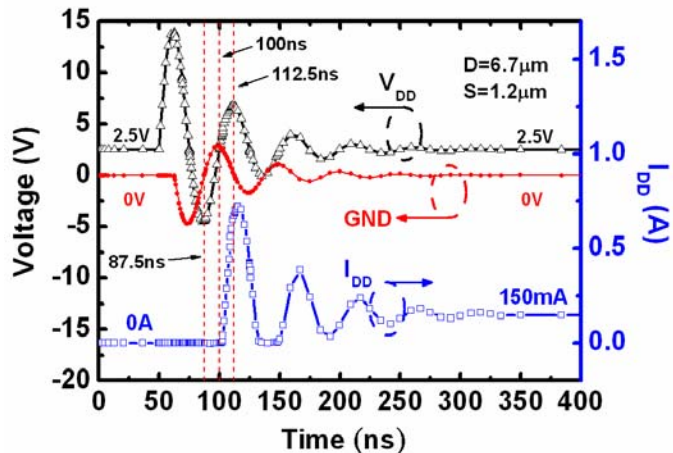


圖十一 V_{Charge} 為正值時，於不同的暫態時間點下，利用元件模擬所得到的二維電流線分布圖。由圖中可知 N 型井區/P 型基底界面所引起的暫態位移電流不足以引發 TLU(暫態時間點 A、B)。然而，當 N 型井區/P 型基底界面為順向偏壓時(暫態時間點 C、D)，大量的順偏井區(基底)接觸窗電流會在矽控整流器內形成，隨後一旦此順偏電流導致大量 I_{sb} 的產生，TLU 便會被引發(暫態時間點 E-H)。

會被引發(暫態時間點 E-H)。

(D) 更接近真實情況的例子

在真實的系統層級靜電放電測試下，不僅是積體電路的電源端(V_{DD})，其接地端(GND)也會被靜電放電伴隨的高能量所干擾，進而呈現振盪的諧振電壓[9]-[11]。值得注意的是，由於積體電路晶片內的電源線和接地線是廣佈於整個積體電路系統中，故靜電放電干擾所造成的振盪諧振電壓也會隨著電源線和接地線出現在積體電路晶片的核電路中。有鑑於此，為了考慮此真實情況，圖十二表示出矽控整流器的 V_{DD} 、GND、 I_{DD} 暫態響應元件模擬結果，其中 V_{DD} 與 GND 的振盪波形不同步同向出現。如之前所述，一旦 V_{DD} 對 GND 的相對電壓足夠“負”時($87.5\text{ns} < t < 100\text{ns}$)，大量 I_{sb} 隨後將於 V_{DD} 對 GND 的相對電壓由負值轉變為正值時($100\text{ns} < t < 112.5\text{ns}$)於 N 型井區/P 型基底界面中產生，進而引發 TLU。這意味 TLU 不僅只是發生



圖十二 考慮真實的系統層級靜電放電測試下，矽控整流器的 V_{DD} 、GND、 I_{DD} 暫態響應元件模擬結果。在此真實情況下，不僅是積體電路的電源端(V_{DD})，其接地端(GND)也會被靜電放電伴隨的高能量所干擾，進而呈現不同步同向振盪的諧振電壓[9]-[11]。一旦 V_{DD} 對 GND 的相對電壓足夠“負”時($87.5\text{ns} < t < 100\text{ns}$)，大量 I_{sb} 隨後將於 V_{DD} 對 GND 的相對電壓由負值轉變為正值時($100\text{ns} < t < 112.5\text{ns}$)於 N 型井區/P 型基底界面中產生，進而引發 TLU。

在輸入/輸出級電路上，同時也會存在於積體電路的核心電路。相較於準靜態(Quasi-Static)門鎖效應[17]僅較注重輸入/輸出級電路對門鎖效應的防護能力，對 TLU 而言也必須考慮積體電路晶片之核心電路對 TLU 的防護能力。因此，一些用於提升門鎖效應防護能力的技巧，如電路佈局、特殊製程技術、積體電路設計技巧[18]等，將來也必須應用在核心電路上，以增加其對 TLU 的防護能力。

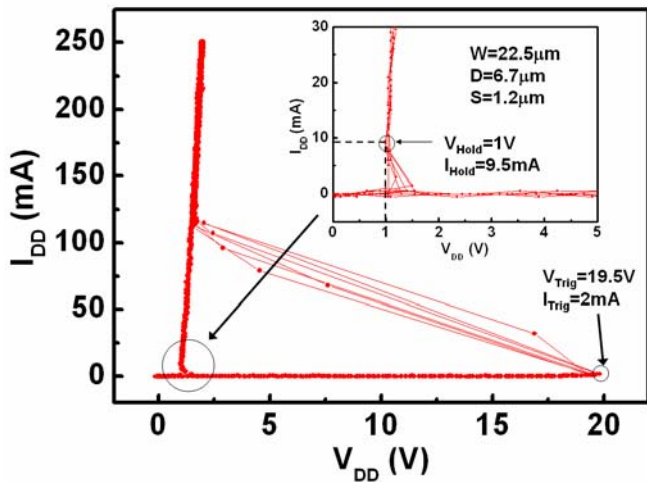
五、TLU 實驗量測結果

圖四的元件層級 TLU 實驗量測設置可用來分析 TLU 相關特性。無論是正值或負值的 V_{Charge} ，所量測到的 V_{DD} (I_{DD})暫態響應將經由電壓(電流)探棒(Probe)的量測而顯示在示波器上。當 V_{Charge} 慢慢由 0V 增加時(無論為正或負)，可藉由判斷 I_{DD} 是否快速大量地增加來判定 TLU 是否發生。更重要的是此 TLU 實驗量測結果可提供元件模擬有用的相關資訊，以供二者之間的比

對及驗證。此外，特定幾何參數的矽控整流器 ($D=6.7\mu\text{m}$ 、 $S=1.2\mu\text{m}$ 、 $W=22.5\mu\text{m}$) 為所有 TLU 實驗量測之測試元件。

(A) 直流電流-電壓閘鎖效應量測結果

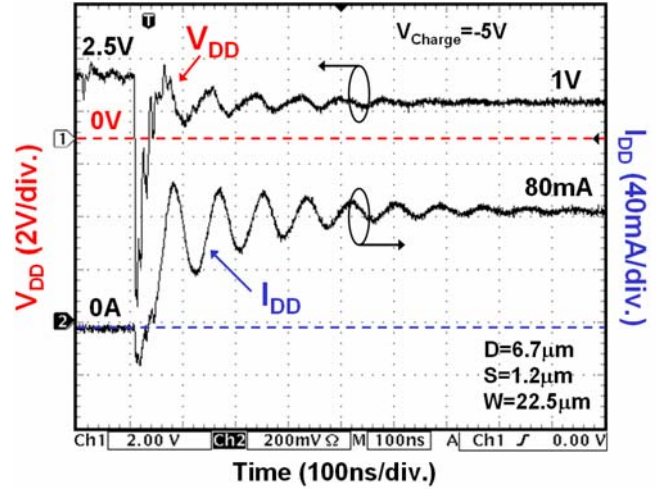
對所選定的矽控整流器元件，圖十三表示出其直流電流-電壓閘鎖效應量測結果。如圖十三的插圖所示，閘鎖效應觸發電壓(電流)大約為 $19.5\text{V}(2\text{mA})$ ，而閘鎖效應維持電壓(電流)大約為 $1\text{V}(9.5\text{mA})$ 。相較於圖六的元件模擬結果，這些閘鎖效應相關參數並沒有明顯的差距，故即使所用的元件模擬軟體尚未經過參數校正(Parameter Calibration)，所得到的 TLU 元件模擬結果仍可提供合理的參考。



圖十三 矽控整流器在晶片上的直流電流-電壓閘鎖效應實驗量測結果。

(B) 負值 V_{Charge} 之 TLU 實驗量測結果

當 V_{Charge} 為 -5V ，圖十四表示出矽控整流器的 V_{DD} 和 I_{DD} 暫態響應量測結果。當 V_{DD} 一開始下降至 0V 以下時，順向偏壓的 N 型井區/P 型基底接面便會產生大量的順偏電流。一旦 V_{DD} 隨後增加回復至 0V 以上， I_{DD} 便會大量迅速地增加，



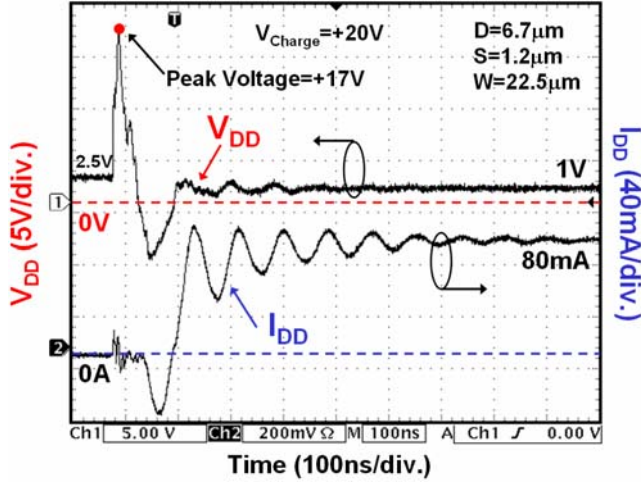
圖十四 V_{Charge} 為 -5V 時，矽控整流器的 V_{DD} 和 I_{DD} 暫態響應量測結果。當 V_{DD} 由負向峰值電壓增加至額定操作電壓時，TLU 會被引發(I_{DD} 大量增加)，此一結果和圖七的元件模擬結果是相互吻合的。

這表示 TLU 已確實發生。因此 V_{DD} 和 I_{DD} 波形會在低阻抗(高電流)的閘鎖狀態下輕微振盪，且 V_{DD} 最終會被拉低至閘鎖效應維持電壓(約 1V)，並伴隨產生巨大的 I_{DD} (約 80mA)。

如圖七及圖十四所示，比較元件模擬和實驗量測二者間的結果可發現二者之間是相互吻合的。例如當 V_{DD} 由負向峰值電壓增加至額定操作電壓時便會產生足夠大的 I_{sb} ，進而引發 TLU。此事實可再次證明當貯存於矽控整流器內部的少數載子快速地被掃回其原來的區域時，TLU 便會被引發。

(C) 正值 V_{Charge} 之 TLU 實驗量測結果

當 V_{Charge} 為 $+20\text{V}$ ，圖十五表示出矽控整流器的 V_{DD} 和 I_{DD} 暫態響應量測結果。當 V_{DD} 一開始由額定操作電壓快速地增加至正向峰值電壓($+17\text{V}$)時，N 型井區/P 型基底接面是處於逆向偏壓狀態，此時矽控整流器內部僅有由 N 型井區/P 型基底接面所產生的暫態位移電流。此暫態位移電流不足以引發 TLU，因為當 V_{DD} 由額定操作電壓



圖十五 V_{Charge} 為+20V 時，矽控整流器的 V_{DD} 和 I_{DD} 暫態響應量測結果。當 V_{DD} 一開始由額定操作電壓快速地增加至正向峰值電壓(+17V)時，由 N 型井區/P 型基底接面所產生的暫態位移電流並不足以引發 TLU。除非掃回電流隨後於 V_{DD} 從負峰值電壓上升回復至原來額定操作電壓時產生，此一結果和圖十的元件模擬結果是相互吻合的。

增加至正峰值電壓時， I_{DD} 並未明顯地增加。隨後一旦 V_{DD} 由負向峰值電壓回復增加至額定操作電壓時，貯存於矽控整流器內的大量少數載子便會產生足夠的 I_{Sb} ，進而引發 TLU，使 I_{DD} 大量快速地增加。一旦 TLU 被觸發， V_{DD} 和 I_{DD} 波形會在低阻抗(高電流)的閉鎖狀態下輕微振盪，且 V_{DD} 最終會被拉低至閉鎖效應維持電壓(約 1V)，並伴隨產生巨大的 I_{DD} (約 80mA)。

TLU 的形成機制可經由元件模擬和實際量測結果再一次獲得證明。如圖十和圖十五所示，由貯存在矽控整流器中的少數載子因電場方向轉換所產生的 I_{Sb} 較逆偏接面位移電流(由逆向偏壓的 N 型井區/P 型基底接面所產生)更容易引發 TLU。

六、討論

在系統層級靜電放電測試下，由元件模擬及實驗量測結果可定性地證明貯存於互補式金氧半導體積體電路內的少數載子，其所造成的 I_{Sb} 乃引

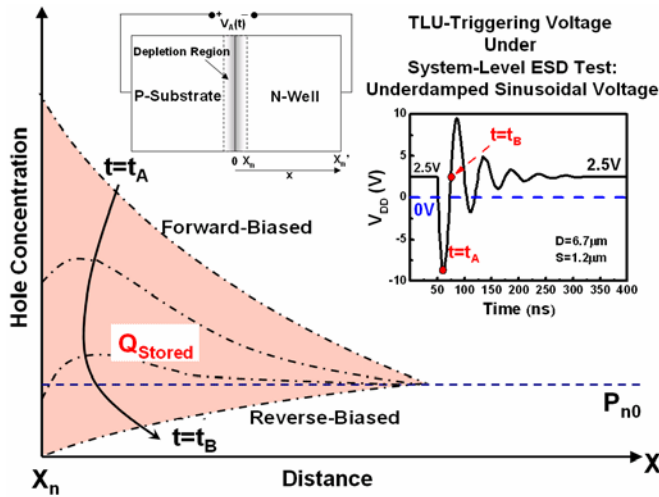
發 TLU 的主要原因。為了更清楚了解在系統層級靜電放電測試下 I_{Sb} 是如何引發 TLU，探討何種參數會導致 I_{Sb} 變化的定量分析是必要的。當互補式金氧半導體積體電路內的 N 型井區/P 型基底接面受到靜電放電干擾而由順向偏壓轉變成逆向偏壓時(當 V_{DD} 從負向峰值電壓回復增加至額定操作電壓(+2.5V))， I_{Sb} 在積體電路中是隨著不同的暫態時間點及位置而有所不同，但是欲藉由解析複雜的二維(三維)微分方程式而得到 I_{Sb} 是相當困難的。此外，在系統層級靜電放電測試之下，如何決定引發 TLU 的暫態時間點及積體電路內對 TLU 最敏感的位置也是相當困難的。為了避免過於複雜的計算，“平均掃回電流”(I_{Ave})將被用來描述系統層級靜電放電測試下的 I_{Sb} 電流特性，同時並採用下列二種假設情況。第一，N 型井區/P 型基底接面視為一個擁有步階式接面濃度分佈(Step Junction Profile)的二極體，如圖十六中的插圖所示。第二，由圖十四和圖十五得知 I_{DD} 可迅速跟隨上 V_{DD} 的極性(Polarity)變換，故少數載子的貯存時間(Storage Time)[19]可忽略不計。因此，由第一個假設條件，貯存在 N 型井區的少數載子(即電洞)可表示為

$$Q_{\text{Stored}} = q \int_{X_n}^{X_n'} \left[P_n(x, t) \Big|_{t=t_A} - P_n(x, t) \Big|_{t=t_B} \right] dx, \quad (2)$$

如圖十六中陰影區域所示，其中 $t_A(t_B)$ 為 I_{Sb} 存在的這段時間內之開始(終止)時間點。此外，沿著 X 軸座標方向， X_n 和 X_n' 分別代表空乏區邊緣及 N 型井區端點的座標。 $P_n(x, t)$ 是電洞在 N 型井區內的濃度分佈函數，可表示為

$$P_n(x, t) = \frac{n_i^2}{N_D} \left[1 + \left(e^{\frac{qV_A(t)}{kT}} - 1 \right) e^{\frac{-(X-X_n)}{L_p}} \right]. \quad (3)$$

其中 $V_A(t)$ 為跨於 N 型井區/P 型基底接面之順向偏壓， n_i 為本質(Intrinsic)載子濃度， N_D 為施體



圖十六 儲存於 N 型井區中的少數載子(Q_{Stored})濃度分佈示意圖。此少數載子可產生掃回電流，其存在時間為 $t_s(=t_B-t_A)$ 。由(4)可知影響 I_{Ave} 的二個重要參數(Q_{Stored} 及 t_s)和欠阻尼弦式電壓的阻尼振盪頻率、阻尼係數、施加電壓振幅(V_a)有密切的關係。

(Donor)密度， k 為波茲曼(Boltzman)常數。同理，由(2)及(3)，貯存於 P 型基底中的少數載子(電子)也可輕易地推導出來。由第二個假設條件， Q_{Stored} 可於 I_{Sb} 存在的這段時間內($t_A < t < t_B$)完全地被移除，一旦 Q_{Stored} 被掃回至原來的 N 型井區或 P 型基底，則於 $t_A < t < t_B$ 這段時間內， I_{Ave} 可被定義成

$$I_{\text{Ave}} \equiv \frac{Q_{\text{Stored}}}{t_B - t_A} \quad (4)$$

其中 $t_s(=t_B-t_A)$ 為 I_{Sb} 存在的時間。在系統層級靜電放電測試下，由圖十六及(4)可知影響 I_{Ave} 的二個重要參數(Q_{Stored} 及 t_s)和欠阻尼弦式電壓的阻尼振盪頻率、阻尼係數、施加電壓振幅(V_a)有密切的關係。例如，較高的阻尼振盪頻率將造成較短的 t_s ，且較小的施加電壓振幅(或較大的阻尼係數)將造成較少的 Q_{Stored} 。因此，積體電路對 TLU 耐受能力和欠阻尼弦式觸發電壓之各項參數(阻尼振盪頻率、阻尼係數、施加電壓振幅)間的關係必須進一步地分析研究，以更清楚了解系統層級靜電放電測試下，由 $I_{\text{Sb}}(I_{\text{Ave}})$ 所造成 TLU 的形成機制。

在準靜態門鎖效應測試中無法觀察到 TLU 是互補式金氧半導體積體電路中潛在的嚴重問題[3]，[4]。換句話說，即使積體電路產品通過了準靜態門鎖效應測試[17]，則潛藏的 TLU 威脅依然存在。此一事實可由 TLU 和準靜態門鎖效應二者間的元件模擬和實驗量測結果加以證明。以元件模擬結果而言，如圖十所示，即使 V_{DD} 的正峰值電壓(約 14V)小於圖六所示的門鎖效應觸發電壓(V_{Trig} 約為 15.5V)，但是 TLU 仍然會發生。同樣地，以實驗量測結果而言，如圖十五所示，即使 V_{DD} 的正峰值電壓(約 17V)小於圖十三所示的門鎖效應觸發電壓(V_{Trig} 約為 19.5V)，但是 TLU 也依然會發生。因此，一個能有效評估積體電路產品在系統層級靜電放電測試下對 TLU 防護能力的實驗量測是非常重要的。

七、結論

在系統層級靜電放電測試下，欠阻尼弦式電壓已被證實為引起 TLU 的觸發來源。藉由 TLU 元件模擬結果，由貯存在互補式金氧半導體積體電路內少數載子所造成的“掃回”電流，已被證明為引發 TLU 的主要原因。而利用簡化的載子濃度分佈函數，“掃回”電流和欠阻尼弦式電壓間的相互關係也可被定量地分析推導。此外，TLU 的潛在威脅仍然存在於一個已通過準靜態門鎖效應測試標準的積體電路產品，故一個能有效評估積體電路產品在系統層級靜電放電測試下對 TLU 防護能力的實驗量測是必要的。有鑑於 TLU 對整個電路系統(不單限於輸入/輸出級電路)都會造成威脅，故有關提升暫態門鎖效應防護能力的技巧，例如電路佈局、特殊製程技術、積體電路設計技巧等，亦必須用於積體電路產品之核心電路設計上，以改善其對 TLU 的防護能力。本文針對 TLU 所提出之各種相關的元件模擬、實驗驗證、物理機制的推導描述等，對未來相關的 TLU

防護技術(例如萃取安全的佈局準則或提升積體電路晶片對 TLU 防護能力的積體電路設計技巧等)能提供相當大的幫助。

八、參考文獻

- [1] G. Weiss and D. Young, "Transient-induced latchup testing of CMOS integrated circuits," in *Proc. EOS/ESD Symp.*, 1995, pp. 194–198.
- [2] M. Mahanpour and I. Morgan, "The correlation between latch-up phenomenon and other failure mechanisms," in *Proc. EOS/ESD Symp.*, 1995, pp. 289–294.
- [3] I. Morgan, C. Hatchard, and M. Mahanpour, "Transient latch-up using an improved bi-polar trigger," in *Proc. EOS/ESD Symp.*, 1999, pp. 190–202.
- [4] M. Kelly, L. Henry, J. Barth, G. Weiss, M. Chaine, H. Gieser, D. Bonfert, T. Meuse, V. Gross, C. Hatchard, and I. Morgan, "Developing a transient induced latch-up standard for testing integrated circuits," in *Proc. EOS/ESD Symp.*, 1999, pp. 178–189.
- [5] S. Voldman, "Latch-up – it's back," in *Threshold Newsletter*, ESD Association, Sep./Oct., 2003.
- [6] ESD Association Standard Practice, "ANSI/ESD SP5.4-2004: Transient Latch-up Testing - Component Level Supply Transient Stimulation," ESD Association, 2004.
- [7] IEC 61000-4-2 International Standard, "EMC – Part 4-2: Testing and measurement techniques - Electrostatic discharge immunity test," IEC, 2001.
- [8] W. Morris, "Latchup in CMOS," in *Proc. IRPS*, 2003, pp. 76–84.
- [9] M.-D. Ker and Y.-Y. Sung, "Hardware/firmware co-design in an 8-bits microcontroller to solve the system-level ESD issue on keyboard," in *Proc. EOS/ESD Symp.*, 1999, pp. 352–360.
- [10] D. Smith, L. Henry, M. Hogsett, and J. Nuebel, "Sources of impulsive EMI in large server farms," in *Proc. EOS/ESD Symp.*, 2002, pp. 26–31.
- [11] D. Smith and A. Wallash, "Electromagnetic interference (EMI) inside a hard disk driver due to external ESD," in *Proc. EOS/ESD Symp.*, 2002, pp. 32–36.
- [12] R. R. Troutman and H. P. Zappe, "A transient analysis of latchup in bulk CMOS," *IEEE Trans. Electron Devices*, vol. 30, pp. 170–179, Feb. 1983.
- [13] E. Hamdy and A. Mohsen, "Characterization and modeling of transient latchup in CMOS technology," in *IEDM Tech. Dig.*, 1983, pp. 172–175.
- [14] S. Bargstädt-Franke, W. Stadler, K. Esmark, M. Streibl, K. Domanski, H. Gieser, H. Wolf, and W. Bala, "Transient latch-up: experimental analysis and device simulation," in *Proc. EOS/ESD Symp.*, 2003, pp. 80–87.
- [15] M.-D. Ker and S.-F. Hsu, "Transient-induced latchup in CMOS technology: physical mechanism and device simulation," in *IEDM Tech. Dig.*, 2004, pp. 937–940.
- [16] M.-D. Ker and C.-Y. Wu, "Modeling the positive-feedback regenerative process of CMOS latchup by a positive transient pole method – part I: theoretical derivation," *IEEE Trans. Electron Devices*, vol. 42, pp. 1141–1148, Jun. 1995.
- [17] EIA/JEDEC Standard No. 78, "IC Latch-up Test," Electronic Industries Association, 1997.
- [18] J.-J. Peng, M.-D. Ker, and H.-C. Jiang, "Latchup current self-stop circuit for whole-chip latchup prevention in bulk CMOS integrated circuits," *Proc. of IEEE International Symposium on Circuits and Systems (ISCAS)*, 2002, vol. 5, pp. 537–540.
- [19] S. M. Sze, *Physics of Semiconductor Devices*, John Wiley & Sons, New York, 1981.