

# 射頻積體電路之靜電放電防護設計 -- 阻抗隔絕技術

柯明道、蕭淵文、李健銘、周千譯

國立交通大學 電子研究所 奈米電子與晶片系統實驗室

## 摘要

本篇論文利用阻抗隔絕技術來設計射頻積體電路之靜電放電防護電路。利用電感電容槽(LC-tank)共振在所選定之工作頻率，靜電放電防護元件在低雜訊放大器(low noise amplifier, LNA)的射頻輸入點所造成的阻抗(主要為寄生電容)可以被阻隔。因此，射頻低雜訊放大器可以成功地與本論文所提出的阻抗隔絕技術共同設計，以達成同時擁有優異射頻性能與高靜電放電耐受度的目標。本論文量測應用阻抗隔絕技術的靜電放電防護電路之功率增益(power gain, S21)與雜訊指數(noise figure, NF)，並與傳統使用雙二極體的靜電放電防護架構進行比較。應用此阻抗隔絕技術進行靜電放電防護設計之低雜訊放大器已實作於 0.25 微米金氧半製程。此阻抗隔絕技術可有效地改善 5.2-GHz 低雜訊放大器之人體放電模式(human-body-model, HBM)靜電放電耐受度，使其達到五千伏特，並使機械放電模式(machine-model, MM)提升至三百伏特。此阻抗隔絕技術在更高的射頻工作頻段中，將具有更佳的靜電放電防護效用。

## 一、前言

連接到輸入輸出鉚墊(pad)的靜電放電防護電路所造成的寄生效應，通常會造成射頻電路的功率增益衰減，並增加其雜訊指數，在 GHz 頻段中，靜電放電防護電路造成的衝擊更嚴重。適用於射頻電路的靜電放電防護電路必須符合以下幾點需求：低寄生電容、固定的輸入電容、不受基底耦合雜訊(substrate coupling noise)影響，並擁有高靜電放電耐受度[1]，[2]。傳統的輸入靜電放電箝制元件使用閘極接地 NMOS(gate-ground NMOS, GGNMOS)，此元件通常以大尺寸實現，並使用較大的汲極接觸至複晶矽閘極(drain contact to poly gate)距離以提供足夠的靜電放電耐受度[3]，[4]。為了進一步改善 NMOS 的靜電放電耐受度，閘極耦合(gate-coupled)[5]，[6]與基

底觸發(substrate-triggered)[7]-[9]技術已經被提出，用以均勻導通提供靜電放電防護的 NMOS 多指(multiple fingers)結構。但以大尺寸實現並使用較大汲極擴散區(diffusion)面積的 GGNMOS，將導致輸入端產生更大的寄生電容，而閘極與汲極間的重疊電容(overlapped capacitance)，也額外增加輸入端的電容，所以此種 GGNMOS 不再適用於射頻電路之靜電放電防護設計，尤其是工作在高頻段的射頻電路。

在 N-well 內的 P+摻雜實現陽極的矽控整流器(silicon controlled rectifier, SCR)[10]-[12]，與在 P 型基底上使用 N+摻雜的 GGNMOS 相較之下，擁有較低的對地寄生電容，因此可能為適用於射頻電路之靜電放電防護元件之一。但必須克服較高的觸發導通(trigger-on)電壓與較慢的導通速度

[13]，以有效地保護在射頻金氧半製程下較薄的閘極氧化層。

對 2-GHz 射頻低雜訊放大器而言，靜電放電防護電路造成的負載電容，典型規格是最大值為 200 fF[14]。為了達成此要求，二極體已經普遍地被使用於射頻低雜訊放大器中的靜電放電防護電路[15]-[17]。此外，在以二極體實現輸入靜電放電防護電路的晶片之電源線(power rails)間，搭配有效導通的靜電放電箝制電路，可以明顯改善射頻輸入端的靜電放電耐受度[18]。

為了進一步降低靜電放電防護二極體的寄生電容，可以在射頻電路的靜電放電防護電路中，將兩個或更多的二極體串接，以達到射頻應用的要求[1]，[2]，[19]。然而，當射頻電路工作頻率上升，靜電放電防護二極體所產生的寄生電容，對某些較關鍵的應用，例如擁有高度偵測能力的射頻系統，此寄生電容值仍然太大。為了滿足這些較嚴格的條件，靜電放電防護二極體產生的寄生電容，必須使用電感來抵銷[20]-[23]。在[20]，[21]中，將製作於晶片上的共平面波導[24]與靜電放電防護二極體共同設計，可達到較好的輸入阻抗匹配。在[22]裡，以電感來抵銷射頻低雜訊放大器中靜電放電防護二極體的寄生電容。在[23]裡的寬頻射頻應用中，使用 T 型線圈(T-coil)的電感來抵銷靜電放電防護元件(NMOS 與 PMOS)的寄生電容。

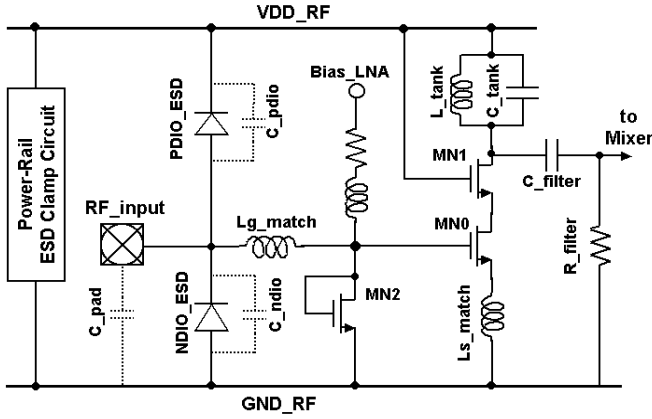
本論文使用 LC-tank 的新型態靜電放電防護設計，來隔絕靜電放電箝制元件的寄生電容[25]。本論文所設計之 LC-tank，將共振於射頻電路的工作頻率，導致射頻電路工作時，成為無窮大阻抗，亦即「斷路(open)」。換句話說，射頻輸入端將會在擁有 LC-tank 共振的靜電放電防護元件處，看到非常大的阻抗，以隔絕靜電放電防護元件的寄生效應。本論文也使用數種不同電感值與電容值的組合，以探討搭配 LC-tank 的靜電放電防護電路之效用，並在 0.25 微米金氧半製程中

驗證。在實驗中，以雙埠(two-port)地-訊號-地(ground-signal-ground, GSG)探針，對製作完成的 LC-tank 靜電放電防護電路，進行射頻電路的性能量測，包含雜訊指數與功率增益。使用靜電放電測試器驗證 LC-tank 靜電放電防護電路的人體放電模式與機械放電模式之靜電放電耐受度。此外，也將這個新提出的阻抗隔絕技術應用於一個工作於 5.2 GHz 的射頻低雜訊放大器，量測結果驗證了此電路同時擁有優異射頻性能與高靜電放電耐受度。

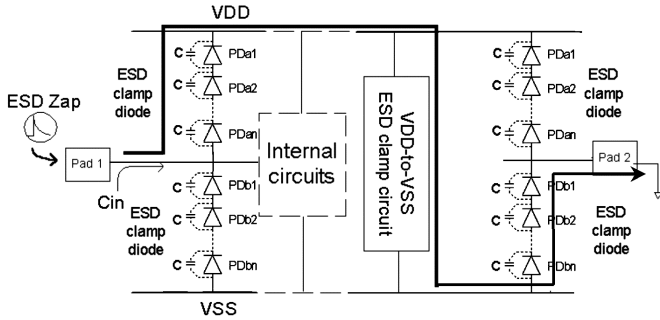
## 二、靜電放電防護元件對射頻電路造成之衝擊

對於晶片的每個輸入接點，有四種靜電放電測試模式[6]，分別為對輸入接點施加正或負極性靜電放電脈衝，搭配 VDD 或 VSS 接地。為了對這四種靜電放電轟擊模式提供全面且有效的保護，典型的射頻電路使用兩個二極體做為靜電放電防護電路，如圖一所示，此電路已成功地應用在 900-MHz 射頻接收器，並擁有八千伏特的人體放電模式靜電放電耐受度[18]。電源間靜電放電箝制電路被設計用來確保所有的靜電放電防護元件，在四種測試模式下都能工作在順偏區。順偏的二極體擁有相當高的靜電放電耐受度，因此可使用小尺寸的靜電放電防護二極體以降低對射頻電路造成的寄生效應。然而，當射頻電路的工作頻率逐漸提升，小尺寸的靜電放電防護二極體所造成的寄生效應，仍會影響射頻電路的性能。

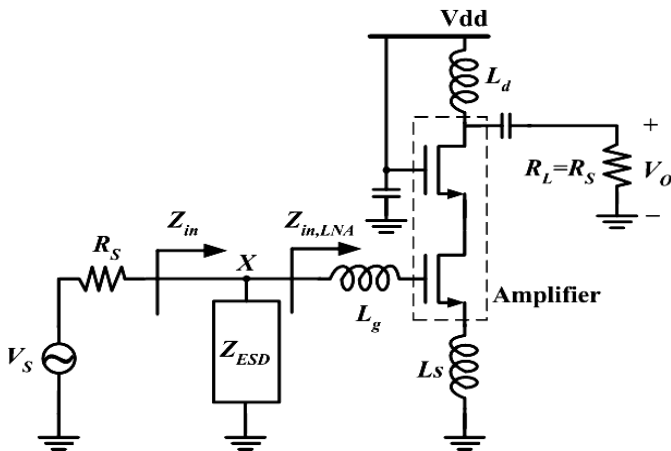
為了進一步降低靜電放電防護二極體在射頻輸入點造成的寄生電容，二極體可以用在金氧半製程中的複晶矽層來實現，並以串聯方式連接來降低等效電容值[1]，[2]。典型使用串聯的複晶矽二極體來保護射頻輸入點的靜電放電防護設計，如圖二所示，此設計已成功地 2.4-GHz 射頻低雜訊放大器中驗證，並擁有兩千伏特的靜電放電耐受度[2]。



圖一 典型應用於低雜訊放大器射頻輸入接點的靜電放電防護設計：使用雙二極體結構與有效導通之電源間靜電放電箝制電路 [18]。



圖二 使用複晶矽二極體串接，以降低靜電放電防護二極體的寄生電容，此為另一應用於低雜訊放大器射頻輸入接點的靜電放電防護設計[2]。



圖三 計算總功率增益時，搭配晶片上靜電放電防護元件的射頻低雜訊放大器之小訊號等效電路。

欲探究靜電放電防護二極體對 GHz 頻段射頻低雜訊放大器的性能造成之衝擊，搭配靜電放電防護元件的射頻低雜訊放大器之等效電路如圖三所示，根據此小訊號等效電路，可推導其功率增益。在電感退化(inductively degenerated)的低雜訊放大器工作頻率，其輸入阻抗可表示為[26]

$$Z_{in,LNA} = s(L_s + L_g) + \frac{1}{sC_{gs}} + \left(\frac{gm}{C_{gs}}\right)L_s \approx \omega_T L_s = R_s \quad (1)$$

擁有靜電放電防護元件的射頻低雜訊放大器，總輸入阻抗為

$$Z_{in} = Z_{ESD} || Z_{in,LNA} \approx Z_{ESD} || R_s \quad (2)$$

其中  $Z_{ESD}$  為靜電放電防護電路的寄生阻抗。

因此，低雜訊放大器的轉導(transconductance,  $G_m$ ) 為

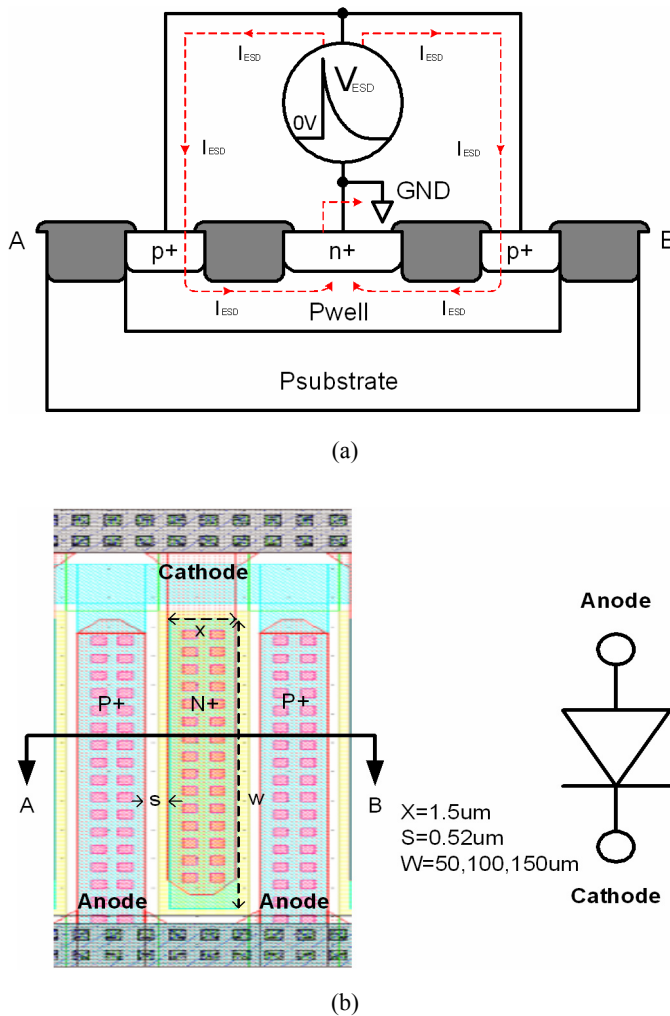
$$\begin{aligned} G_m &= \frac{Z_{ESD}}{Z_{ESD} + R_s} \frac{\omega_T}{s(R_s + Z_{in})} \\ &= \frac{\omega_T}{sR_s} \frac{Z_{ESD}}{R_s + 2Z_{ESD}} = \frac{\omega_T}{sR_s} \frac{1}{2 + \frac{R_s}{Z_{ESD}}} \end{aligned} \quad (3)$$

分析低雜訊放大器的功率增益時，先忽略 MOS 元件的回授電容  $C_{gd}$ ，並假設輸入與輸出共軛匹配，可得到功率增益簡化表示方式。換能(transducer)功率增益(相當於 S21 參數)為

$$\begin{aligned} G_T &= \frac{P_L}{P_{avs}} = \frac{\frac{1}{8} |V_s G_m|^2 (R_o || R_s)}{\frac{1}{8} |V_s|^2 / R_s} = |G_m|^2 R_s (R_o || R_s) \\ &= \left(\frac{\omega_T}{\omega_0}\right)^2 \frac{(R_o || R_s)}{R_s} \left| \frac{1}{2 + \frac{R_s}{Z_{ESD}}} \right|^2 \end{aligned} \quad (4)$$

在(4)式中， $P_L$  是傳送到負載的功率， $P_{avs}$  是從訊號源取得的功率， $R_o$  是放大器的輸出阻抗。 $\omega_T$  與  $\omega_0$  分別為 MOS 元件的單位增益頻率(unity-gain frequency)與射頻輸入訊號的頻率。

理想上，若靜電放電防護元件的阻抗( $Z_{ESD}$ ) 接近無窮大，擁有靜電放電防護元件的射頻低雜



圖四 淺溝槽隔離(STI)二極體的切面構造圖。(b)淺溝槽隔離二極體單元的佈局圖與其元件圖示。

訊放大器之功率增益( $G_T$ )與雜訊指數(NF)可以收斂到與沒有靜電放電防護元件的射頻低雜訊放大器相同。然而，即使靜電放電防護二極體工作在順向偏壓區，並搭配電源間的靜電放電箝制電路來釋放靜電放電電流，靜電放電防護二極體仍必須使用有限的元件尺寸以達到所需的靜電放電耐受度。即使使用有限的元件尺寸，靜電放電防護二極體的寄生電容與電阻，仍然會在式(4)內產生  $Z_{ESD}$ 。

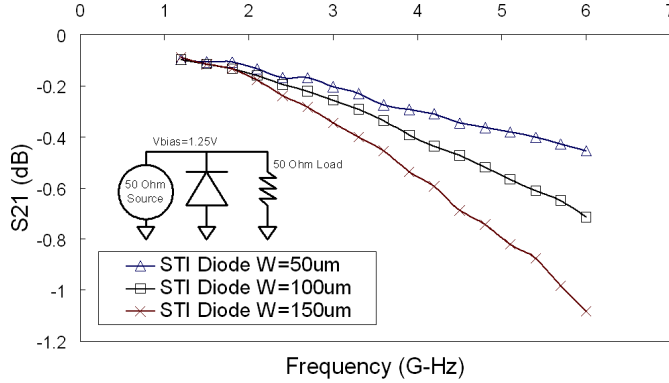
為了實際研究靜電放電防護二極體對射頻效能產生的負面影響，在 0.25 微米矽鈦合金 (salicided) 淺溝槽隔離技術 (shallow-trench-

isolation, STI)金氧半製程中，製作出不同尺寸的二極體[27]。淺溝槽隔離二極體的構造切面圖，如圖四(a)所示，此為 N+/P-well 二極體，使用淺溝槽將 N+擴散區(陰極)與 P+擴散區(陽極)隔開。實際的淺溝槽隔離二極體之佈局(layout)圖，與其元件符號如圖四(b)所示，圖四(b)中沿著 A 到 B 的直線切開之剖面圖，對應到圖四(a)。圖四(b)中，X 為 N+擴散區的長度，S 為淺溝槽隔離區的最小間隔，W 為 N+擴散區的寬度。在測試晶片 (test chip) 中，改變 N+擴散區寬度(W)，以研究其對射頻效能中功率增益(S21)與雜訊指數(NF)的影響。擁有電源間靜電放電箝制電路的晶片，遭受靜電放電轟擊時，在二極體中的靜電放電電流路徑，如圖四(a)中虛線所示。藉著導通的電源間靜電放電箝制電路輔助，靜電放電電流會由 P+擴散區，流經淺溝槽隔離區的下方，到達 N+擴散區。

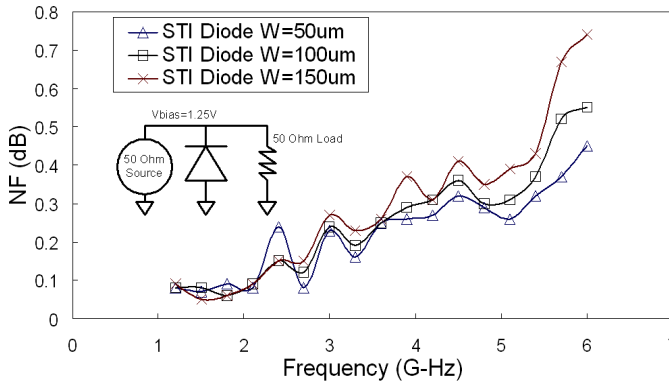
使用 S 參數量測系統測量不同尺寸的淺溝槽隔離二極體之功率增益(S21)與雜訊指數(NF)，每個靜電放電防護二極體都擁有各自的雙埠 GSG 鉗墊，使用 300 MHz 刻度，量測頻段為 1.2 GHz 到 6 GHz。將此靜電放電防護二極體放置於訊號線與地線間，訊號線的直流偏壓為 1.25 伏特。輸入埠與輸出埠都使用 50 歐姆的負載。

圖五(a)與圖五(b)分別為不同尺寸的淺溝槽隔離二極體其 S21 參數與雜訊指數的量測結果。相同尺寸的淺溝槽隔離二極體，當頻率上升，其 S21 參數會降低；頻率越高，越大尺寸的淺溝槽隔離二極體其 S21 參數降低得越明顯；頻率越高，不同尺寸的淺溝槽隔離二極體其功率增益損失的差異越大。越大的淺溝槽隔離二極體寄生電容，會將越多的射頻訊號流失至地，進而導致越大的功率增益損失。

由圖五(b)可清楚得知，相同尺寸的淺溝槽隔離二極體，其雜訊指數會隨著頻率上升而增加，而功率增益損失與雜訊指數成比例關係。越大尺

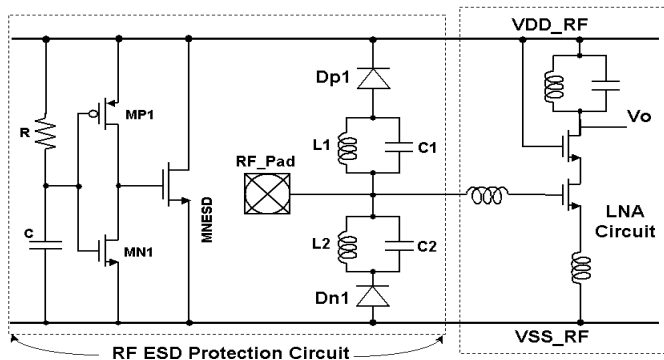


(a)



(b)

圖五 不同尺寸的淺溝槽隔離二極體，其(a)功率增益(S21 參數)與(b)雜訊指數(NF)的量測結果。



圖六 本論文提出之應用阻抗隔絕技術的 LC-tank 靜電放電防護設計(稱為 LCD 結構)，適用於射頻低雜訊放大器。

寸的淺溝槽隔離二極體，工作頻率升高時，雜訊指數增加得越明顯。此現象證實了靜電放電防護二極體對射頻電路效能造成的負面衝擊。

若射頻電路工作於非常高的頻率(大於 10

GHz)，由射頻輸入端看到靜電放電防護元件對地的等效阻抗( $1/j\omega c$ )將會降低，隨著  $Z_{ESD}$  降低，(4)式中的功率增益將降低，並且增加雜訊指數。由於在射頻低雜訊放大器中搭配任何靜電放電防護電路，阻抗  $Z_{ESD}$  都不會接近無窮大，因此製作於晶片上的靜電放電防護電路，將嚴重地惡化射頻低雜訊放大器的效能，在更高的工作頻段中，此效應更加明顯。所以，如何設計適用於工作頻率較高的射頻電路之晶片上(on-chip)靜電放電防護電路，是射頻晶片必須克服的挑戰。

### 三、應用阻抗隔絕技術之靜電放電防護設計

輸入端靜電放電防護元件的寄生電容與寄生電阻，對其造成的射頻功率增益損失與雜訊指數，有著顯著的影響。在射頻電路工作時，如果可以阻隔輸入端靜電放電防護電路，則射頻功率增益將不再惡化。為了在靜電放電防護元件處提供接近無窮大的阻抗，圖六應用阻抗隔絕技術來設計靜電放電防護電路，使用 LC-tank 消除靜電放電防護元件之寄生效應對 GHz 頻段射頻應用的影響。將 LC-tank 置於射頻輸入鉗墊與靜電放電防護二極體之間，在本文中此定義為 LCD 結構。

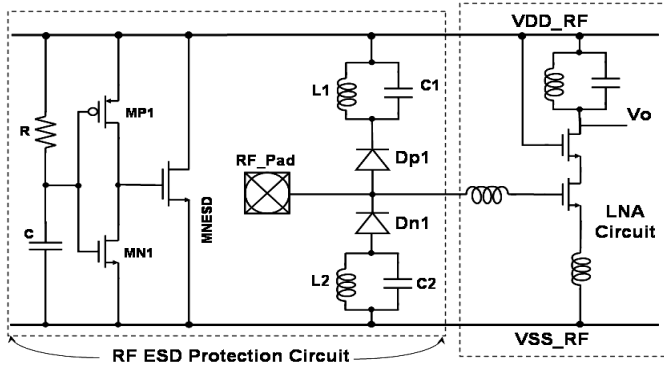
為了避免在 PS(positive-to-VSS) 模式與 ND(negative-to-VDD)模式中，靜電放電防護二極體工作於崩潰(breakdown)區，導致靜電放電耐受度大幅下降，在靜電放電防護設計中，必須在電源間(VDD 與 VSS 間)加上一個有效導通，使用電阻電容(RC-based)控制的靜電放電箝制電路。靜電放電電流在 PS 模式(ND 模式)下，會流經順偏的二極體 Dp1(Dn1)、使用厚金屬實現的電感、與位於 VDD 與 VSS 間的大面積元件 MNESD 到地。

設計 LC-tank 使其共振於射頻電路的工作頻率，理想上藉此可使射頻輸入端看進搭配共振 LC-tank 的靜電放電防護元件為無窮大阻抗。



表一 LC-Tank 中各種電感與電容的尺寸組合

| 共振頻率<br>2.7 GHz                 | 1                       | 2                   | 3                       | 4                       | 5                        |
|---------------------------------|-------------------------|---------------------|-------------------------|-------------------------|--------------------------|
| 電感<br>(圈數)                      | 12.12 nH<br>(6.5)       | 8.64 nH<br>(5.5)    | 5.88 nH<br>(4.5)        | 3.74 nH<br>(3.5)        | 2.17 nH<br>(2.5)         |
| MIM 電容<br>(面積 $\mu\text{m}^2$ ) | 219 fF<br>(14.8 × 14.9) | 361 fF<br>(19 × 19) | 596 fF<br>(24.4 × 24.4) | 999 fF<br>(31.6 × 31.6) | 1731 fF<br>(41.6 × 41.6) |



圖七 另一個本論文提出適用於射頻低雜訊放大器，應用阻抗隔絕技術的 LC-tank 靜電放電防護設計(稱為 DLC 結構)。

LC-tank 內的電感值與電容值由共振頻率  $\omega_0$  決定：

$$\omega_0 = \frac{1}{\sqrt{LC}} \quad (5)$$

考慮到實際在矽晶片上製作電感與電容伴隨的寄生效應，將相同共振頻率(本實驗中設為 2.7 GHz)的 LC-tank，使用數種不同的電感值與電容值組合，以觀察電路效能。表一列出使用不同的電感與電容實現的 LC-tank(共振頻率均為 2.7 GHz)，在使用最上層厚金屬的 0.25 微米金氧半製程中，設計並製作 LC-tank 內的電感。

考量在射頻金氧半製程中實現的晶片電感之品質因素(quality factor)，LC-tank 可能有些許阻抗不匹配的情形。為了驗證在靜電放電防護電路設計中使用阻抗隔絕技術的成效，圖七為另一個設計，此設計將 LC-tank 置於靜電放電防護二極體與 VDD/VSS 電源線之間(在本文中定義為

DLC 結構)。為了將 LC-tank 與 N+二極體串接，使用 deep N-well 隔開 N+二極體的 P-well 與共同的 P 型基底。

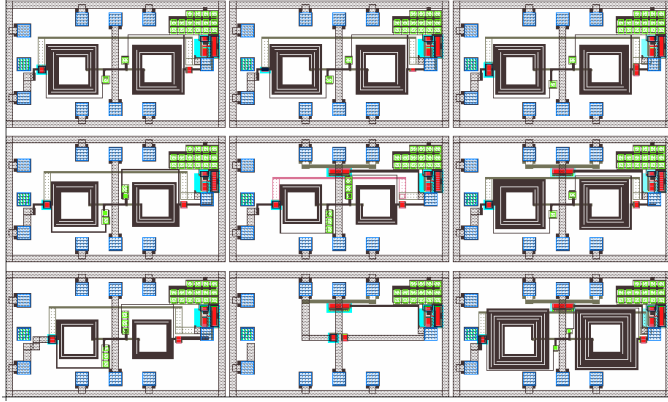
這些測試晶片使用不同的二極體尺寸(Dn1 與 Dp1)與不同的電感值、電容值(但全部 LC-tank 共振頻率皆為 2.7 GHz)，來驗證利用阻抗隔絕技術所設計射頻電路之靜電放電防護電路。

## 四、實驗結果

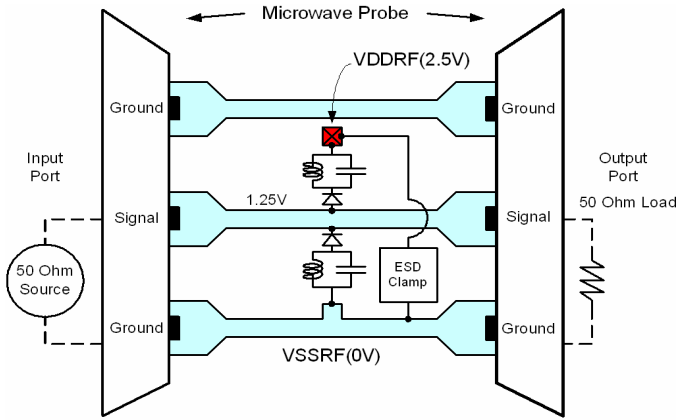
本實驗在 0.25 微米金氧半製程中，設計並驗證應用阻抗隔絕技術的靜電放電防護電路，使用數種不同電感與電容組成的 LC-tank，並分別採用 LCD 與 DLC 結構實現。在測試晶片中，此應用阻抗隔絕技術的靜電放電防護電路，適用於雙埠 GSG 量測的部分佈局圖，如圖八所示。靜電放電防護二極體(Dn1 與 Dp1)以等效電容為 100 fF、300 fF，與 600 fF 三種元件尺寸實現，表二列出各種尺寸的 Dp1 與 Dn1 二極體，經由 HSPICE 內元件參數計算得到的等效電容值。使用 S 參數量測系統 HP 85122A，以雙埠 GSG 量測方式，測量該 LC-tank 靜電放電防護電路之射頻效能：功率增益與雜訊指數。測量功率增益與雜訊指數時量測環境建置如圖九所示。在 GSG 佈局形式中的空鉗墊(dummy pad)也一併製作於測試晶片上，用以去除鉗墊的寄生效應(de-embed)。靜電放電防護電路的靜電放電耐受度，則使用 Zapmaster 儀器進行測試。

表二 產生各種等效電容的二極體佈局尺寸

| 總電容 | 200 fF              |                     |              | 600 fF              |                     |              | 1200 fF             |                     |              |
|-----|---------------------|---------------------|--------------|---------------------|---------------------|--------------|---------------------|---------------------|--------------|
| 尺寸  | W ( $\mu\text{m}$ ) | X ( $\mu\text{m}$ ) | Finger<br>數目 | W ( $\mu\text{m}$ ) | X ( $\mu\text{m}$ ) | Finger<br>數目 | W ( $\mu\text{m}$ ) | X ( $\mu\text{m}$ ) | Finger<br>數目 |
| Dn1 | 21.38               | 3.2                 | 1            | 21.38               | 3.2                 | 3            | 21.38               | 3.2                 | 6            |
| Dp1 | 22                  | 3.2                 | 1            | 22                  | 3.2                 | 3            | 22                  | 3.2                 | 6            |



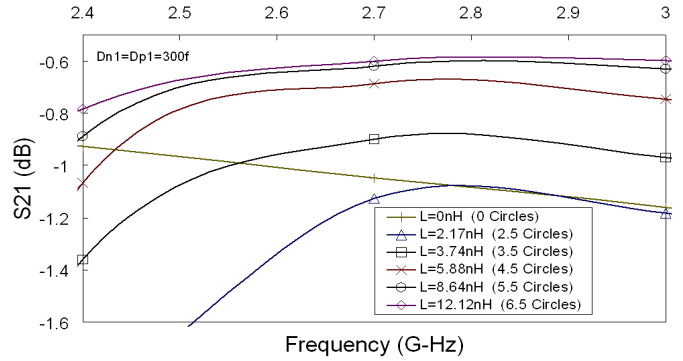
圖八 應用阻抗隔絕技術之靜電放電防護電路的部分佈局圖，此佈局方式適用於雙埠 GSG 量測方式。



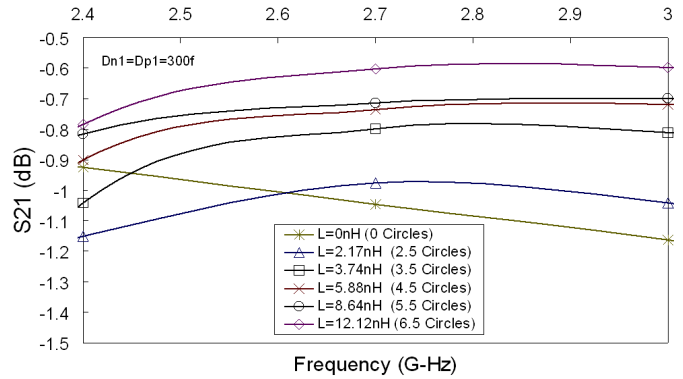
圖九 對使用不同 LC-tank 的靜電放電防護電路進行功率增益與雜訊指數量測時，量測系統與待測電路之等效電路示意圖。

## (A) 功率增益

應用阻抗隔絕技術的靜電放電防護電路，使用 LCD 與 DLC 之結構，其功率增益(S21 參數)的量測結果，分別如圖十(a)與(b)所示，量測頻率範圍為 2.4 GHz 到 3 GHz。圖十(a)與(b)中， $L=0$  nH (0 circle) 曲線代表沒有使用 LC-tank 來隔離靜



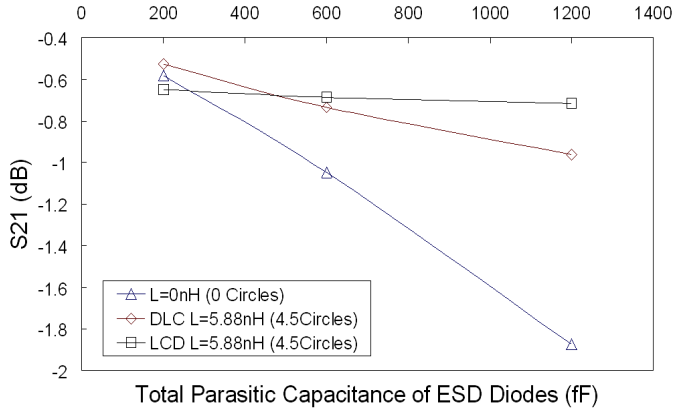
(a)



(b)

圖十 在 2.4 GHz 到 3 GHz 頻段，(a)LCD 結構與(b)DLC 結構應用阻抗隔絕技術之射頻靜電放電防護電路的功率增益(S21 參數)量測結果。

電放電防護二極體，此為圖一所示之傳統靜電放電防護設計，用以參考對照。圖十(a)與(b)中，每個二極體(Dn1 與 Dp1)都以寄生電容 300 fF 的尺寸實現。在圖十(a)，量測結果顯示當電感值越大，功率增益損失會降低。在 2.7 GHz，射頻功率增益(S21 參數)由 -1.05 dB(沒有 LC-tank)下降到 -0.6 dB(使用電感值為 12.12 nH 的 LC-tank)。

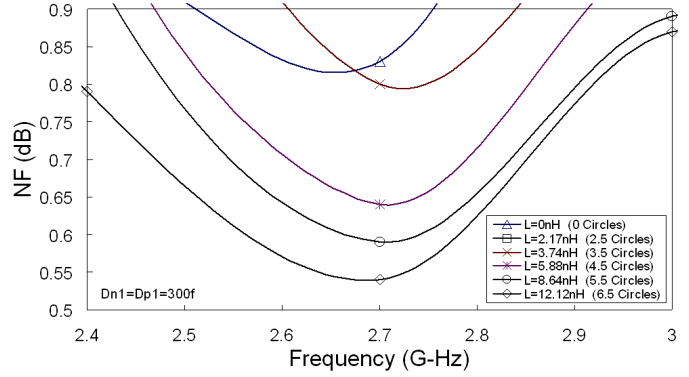


圖十一 在 2.7 GHz，使用阻抗隔絕技術的 LCD、DLC 結構，與傳統不含 LC-tank 的射頻靜電放電防護電路，在不同靜電放電防護二極體寄生電容下的功率增益(S21 參數)比較。

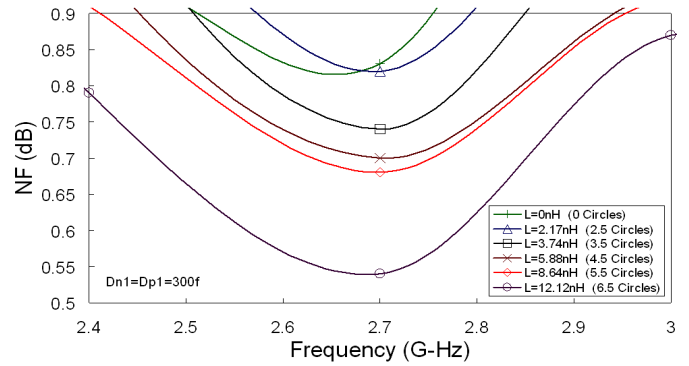
當靜電放電防護二極體以較大尺寸實現，本論文提出的射頻靜電放電防護設計(LCD 結構)與傳統靜電放電防護設計( $L=0$  nH 曲線，亦即沒有 LC-tank，如圖一所示)的功率增益損失比較(在 2.7GHz)，如圖十一所示。在圖十一中，當所有靜電放電防護二極體的總寄生電容增加(意謂加大靜電放電防護二極體尺寸)，S21 參數有嚴重惡化的情形。然而，圖十一中 S21 參數的惡化，可藉由在靜電放電防護電路中加入 LC-tank 抑制，當靜電放電防護二極體尺寸擴大，LCD 結構更能表現較佳的 S21 參數。這證明使用阻抗隔絕技術的 LC-tank 可以成功地阻隔大部分靜電放電防護二極體的寄生效應，使其不影響射頻電路，特別在使用較大靜電放電防護元件尺寸的情況下，成效更為明顯。

## (B) 雜訊指數

應用不同電感值組成的 LC-tank 之射頻靜電放電防護電路，在 2.4 GHz 到 3 GHz 的頻段中，LCD 與 DLC 結構的雜訊指數測量結果，分別如圖十二(a)與圖十二(b)所示。 $L=0$  nH (0 circle) 曲線代表沒有使用 LC-tank 來阻隔靜電放電防護二極體，此為圖一所示之傳統靜電放電防護設計，用以參考對照。本論文提出搭配 LC-tank 的靜電放



(a)



(b)

圖十二 在 2.4 GHz 到 3 GHz 頻段，(a)LCD 結構與(b)DLC 結構應用阻抗隔絕技術之射頻靜電放電防護電路的雜訊指數測量結果。

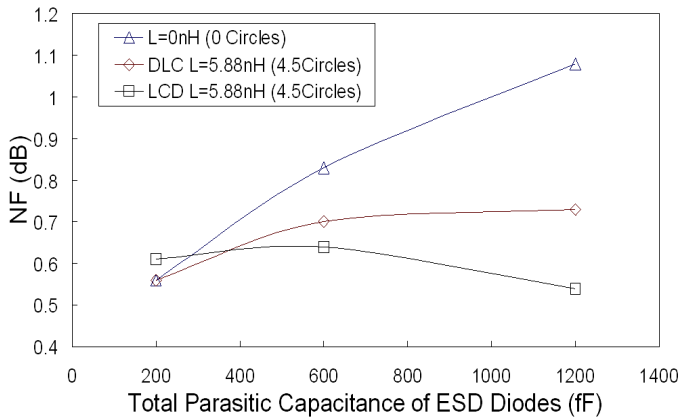
電防護電路，其雜訊指數比沒有 LC-tank 的傳統靜電放電防護電路低。全部靜電放電防護電路中，所有靜電放電防護二極體( $Dn1$  與  $Dp1$ )皆使用寄生電容為 300 fF 的尺寸。在 2.7 GHz，雜訊指數由 0.83 dB(沒有 LC-tank)下降至 0.54 dB(使用電感值為 12.12 nH 的 LC-tank)。

本論文提出的搭配 LC-tank 之靜電放電防護電路，與沒有 LC-tank 的傳統靜電放電防護電路，隨著靜電放電防護二極體尺寸改變，雜訊指數增加的情形(在 2.7 GHz)如圖十三所示。由圖十三可知，當靜電放電防護二極體的寄生電容總值上升，以 dB 為單位的雜訊指數明顯升高。使用較大尺寸的靜電放電防護元件(亦即較大的寄生電容)，射頻輸入接點的靜電放電耐受度可改善；



表三 使用 LCD 結構之靜電放電防護電路的靜電放電耐受度

| ESD<br>二極體<br>(fF) | LC-Tank  |           | PD-模式      |           | NS-模式      |           | PS-模式      |           | ND-模式      |           |
|--------------------|----------|-----------|------------|-----------|------------|-----------|------------|-----------|------------|-----------|
|                    | L<br>(圈) | C<br>(fF) | HBM<br>(V) | MM<br>(V) | HBM<br>(V) | MM<br>(V) | HBM<br>(V) | MM<br>(V) | HBM<br>(V) | MM<br>(V) |
| 600                | 2.5      | 1731      | 5700       | 425       | 7100       | 775       | 3200       | 275       | 7200       | 400       |
|                    | 3.5      | 999       | 4000       | 400       | 6800       | 700       | 2500       | 225       | 6000       | 350       |
|                    | 4.5      | 596       | 3400       | 375       | 6600       | 650       | 2000       | 200       | 5200       | 275       |
|                    | 5.5      | 361       | 3200       | 300       | 6400       | 650       | 1600       | 175       | 4600       | 225       |
|                    | 6.5      | 219       | 2800       | 300       | 6000       | 625       | 1400       | 150       | 3900       | 200       |
| 200                | 4.5      | 596       | 3000       | 300       | 4300       | 500       | 1600       | 125       | 3000       | 200       |
| 1200               | 4.5      | 596       | 3800       | 325       | 8000       | 775       | 2700       | 200       | 6300       | 325       |



圖十三 在 2.7 GHz，使用阻抗隔絕技術的 LCD、DLC 結構，與傳統不含 LC-tank 的射頻靜電放電防護電路，在不同靜電放電防護二極體寄生電容下的雜訊指數比較。

但此舉亦嚴重地提高雜訊指數而損害射頻性能。然而，在圖十三中，搭配 LC-tank 的靜電放電防護電路，可抑制雜訊指數提高的現象。加大靜電放電防護二極體尺寸，LCD 結構在高頻時表現出比 DLC 結構還低的雜訊指數，因為 DLC 結構中有連接至射頻輸入點的二極體。在 N+二極體結構內的 deep N-well，或 P+二極體結構裡的 N-well，其額外的寄生電容增會加些許雜訊指數。

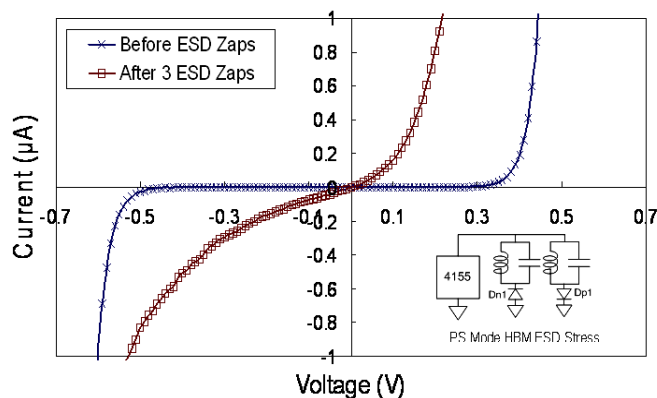
### (C) 靜電放電耐受度

表三列出應用阻抗隔絕技術的射頻靜電放電防護電路，以 LCD 結構，採用不同的電感圈數與二極體寄生電容值，對其施打正脈衝且 VDD 接地(PD 模式)、施打負脈衝且 VDD 接地(ND 模

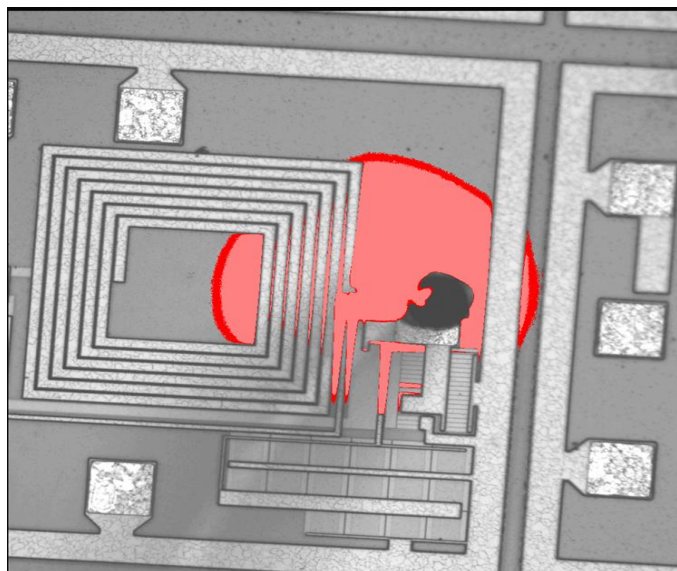
式)、施打正脈衝且 VSS 接地(PS 模式)，與施打負脈衝且 VSS 接地(NS 模式)的人體放電模式與機械放電模式靜電放電耐受度測試結果。所有的 LC-tank 共振頻率皆設計為 2.7 GHz，靜電放電防護二極體(Dn1 與 Dp1)的總寄生電容(Cdiodes)，以 200 fF，600 fF，與 1200 fF 的電容值進行測試，用以驗證其相對應的靜電放電耐受度。在 0.25 微米製程中，這些二極體的實際佈局尺寸列於表二。使用 LCD 結構的射頻靜電放電防護電路設計之射頻輸入點，經過施打正脈衝且 VSS 接地(PS 模式)模式測試前後，其電流-電壓曲線(I-V curve)之比較如圖十四所示，量測漏電流時，將 VDD 與 VSS 接點同時接地以觀測二極體接面是否已被靜電放電所損傷。經過靜電放電測試後，由 VDD 流至 VSS 的待命(stand-by)電流也必須檢查。

根據表三的量測結果，在 LCD 結構的射頻靜電放電防護電路中，搭配相同靜電放電防護二極體尺寸(600 fF)，使用越多圈數的電感，將導致越低的人體放電模式與機械放電模式靜電放電耐受度。在佈局中固定 LC-tank 中的電感為 4.5 圈，增加靜電放電防護二極體的尺寸(表三中的 Cdiodes)，將提升人體放電模式與機械放電模式靜電放電耐受度。

比較使用不同尺寸靜電放電防護二極體的靜

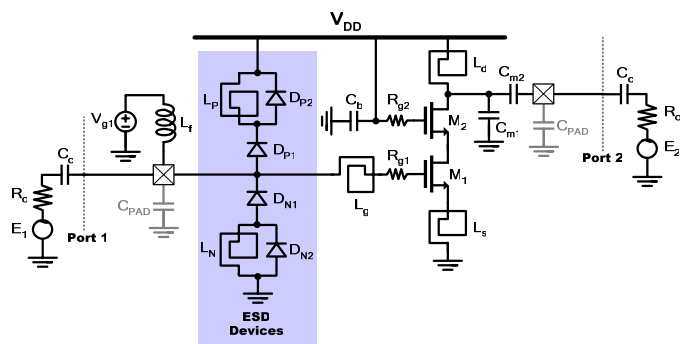


圖十四 LCD 結構射頻靜電放電防護電路輸入點，經過 PS-模式(施打正脈衝且 VSS 接地)靜電放電測試後，與測試前電流-電壓曲線的比較圖。



圖十五 經過 PS-模式(施打正脈衝且 VSS 接地)靜電放電測試後，微光顯微鏡(EMMI)觀測 LCD 結構射頻靜電放電防護電路之照片。紅色區域(損壞點)位於二極體 Dp1。

電放電耐受度，可以發現在相同 LC-tank 設計下，使用寄生電容 1200 fF 的靜電放電防護二極體，其靜電放電耐受度並未達到使用寄生電容 600 fF 靜電放電防護二極體的兩倍。為了尋找遭受靜電放電損壞的位置，將 VDD 偏壓在 2.5 伏特，輸入點偏壓在 0 伏特，觀察經過 PS 模式靜電放電測試的射頻輸入接點。經過 PS 模式靜電放電測試的 LCD 結構射頻靜電放電防護電路，由微光顯微鏡(emission microscope, EMMI)觀測所得照片如圖十五所示，燒毀處(亮點)位於 Dp1 二

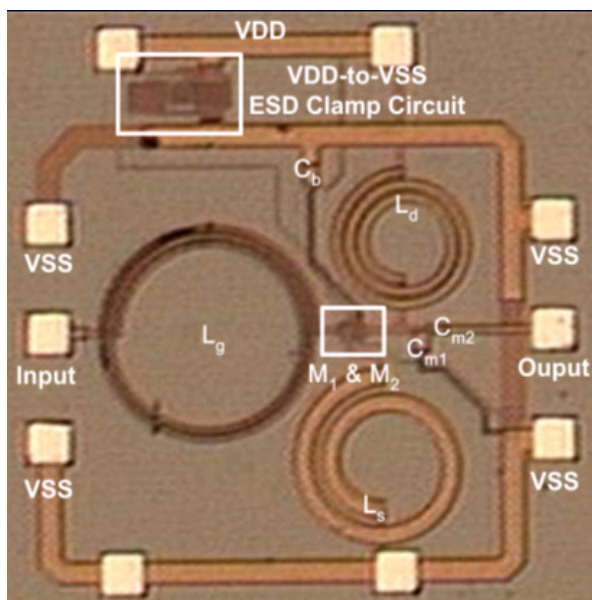


圖十六 搭配 LC-tank 靜電放電防護設計的 5.2-GHz 金氧半低雜訊放大器。

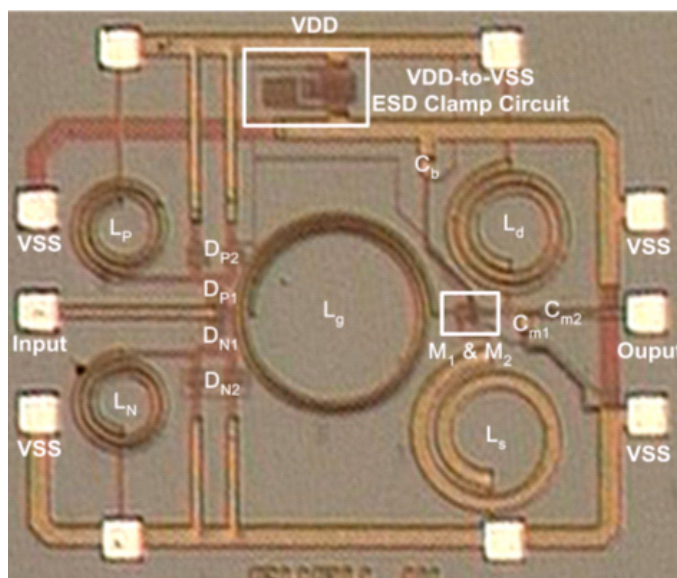
極體，非 Dn1 二極體，損壞肇因於 Dp1 的 P+擴散區至 N-well 的接觸穿突(contact spiking)。這證明在 PS 測試模式，靜電放電電流由射頻輸入接點經由 LC-tank 與 Dp1 二極體被引導至 VDD 電源線，接著經由 VDD 與 VSS 間開啟的電源間靜電放電箝制電路，將靜電電流引導至接地的 VSS 接點。為了降低二極體(Dp1 與 Dn1)產生的寄生電容，Dp1 二極體中 N-well 內 P+擴散區(Dn1 二極體中 P-well 內 N+擴散區)，到 P/N 接面的佈局空隙(layout clearance)必須以小間隙實現。Dp1 二極體遭受靜電放電轟擊後，產生接觸穿突的結果，如圖十五所示。

## 五、於 5.2-GHz 低雜訊放大器之應用實例

根據本論文所提出的阻抗隔絕技術，此 LC-tank 靜電放電防護設計應用於 5.2-GHz 的金氧半低雜訊放大器。搭配 LC-tank 靜電放電防護設計的 5.2-GHz 低雜訊放大器如圖十六所示，LC-tank 內的電容以二極體(DN2 與 DP2)取代，以提供更有效的靜電放電路徑。LC-tank 內的電容由二極體(DN2 與 DP2)取代後，二極體 Dp1 與 Dp2(DN1 與 DN2)構成串接的二極體，提供靜電電流放電路徑。在此低雜放大器，靜電放電防護二極體 Dp1(Dn1)使用  $12.5\mu\text{m} \times 20\mu\text{m}$  的佈局尺寸，產生約 300 fF 的接面電容。LC-tank 中的使用約



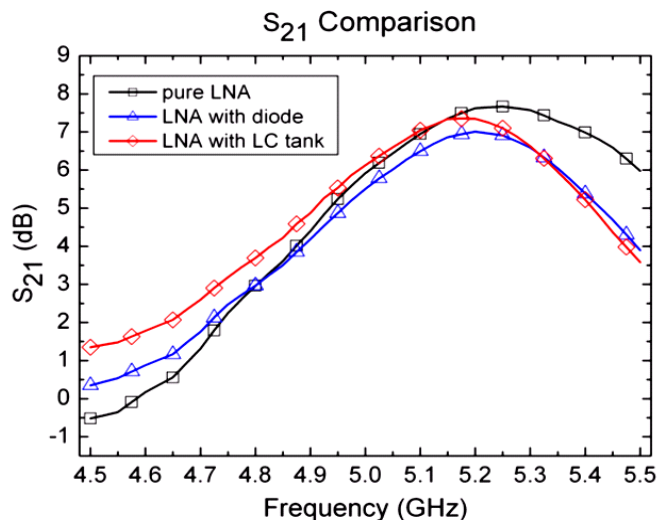
(a)



(b)

圖十七 製作完成的(a)沒有靜電放電防護電路與(b)搭配 LC-tank 靜電放電防護設計之 5.2-GHz 低雜訊放大器裸晶照片。

0.974 nH 的電感，約 1 pF 的電容(來自  $D_{N2}$  與  $D_{P2}$ )，產生接近 5.2 GHz 的共振頻率，以隔絕射頻電路與介於射頻輸入點與 VDD 或 GND 間的靜電放電防護二極體之寄生電容。為了比較射頻性能與靜電放電耐受度，因此同時在相同製程下設計並製作沒有靜電放電防護電路的 5.2-GHz 低



圖十八 搭配不同靜電放電防護設計之 5.2-GHz 低雜訊放大器的功率增益( $S_{21}$  參數)量測結果比較。

雜訊放大器，與搭配雙二極體結構(如圖一所示)靜電放電防護電路的 5.2-GHz 低雜訊放大器，用以比較量測結果。製作完成之沒有靜電放電防護電路的 5.2-GHz 低雜訊放大器，與使用新型態 LC-tank 靜電放電防護電路的低雜訊放大器，其裸晶(die)照片分別如圖十七(a)與圖十七(b)所示。

搭配不同靜電放電防護設計的 5.2-GHz 低雜訊放大器，功率增益量測結果如圖十八所示。在 5 GHz 到 5.2 GHz 頻段，搭配 LC-tank 靜電放電防護電路的低雜訊放大器，其功率增益與沒有靜電放電防護電路的低雜訊放大器幾乎相等。相同頻段中，搭配雙二極體結構靜電放電防護電路的 5.2-GHz 低雜訊放大器，相對於沒有靜電放電防護電路的低雜訊放大器，其功率增益有些許降低。這成功地證明新提出的阻抗隔絕技術可以在較高頻應用時，有效降低靜電放電防護元件對射頻效能的衝擊。在更高頻段中，LC-tank 靜電放電防護電路中的電感值與電容值都將降低，因此佈局面積將縮小，且製造過程中產生的寄生效應也會較輕微。這意謂新提出的阻抗隔絕技術，更適合應用於更高頻段的射頻系統。

接著對製作完成的 5.2-GHz 低雜訊放大器，進行人體放電模式與機械放電模式靜電放電耐受



表四 搭配不同靜電放電防護設計的 5.2GHz 低雜訊放大器之人體放電模式靜電放電耐受度測試結果

| 電路架構             | 人體放電模式靜電放電耐受度 (V) |       |       |       |              |
|------------------|-------------------|-------|-------|-------|--------------|
|                  | PS-模式             | ND-模式 | NS-模式 | PD-模式 | VDD 對 VSS 模式 |
| Pure LNA         | 100               | 50    | 50    | 100   | NA           |
| LNA with diode   | 5200              | 7000  | 6800  | 6700  | 7800         |
| LNA with LC-tank | 4900              | 6900  | 6700  | 6800  | 7800         |

表五 搭配不同靜電放電防護設計的 5.2GHz 低雜訊放大器之機械放電模式靜電放電耐受度測試結果

| 電路架構             | 機械放電模式靜電放電耐受度 (V) |       |       |       |              |
|------------------|-------------------|-------|-------|-------|--------------|
|                  | PS-模式             | ND-模式 | NS-模式 | PD-模式 | VDD 對 VSS 模式 |
| Pure LNA         | < 25              | < 25  | < 25  | < 25  | NA           |
| LNA with diode   | 275               | 375   | 400   | 275   | 525          |
| LNA with LC-tank | 275               | 400   | 450   | 425   | 525          |

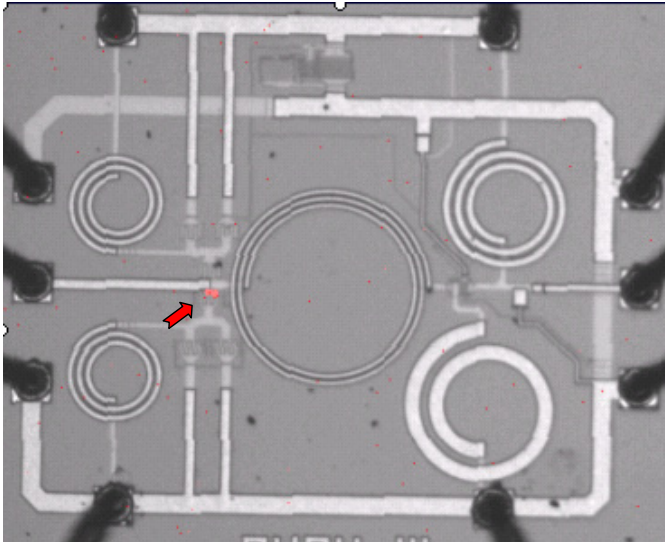
度測試。這三種 5.2-GHz 低雜訊放大器的人體放電模式與機械放電模式靜電放電耐受度，分別列於表四與表五。測試標準是觀察在 1 微安培下經過靜電放電測試的元件，其電流-電壓曲線相對於原曲線若偏移超過 30%，則判定為損壞。在搭配 LC-tank 與雙二極體結構靜電放電防護電路的兩種 5.2-GHz 低雜訊放大器中，把有效導通的靜電放電防護箝制電路(RC-Inverter-NMOS)置於 VDD 與 VSS 間。由量測結果得知，低雜訊放大器的人體放電模式靜電放電耐受度，可由沒有搭配靜電放電防護電路的約一百伏特，提升至搭配 LC-tank 靜電放電防護電路的約五千伏特。機械放電模式靜電放電耐受度，可由沒有搭配靜電放電防護電路的約二十五伏特，提升至搭配 LC-tank 靜電放電防護電路的約三百伏特。在維持足夠靜電放電耐受度前提下(人體放電模式四千九百伏特，機械放電模式兩百七十五伏特)，LC-tank 靜電放電防護電路中的靜電放電防護二極體尺寸還可以再縮小，以達到更優異的射頻效能。

為了觀察搭配 LC-tank 靜電放電防護電路的 5.2-GHz 低雜訊放大器之損壞處，經過六千九百伏特負脈衝且 VDD 接地(ND 模式)人體放電模式，進行靜電放電測試後，由微光顯微鏡(EMMI)

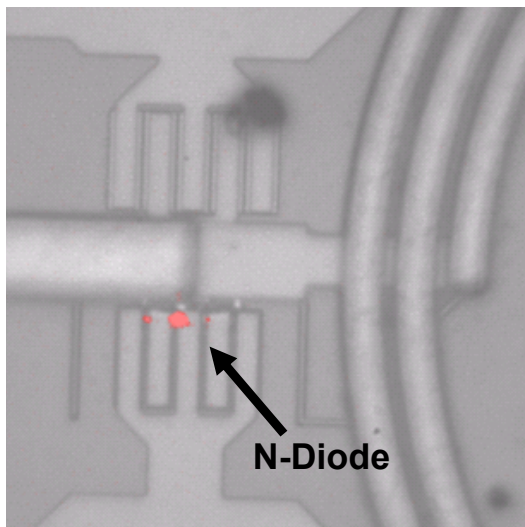
觀測所得照片如圖十九(a)所示。藉由圖十九(b)的放大圖可以確定被靜電放電損壞的位置為靜電放電防護二極體  $D_{N1}$ 。損壞位置為靜電放電防護二極體  $D_{N1}$ ，這證明了置於電源間的靜電放電箝制電路的確有效導通，並將靜電放電電流引導至順向偏壓的二極體，進而提升靜電放電耐受度。

## 六、結論

應用阻抗隔絕技術來設計射頻電路的靜電放電防護電路，已成功地在 0.25 微米金氧半製程中驗證。由 LC-tank 實現的阻抗隔絕概念，使其共振於射頻电路的工作頻率，理想上可使靜電放電防護元件之寄生阻抗對射頻訊號而言為無窮大。在達到人體放電模式兩千伏特及機械放電模式兩百伏特的靜電放電耐受度為前提，應用阻抗隔絕技術之射頻靜電放電防護電路中，靜電放電防護二極體(寄生電容為 300 fF 的  $D_{N1}$  與  $D_{P1}$ )與 LC-tank(使用 4.5 圈，5.88 nH 的電感)，可達到最佳化的射頻效能，在 2.7 GHz 的工作頻率下，分別為功率增益損失僅 -0.69 dB 與僅 0.63 dB 的雜訊指數增加量。本論文所提出的阻抗隔絕技術，也成功地應用於 5.2-GHz 射頻低雜訊放大器電路中。在選擇的頻段中，搭配 LC-tank 靜電放電防



(a)



(b)

圖十九 故障分析：(a)經過 6.9-kV ND-模式(施打負脈衝且 VDD 接地)人體放電模式靜電放電測試後，使用微光顯微鏡觀測搭配 LC-tank 靜電放電防護電路之 5.2-GHz 低雜訊放大器的照片。(b)照片放大圖顯示靜電放電損壞點位於靜電放電防護二極體  $D_{N1}$ 。

護設計的 5.2-GHz 低雜訊放大器，功率增益和沒有靜電放電防護電路的低雜訊放大器幾乎相等，這證明了新提出的阻抗隔絕技術之功效。

## 七、參考文獻

- [1] M.-D. Ker, T.-Y. Chen, and C.-Y. Chang, "ESD protection design for CMOS RF integrated circuits," in *Proc. of EOS/ESD Symp.*, 2001, pp. 346-354.
- [2] M.-D. Ker and C.-Y. Chang, "ESD protection design for CMOS RF integrated circuits using polysilicon diodes," *Microelectronics Reliability*, vol. 42, pp. 863-872, 2002.
- [3] S. Daniel and G. Krieger, "Process and design optimization for advanced CMOS I/O ESD protection devices," in *Proc. of EOS/ESD Symp.*, 1990, pp. 206-213.
- [4] S. G. Deebe, "Methodology for layout design and optimization of ESD protection transistors," in *Proc. of EOS/ESD Symp.*, 1996, pp. 265-275.
- [5] C. Duvvury and C. Diaz, "Dynamic gate coupling of nMOS for efficient output ESD protection," in *Proc. IRPS*, 1992, pp. 141-150.
- [6] M.-D. Ker, C.-Y. Wu, T. Cheng, and H.-H. Chang, "Capacitor-couple ESD protection circuit for deep-submicron low-voltage CMOS ASIC," *IEEE Trans. VLSI Systems.*, vol. 4, pp. 307-321, Sept. 1996.
- [7] M.-D. Ker, T.-Y. Chen, C.-Y. Wu, H. Tang, K.-C. Su, and S.-W. Sun, "Novel input ESD protection circuit with substrate-triggering technique in a 0.25- $\mu$ m shallow-trench- isolation CMOS technology," in *Proc. IEEE Int. Symp. Circuits and Systems*, 1998, pp. 212-215.
- [8] C. Duvvury, S. Ramaswamy, A. Amerasekera, R. A. Cline, B. H. Andresen, and V. Gupta, "Substrate pump NMOS for ESD protection applications," in *Proc. of EOS/ESD Symp.*, 2000, pp. 7-17.
- [9] M.-D. Ker and T.-Y. Chen, "Substrate-triggered technique for on-chip ESD protection design in a 0.18- $\mu$ m salicided CMOS process," *IEEE Trans. on Electron Devices*, vol. 50, no. 4, pp. 1050-1057, April 2003.
- [10] M.-D. Ker and K.-C. Hsu, "Overview of on-chip electrostatic discharge protection design with SCR-based



devices in CMOS integrated circuits” *IEEE Trans. on Device and Materials Reliability*, in press, 2005.

- [11] J.-H. Lee, Y.-H. Wu, K.-R. Peng, R.-Y. Chang, T.-L. Yu, and T.-C. Ong, “The embedded SCR NMOS and low capacitance ESD protection device for self-protection and RF application”, in *Proc. of IEEE Custom Integrated Circuits Conf.*, 2002, pp. 93 -96.
- [12] A. Wang and C.-H. Tsay, “On a dual-polarity on-chip electrostatic discharge protection structure”, *IEEE Trans. on Electron Devices*, vol. 48, pp. 978-984, May 2001.
- [13] M.-D. Ker and K.-C. Hsu, “Substrate-triggered SCR device for on-chip ESD protection in fully silicided sub-quarter-micron CMOS process,” *IEEE Trans. on Electron Devices*, vol. 50, no.2, pp. 397-405, Feb. 2003.
- [14] C. Richier, P. Salome, G. Mabboux, I. Zaza, A. Juge, and P. Mortini, “Investigation on different ESD protection strategies devoted to 3.3V RF applications (2 Ghz) in a 0.18 $\mu$ m CMOS process,” in *Proc. of EOS/ESD Symp.*, 2000, pp. 251-259.
- [15] R. Velghe, P. Vreede, and P. Woerlee, “Diode network used as ESD protection in RF applications,” in *Proc. of EOS/ESD Symp.*, 2001, pp. 337-345.
- [16] G. Gramegna, M. Paparo, P.G. Erratico, and P. De Vita, “A sub-1-dB NF 2.3-kV ESD-protected 900-MHz CMOS LNA,” *IEEE Journal of Solid-State Circuits*, vol. 36, pp. 1010-1017, July 2001.
- [17] P. Leroux, J. Janssens, and M. Steyaert, “A 0.8 dB NF ESD-protected 9mW CMOS LNA,” in *Tech. Dig. of ISSCC*, 2001, pp. 410-411.
- [18] M.-D. Ker, W.-Y. Lo, C.-M. Lee, C.-P. Chen, and H.-S. Kao, “ESD protection design for 900-MHz RF receiver with 8-kV HBM ESD robustness,” in *Dig. of IEEE RFIC Symp.*, 2002, pp. 427-430.
- [19] G. Chen, H. Feng, H. Xie, R. Zhan, Q. Wu, X. Guan, A. Wang, K. Takasuka, S. Tamura, Z. Wang, and C. Zhang “Characterizing diodes for RF ESD protection”, *IEEE Electron Device Letters*, vol. 25 , pp. 323-325, May 2004.
- [20] C. Ito, K. Banerjee, and R. W. Dutton, “Analysis and design of distributed ESD protection circuits for high-speed mixed-signal and RF ICs,” *IEEE Trans. on Electron Devices*, vol. 49, pp. 1444-1454, Aug. 2002.
- [21] M.-D. Ker and B.-J. Kuo, “ESD protection design for broadband RF circuits with decreasing-size distributed protection scheme,” in *Dig. of IEEE RFIC Symp.*, 2004, pp. 383-386.
- [22] S. Hyvonen, S. Joshi, and E. Rosenbaum, “Cancellation technique to provide ESD protection for multi-GHz RF inputs,” *Electronics Letters*, vol. 39, pp. 284-286, Feb. 2003.
- [23] S. Galal and B. Razavi, “Broadband ESD protection circuits in CMOS technology,” *IEEE Journal of Solid-State Circuits*, vol. 38, pp. 2334-2340, Dec. 2003.
- [24] C. P. Wen, “Coplanar waveguide: a surface strip transmission line suitable for non- reciprocal gyromagnetic device applications,” *IEEE Trans. on Microwave Theory Tech.*, vol. MTT-17, pp. 1087-1090, Dec. 1969.
- [25] M.-D. Ker and C.-M. Lee, “ESD protection design for Giga-Hz RF CMOS LNA with novel impedance-isolation technique,” in *Proc. of EOS/ESD Symp.*, 2003, pp. 204-213.
- [26] D. K. Shaeffer and T. H. Lee, “A 1.5-V, 1.5-GHz CMOS low noise amplifier,” *IEEE Journal of Solid-State Circuits*, vol.32, no.1, pp.745-759, 1997.
- [27] M.-D. Ker and C.-M. Lee, “Interference of ESD protection diodes on RF performance in giga-Hz RF circuits,” in *Proc. of IEEE Int. Symp. on Circuits and Systems*, 2003, vol. 1, pp. 297-300.