

65奈米金氧半製程中 具低漏電流之 靜電防護電路設計

靜電放電防護技術專題

文—王暢資、唐天浩、蘇冠丞、柯明道

關鍵字：靜電放電(electrostatic discharge, ESD)、閘極漏電(gate leakage)、矽控整流器(silicon controlled rectifier, SCR)

摘要

本文提出一具低漏電流之新型靜電放電箝制電路，並適用於奈米級之互補式金氧半導體製程。利用矽控整流器(SCR)作為靜電放電保護元件，及靜電放電偵測電路採取基體觸發技術來提升其靜電放電防護能力。在考量閘極電流存在的現實情況下，此新型靜電放電偵測電路在正常工作模式下可有效地降低其漏電流，此靜電放電防護電路已在65奈米互補式金氧半製程中利用1伏特電壓元件實際被製作與驗證。實驗結果驗證此新型靜電放電箝制電路於1伏特電壓操作下能夠有效降低漏電流，並同時達到優異的靜電放電耐受度。

引言

隨著半導體製程的進步與發展，整合多功能的系統晶片已經成為各電子公司的產品研發主力，奈米電子時代的來臨提供積體電路更廣泛的設計平臺及更為前瞻的技術，許多積體電路產品已經使用奈米半導體製程技術進行量產。先進的奈米半導體製程雖然能有效地微縮元件尺寸進而提升電路運算效率，但半導體元件本身的特性卻會因尺寸過小而產生微米製程所不需考慮之問題，如閘極透納電流(gate direct tunneling current)會產生嚴重的

漏電而降低晶片的效能。相關文獻已提出當金氧半導體製程中之閘極氧化層厚度微縮至2奈米以下時，會產生相當嚴重的漏電流問題，並在全晶片之總漏電流中佔有不小的比例^[1]。在45奈米級以下之製程，高介電層/金屬閘極已被用來取代複晶矽以改善電極與絕緣體之間的缺陷密度，以克服閘極氧化層漏電流之問題^[2]。然而對於已經廣泛量產使用之90奈米及65奈米之金氧半導體製程而言，閘極氧化層漏電流是個無法避免的問題。現今閘極氧化層電流已經可以被準確地模式化^[3]，而半導體晶圓代工廠也已經在相對應的奈米級製程中，提供閘極透納電流之模式化參數(SPICE Model)給電路設計者使用。

積體電路可靠度為奈米金氧半導體製程一重要的問題，其中靜電放電(electrostatic discharge, ESD)防護已成為其中一個重要的可靠度指標。傳統式靜電放電箝制電路是由電阻和電容建構之靜電放電偵測電路以及一大尺寸之靜電放電箝制元件所組成^[4]，但若將此電路實現於奈米級之金氧半導體製程時，該大尺寸之金氧半元件，及利用金氧半結構實現之電容元件(MOS capacitor)均會面臨到很嚴重的閘極漏電流問題。舉例而言，一閘極長/寬為5微米/5微米之金氧半電容元件實現於65奈米製程，於1伏特工作電壓下，其閘極電流高達2微安培。在此狀況下，靜電放電偵測電路會因金氧半電容元件之漏電流產生誤動作的現象，而作為靜電放電箝制元件之

金氧半電晶體會因此誤動作之效應而無法完全關閉進而產生更多的漏電流。

為了解決靜電放電偵測電路之誤動作效應，已有相關文獻提出一準位回復電路來改善此現象^[5]，但是即使加上此回復電路，由於靜電放電箝制元件及金氧半電容元件本身的閘極電流，整個電路在高溫操作下仍產生相當嚴重的漏電流^[5]。若漏電現象無法改善，此靜電放電箝制電路將無法適用於攜帶型電子產品或是其他相關的低漏電產品應用，因此在奈米製程中，靜電放電箝制電路需考量閘極電流以達到低漏電流之特性。

本文提出一具低漏電流之新型靜電放電箝制電路，此電路含有一高效率之靜電放電偵測電路以提升靜電放電箝制元件之導通速度，所有元件以薄閘極氧化層之低電壓元件實現，藉由新提出之電路設計方法，此新型靜電放電箝制電路在正常工作情況下的總漏電流得以有效地降低。此靜電放電箝制電路已在65奈米互補式金氧半製程中利用1伏特電壓元件實際被製作與驗證。

具低漏電流之 靜電放電箝制電路

本文所提出的具低漏電流之靜電放電箝制電路包含靜電放電箝制元件及靜電放電偵測電路，如圖1所示。矽控整流器(silicon control rectifier, SCR)^[6]，由金氧半導體製程中互相耦合的n-p-n以及p-n-p兩個雙載子接面電晶體形成正迴授所構成，通常而言具有很低的握住電壓

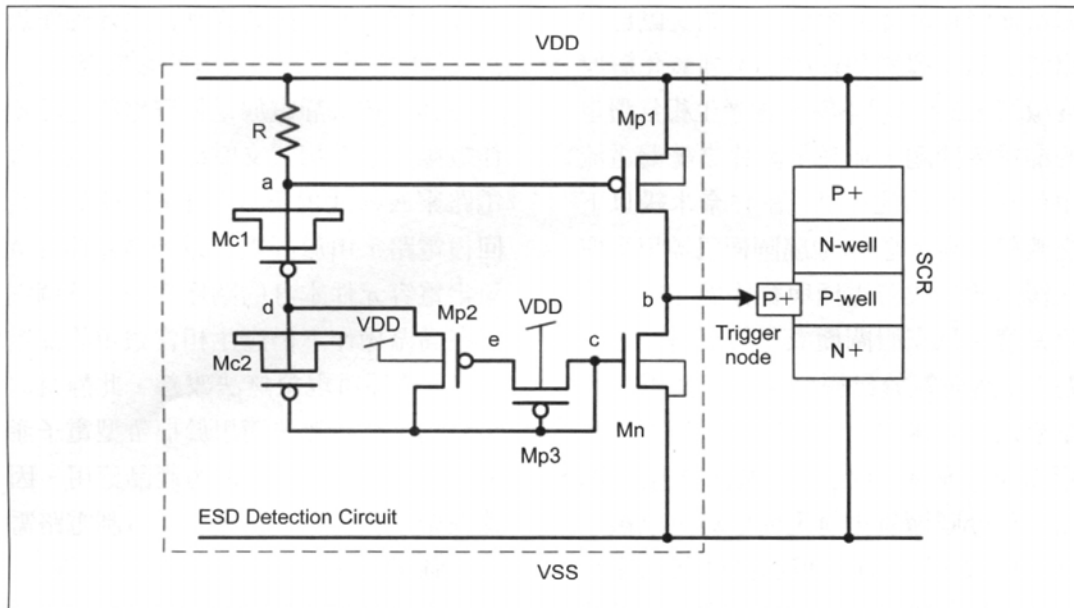


圖1 新型具低漏電之靜電放電箝制電路設計，所有元件均使用薄閘極氧化層低電壓元件，其中矽控整流器(SCR)作為靜電放電箝制元件

(holding voltage)，所以可在有限的佈局面積之下承受相當高的靜電放電電壓，另一方面，由於矽控整流器沒有複晶矽閘極結構，可有效地避免閘極氧化層漏電問題，因此矽控整流器被選用為本電路之靜電放電箝制元件。本文所提出之靜電放電偵測電路(ESD detection Circuit)用以加速靜電放電箝制元件的導通，在設計時考量元件本身的閘極電流，利用金氧半電容元件的閘極電流將整個靜電放電偵測電路控制在一特殊的偏壓狀態，進而有效地降低整個靜電放電偵測電路的總漏電流。

(一)正常工作模式下電路操作情形

在正常工作模式下電源線(VDD)會被偏壓在1伏特，當金氧半電容元件(Mc1)的閘極

電流被控制在很低的情況下，靜電放電偵測電路的a點會透過電阻R被偏壓在接近1伏特，此情形下，Mp1處於關閉狀態，不會有任何觸發電流從靜電放電偵測電路中產生。此時c點偏壓準位被設計在約為0.45伏特，使Mn處於導通狀態，進而將靜電放電箝制元件的觸發接點(Trigger node, b點)偏壓在零電位，以確保在正常工作模式下靜電放電箝制元件不會受到誤觸發而導通。Mp2及Mp3處於二極體連接模式用以導通Mc1之閘極電流，進而偏壓c點、d點及e點。其中d點的電壓準位透過Mc1

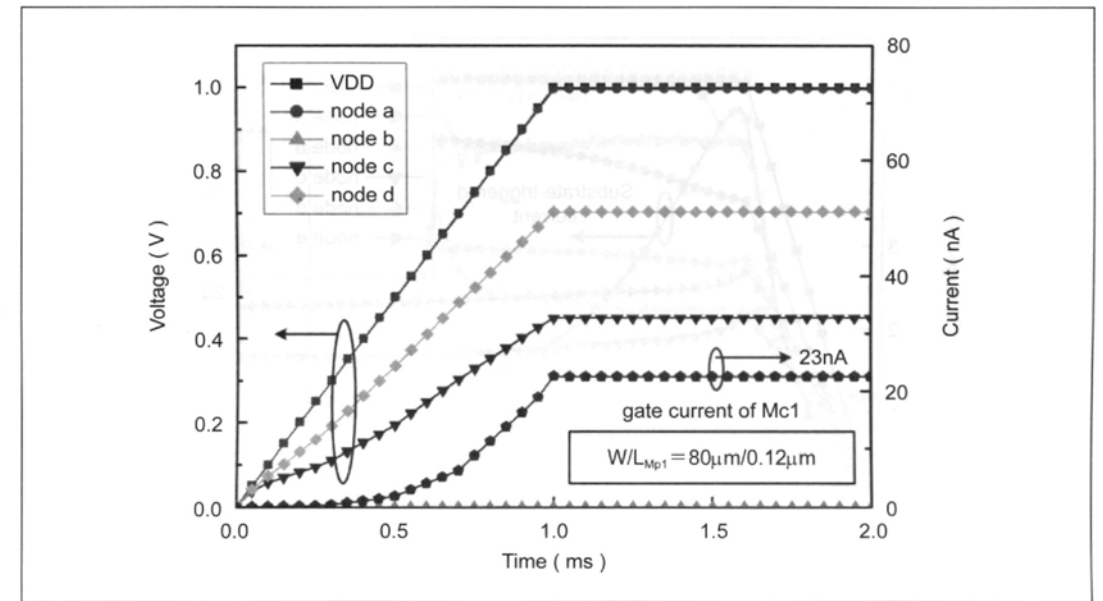


圖2 正常工作模式下電壓準位之模擬結果，及該偏壓下金氧半電容元件的閘極電流之模擬結果

之閘極電流被偏壓在約為0.7伏特，以降低金氧半電容元件Mc1閘極氧化層之跨壓，進而降低Mc1及Mc2的閘極漏電流。

圖2為HSPICE模擬在正常工作模式下，靜電放電偵測電路中所有接點的電壓準位，以及通過金氧半電容元件Mc1之閘極電流，在此模擬中，電源線被供給電壓至1伏特，其中電壓波形之上升時間為1毫秒。從模擬結果可知，在正常工作偏壓下，Mc1的閘極電流僅23奈安培，而a點也確實地被偏壓在接近1伏特(圖2中與VDD線重疊)，因此Mp1確實地處於關閉狀態而不會產生不當的觸發電流。

(二)靜電轟擊下電路操作情形

當電源線(VDD)對接地線(VSS)轟擊一快速上升之靜電放電電壓時，由於在靜電放電偵測電路中的電阻R及金氧半電容元件Mc1所產生的時間延遲會使得Mp1的閘極偏壓在一相對低的電壓準位(與VDD準位相比)並持續一段時間，因此，Mp1的閘極電壓準位處於低電壓準位，在靜電轟擊的模式下能快速導通並產生觸發電流至靜電放電箝制元件之觸發接點(b點)。作為靜電放電箝制元件的矽控整流器在靜電放電轟擊的情況下，能夠被有效地導通將靜電放電電流從電源線導通至接地線。

圖3為HSPICE模擬在受到靜電轟擊的情形下，靜電放電偵測電路中各接點電壓準位，其中對電源線輸入一脈衝上升時間為10奈秒、類似於人體靜電放電模式的電壓脈衝(電壓

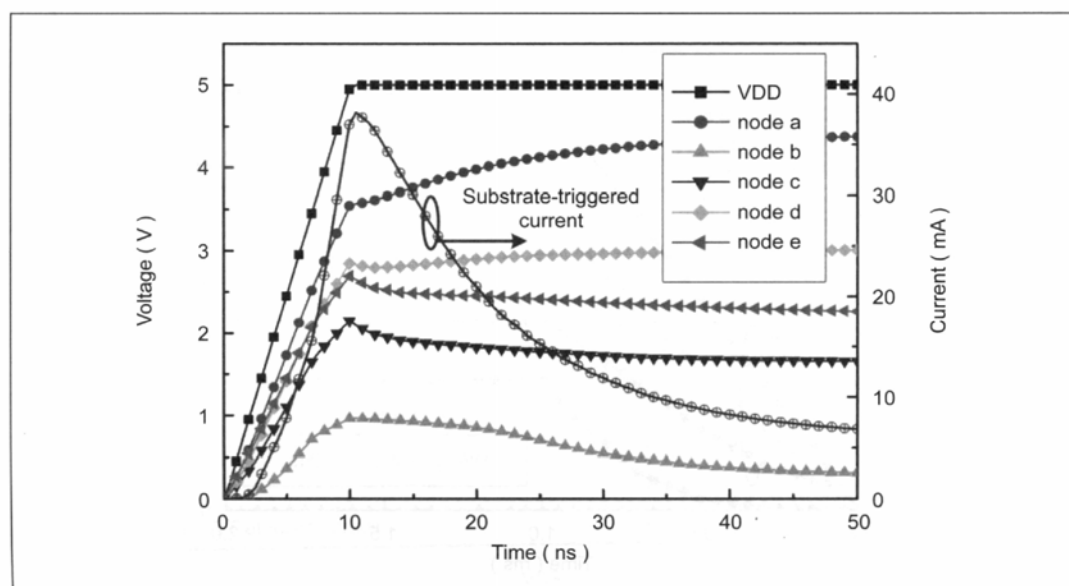


圖3 靜電轟擊下靜電放電偵測電路中各接點電壓準位及其產生的觸發電流之模擬結果

準位為0到5伏特)來模擬靜電放電的暫態電壓。從模擬結果可以得知，a點確實會因時間延遲的關係被偏壓在較低的電壓準位，以保證Mp1處於導通的狀態並產生觸發電流使靜電放電箝制元件能快速地導通來排放靜電放電電流。

實驗結果

本文所提出之靜電放電箝制電路已驗證於65奈米互補式金氧半導體製程中，並僅使用1伏特低電壓元件來實現。當靜電放電箝制元件的有效寬度為45微米時，此靜電放電箝制電路的總佈局面積為49微米×21微米。在實驗晶片中，特別調整靜電放電箝制元件在有效寬度上的不同，包括45微米、60微米及90微米，來比較其靜電放電耐受能力。

(一)導通特性之量測結果

矽控整流器的導通特性已成為評估其適用在靜電放電箝制元件上的重要指標，許多文獻已對此特性做了相當程度的研究^[7-9]。為了驗證本文所提出的靜電放電箝制電路的導通效率，施加一脈衝至靜電放電箝制電路的電源端，此電壓脈衝由0到5伏特，上升時間為10奈秒，以模擬人體靜電放電脈衝。當此正電壓脈衝輸入時，此快速上升的脈波會啟動靜電放電偵測電路，進而產生觸發電流至作為靜電放電箝制元件的矽控整流器，其導通的矽控整流器會在電源線及接地線之間成為一低阻抗之放電路徑，有效地排放靜電電流。觀察在電源線端量測到波形，其電壓準位會被靜電放電箝制電路

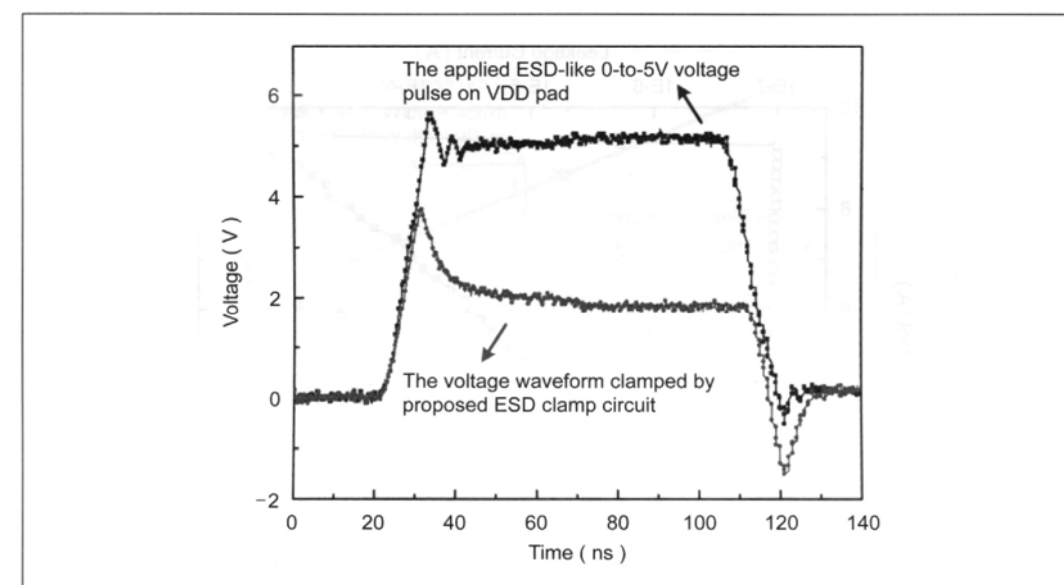


圖4 驗證靜電放電箝制電路的導通性能電壓波形圖

所箝制住，如圖4所示，該5伏特之電壓脈衝會在很短的時間內被箝制到一穩定的低電壓準位，這個電壓準位約為2伏特。藉此量測，靜電放電箝制電路成功被驗證在靜電轟擊的情況下，具有好的導通效能。

(二)靜電放電耐受能力

傳輸線觸波產生器(Transmission line pulsing generator, TLP)是用來驗證二次崩潰電流(secondary breakdown current, I_{2})，此量測系統具有100奈秒的脈衝寬度及10奈秒的脈衝上升時間，是用來模擬人體放電模式之靜電放電電壓波形。傳輸線觸波對於加上靜電放電偵測電路之靜電放電箝制元件所量測之電流-電壓特性曲線如圖5所示。當靜電放電

箝制元件的有效寬度分別為45微米、60微米及90微米時，該相對應靜電放電箝制電路的二次崩潰電流分別可達到4.54安培、6.03安培及9.24安培。沒有加上靜電放電偵測電路之靜電放電箝制元件的導通電壓約為11.5伏特，若加上靜電放電偵測電路，靜電放電箝制元件的導通電壓可以降到3至4伏特，因此可以驗證在受到靜電放電轟擊的情形下，靜電放電偵測電路所產生的觸發電流能有效地降低靜電放電箝制元件的導通電壓以加速靜電放電電流之排放。

此靜電放電箝制電路在人體放電模式及機械放電模式的靜電放電耐受能力，如表1所示。此靜電放電耐受能力的驗證中，使用了KeyTek ZapMaster量測儀器，每一測試電路在連續經過三次

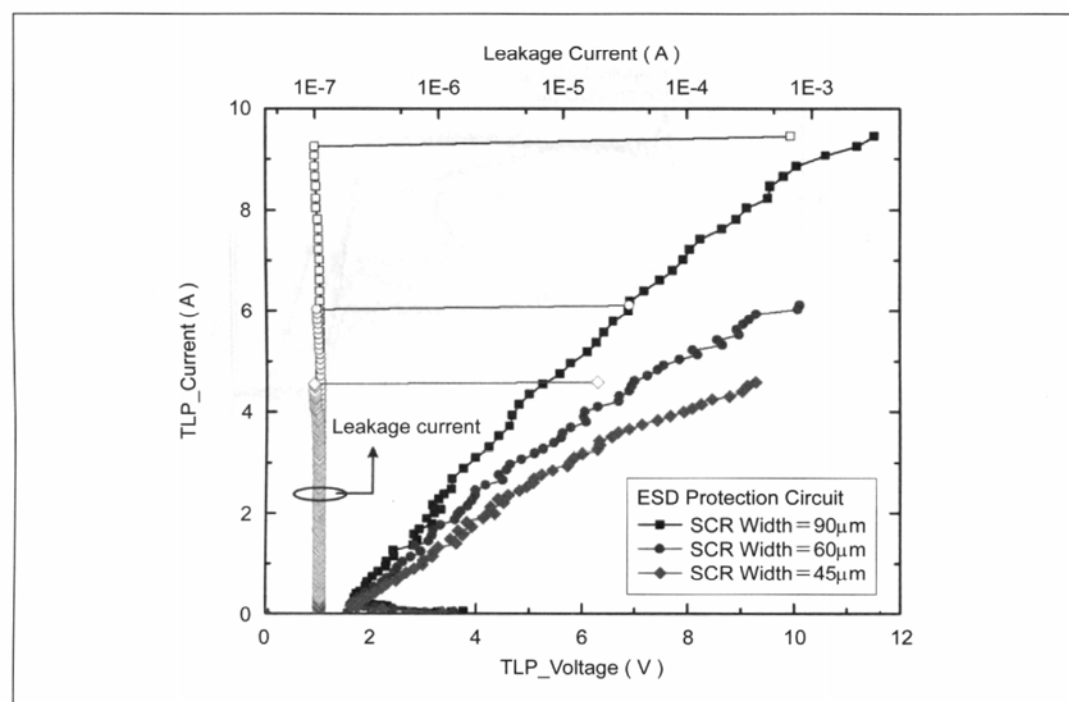


圖5 在矽控整流器不同的有效寬度之下，傳輸線觸波量測靜電放電箝制電路的電流-電壓特性曲線

表1 在矽控整流器不同的有效寬度之下，靜電放電箝制電路之靜電放電耐受能力

靜電放電箝制元件(SCR)之有效寬度	人體放電靜電耐壓能力 (HBM ESD Level)	機械放電靜電耐壓能力 (MM ESD Level)	二次崩潰電流 (Secondary Breakdown Current)
45μm	7000V	325V	4.54A
60μm	>8000V	400V	6.03A
90μm	>8000V	525V	9.24A

相同靜電電壓放電測試之後去量測比較其電流-電壓特性曲線，觀察是否有超過20%的飄移，若有則表示該靜電電壓已造成靜電防護電路損壞而失效。由表1可以得知，當靜電放電箝制元件的有效寬度為

45μm時，其人體放電模式靜電放電耐受能力可達到7000伏特；而機械放電模式靜電放電耐受能力可達到325伏特。當靜電放電箝制元件的有效寬度增加時，其靜電放電耐受能力也會隨之增加。

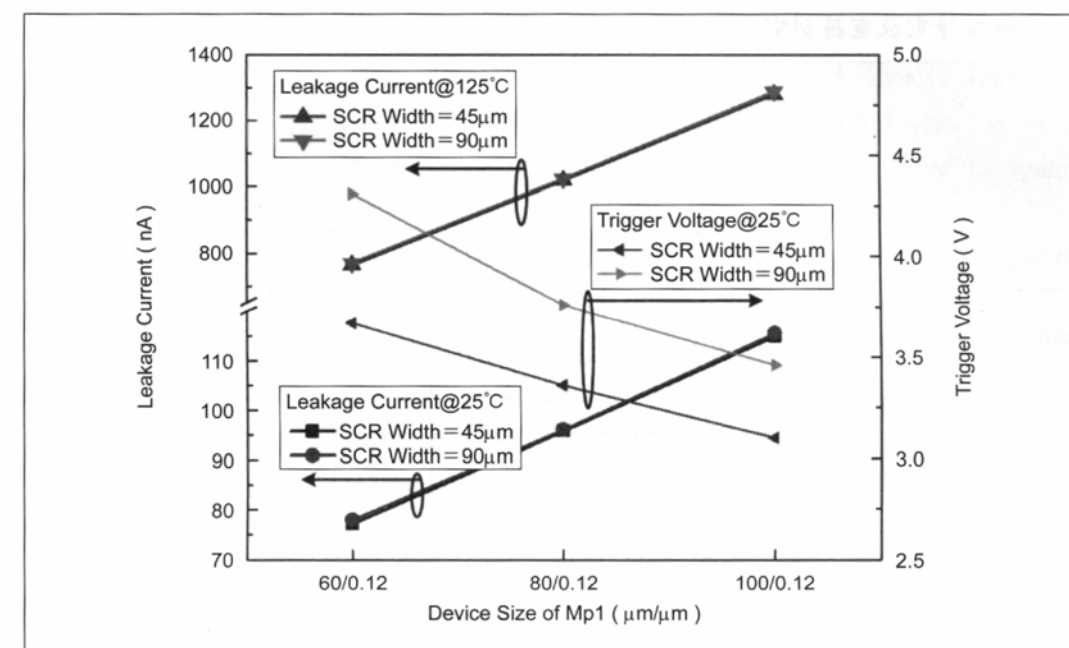


圖6 在不同溫度之下，靜電放電箝制電路偏壓在1伏特下所量測到的總漏電流；以及在靜電轟擊模式下靜電放電箝制電路的導通電壓

(三)漏電電流

從圖2的模擬結果可知，在正常工作之下，其金氧半電容元件的閘極漏電流僅有23奈安培，所以本文提出的靜電放電箝制電路之漏電流，主要是由靜電放電偵測電路中p型金氧半導體Mp1(作為觸發電流的驅動元件)所產生，增加Mp1的尺寸可以提高靜電放電箝制元件的導通速度，但也會同時增加正常工作模式下的漏電流，圖6為在不同溫度下，靜電放電箝制電路偏壓在1伏特時，所量測到的總漏電流；以及在靜電轟擊模式下靜電放電箝制電路的導通電壓。其中矽控整流器的有效寬度

為45微米或90微米並不會影響該電路之總漏電流，是由於矽控整流器本身的漏電流非常小(小於1奈安培)。從實驗結果可以發現，Mp1的尺寸大小會明顯地影響總漏電流的大小，但同時也會改變靜電放電箝制電路的導通電壓。

表2為傳統式靜電放電箝制電路^[4]、加上回復電路之改良型靜電放電箝制電路^[5]以及本篇論文提出之新型靜電放電箝制電路在效能上之比較。傳統式靜電放電箝制電路與新型靜電放電箝制電路在本實驗中一併驗證於相同的65奈米互補式金氧半導體製程。在1伏特偏壓下，傳統式靜電放電箝制電路於攝氏

表2 新型靜電放電箝制電路與先前技術之比較

	傳統式靜電放電箝制電路		加上回復電路之改良型靜電放電箝制電路	新型靜電放電箝制電路(圖1)
	僅靜電放電偵測電路	含靜電放電箝制元件 $W=400\mu\text{m}$ $L=0.12\mu\text{m}$	僅靜電放電偵測電路	含靜電放電箝制元件 $W_{\text{mp1}}=80\mu\text{m}$ $W_{\text{SCR}}=45\mu\text{m}$
攝氏25度下偏壓於1伏特之漏電電流	2.33 μA	3.74 μA	~1.5 μA (模擬結果)	96nA
攝氏125度下偏壓於1伏特之漏電電流	26.9 μA	44.8 μA	n/a	1.02 μA
人體放電靜電耐壓能力(HBM ESD Level)	n/a	3250V	n/a	7000V

25度及125度下量測到的總漏電流分別為3.74微安培及44.8微安培，其中靜電放電箝制元件是以長/寬比為400微米/0.12微米之n型金氧半電晶體實現。即使將會有閘極氧化層漏電問題的靜電放電箝制元件移除，該傳統式靜電放電箝制電路的靜電放電偵測電路於攝氏125度下仍會產生高達26.9微安培之漏電流。另一方面，在改良型靜電放電箝制電路中給定適當的元件尺寸，並將偏壓設定與傳統式靜電放電箝制電路相同的量測條件下做模擬，不考慮靜電放電箝制元件的情況下，其靜電放電偵測電路在攝氏25度下漏電流約為1.5微安培。相對地，在同時考量靜電放電耐受度及漏電流的效能上，新提出之靜電放電箝制電路均有較為優秀的表現，不僅在有限面積中達到7000伏特的人體放電模式靜電放電耐受能力，並在攝氏25度下只有96奈安培之

漏電流，為奈米製程下有效的靜電放電防護之解決方法。

結論

針對奈米級的金氧半導體製程，本文提出了一種僅使用低電壓元件之靜電放電箝制電路，並成功地在65奈米互補式金氧半導體製程驗證。此靜電放電箝制電路在很小的佈局面積之內可達到很高的靜電放電耐受能力，並且能有效地克服奈米製程中閘極氧化層漏電流現象，成功地降低在正常工作模式下靜電放電箝制電路的總漏電流。在設計日趨困難的奈米製程下，此靜電放電箝制電路設計為一有效的靜電放電防護之解決方法。■

參考文獻

- [1] L. K. Han et. al., "A modular 0.13 μm bulk CMOS technology for

high performance and low power applications", in Proc. Symp. VLSI Technol. Dig. Tech. Papers, 2000, pp. 12-13.

- [2] Z. Krivokapic et. al., "Nickel silicide metal gate FDSOI devices with improved gate oxide leakage," in IEDM Tech. Dig., 2002, pp. 271-274.
- [3] BSIM Model, Berkeley Short-Channel IGFET Model. <http://www-device.eecs.berkeley.edu/~bsim3/bsim4.html>.
- [4] M.-D. Ker, "Whole-chip ESD protection design with efficient VDD-to-VSS ESD clamp circuit for submicron CMOS VLSI," IEEE Tran. Electron Devices, vol. 46, no. 1, pp. 173-183, Jan. 1999.
- [5] S. S. Poon and T. Maloney, "New considerations for MOSFET power clamps," in Proc. EOS/ESD Symp., 2002, pp. 1-5.
- [6] M.-D. Ker and K.-C. Hsu, "Latchup-free ESD protection design with complementary substrate-triggered SCR devices," IEEE J. Solid-State Circuits, vol. 38, no. 8, pp. 1380-1392, Aug. 2003.
- [7] M.-D. Ker and K.-C. Hsu, "SCR device fabricated with dummy-gate structure to improve turn-on speed for effective ESD protection in CMOS technology," IEEE Trans. Semiconductor Manufacturing, vol. 18, no. 2, pp. 320-327, May 2005.
- [8] J. D. Sarro, K. Chatty, R. Gauthier, and E.

Rosenbaum, "Evaluation of SCR-based ESD protection devices in 90nm and 65-nm CMOS technologies," in Proc. of IEEE Int. Reliability Physics Symp., 2007, pp. 348-358.

- [9] G. Wybo, S. Verleye, B. V. Camp, and O. Marchial, "Characterizing the transient device behavior of SCRs by means of VFTLP waveform analysis," in Proc. EOS/ESD Symp., 2007, pp. 366-375.

作者簡介

王暢資先生

現職：聯華電子股份有限公司－可靠度技術發展及保證處/靜電防護工程部/高級工程師

學歷：國立交通大學電子研究所博士候選人
專長：先進製程之靜電放電防護設計、電源管理積體電路之靜電放電防護設計

唐天浩先生

現職：聯華電子股份有限公司－靜電防護工程部/資深經理
專長：靜電防護、電栓鎖防護

蘇冠丞先生

現職：聯華電子股份有限公司－可靠度技術發展及保證處/處長

柯明道先生

現職：義守大學電子工程學系－講座教授暨副校長
學歷：國立交通大學電子研究所博士
專長：奈米電子、積體電路設計及可靠度、輸入/輸出界面電路、靜電放電防護電路、平面顯示器電路設計