

BCD高壓製程之PSB和NBL 對矽控整流器觸發和 持有電壓的影響

文—許哲綸、柯明道、陳穩義、黃暉仁、周業甯、林耿立

關鍵字：矽控整流器(Silicon-Controlled Rectifier, SCR)、
靜電放電(Electrostatic Discharge, ESD)、
BCD(Bipolar CMOS DMOS)

摘要

由於矽控整流器(Silicon-Controlled Rectifier, SCR)可在小佈局面積下，提供良好的靜電放電保護能力，為一良好之靜電放電保護元件。在衡量矽控整流器靜電放電保護能力時，觸發電壓與持有電壓為兩個重要之參考指標。本文針對0.5微米16伏BCD製程中，具有不同PSB(P-type Snapback Implantation)和NBL(N-Buried Layer)結構之矽控整流器，探討其觸發電壓、持有電壓及靜電放電耐受度的差異與影響。

引言

藉由電源管理、電源供應和汽車電子...等的應用，高壓電晶體已被廣泛使用於積體電路(Integrated Circuits, ICs)中。在積體電路產品中，靜電放電為一重要可靠度問題。許多靜電放電保護元件，例如：雙載子接面電晶體、矽控整流器和高壓金氧半電晶體已被使用為晶片上的靜電放電保護元件^[1-3]。其中，矽控整流器由於在最小的佈局面積下具有最佳的靜電放電耐受度，故矽控整流器被應用於靜電放電防護設計中。

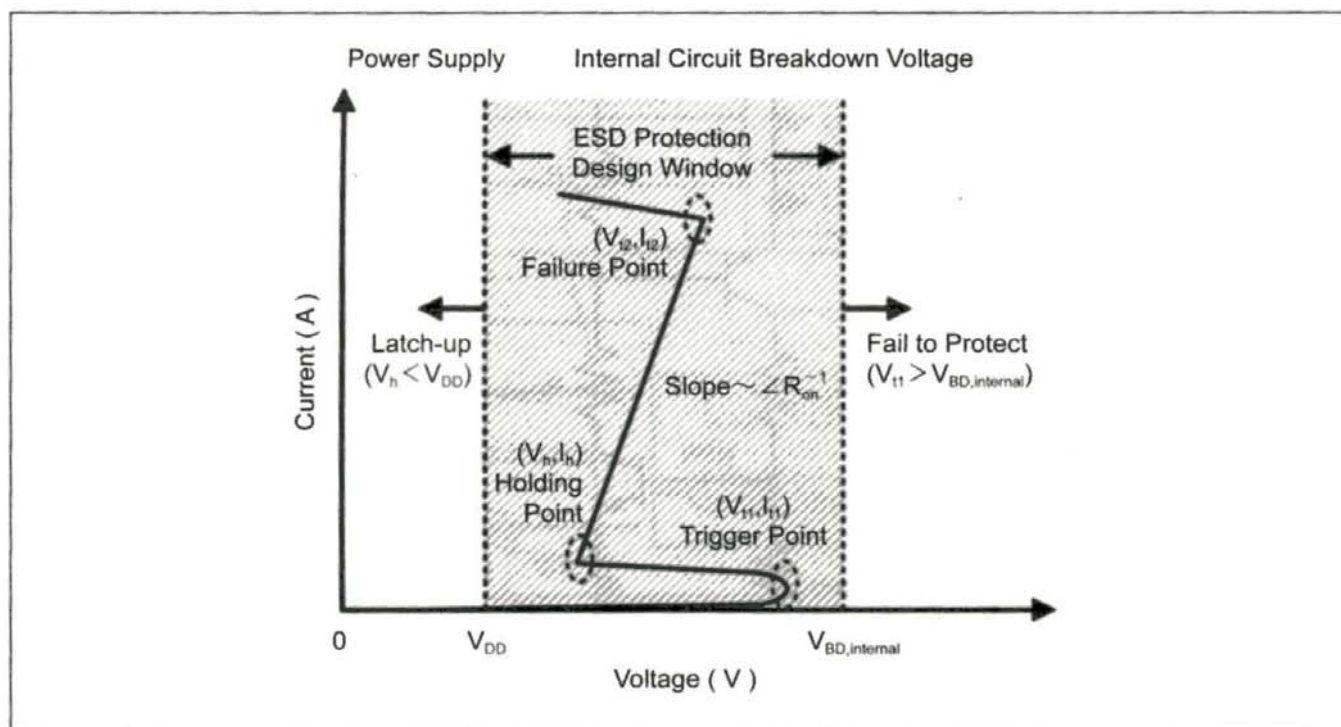


圖1 靜電放電保護設計範圍限制區域(ESD Protection Design Window)

一個好的靜電放電防護元件，其電流-電壓(I-V)曲線必須落在靜電放電保護設計範圍限制區(ESD Protection Design Window)，如圖1所示。在靜電放電發生時，靜電放電防護元件必須快速導通，進而保護內部電路(internal circuit)不因靜電能量而燒毀，因此，其觸發電壓(Trigger Voltage, V_{t1})必須介於最高供應電壓(V_{DD})與內部電路崩潰電壓($V_{BD, internal}$)間，此外，當靜電放電保護元件導通之後，其導通電阻(R_{on})不能過大，避免產生過多的熱，導致過低的二次崩潰電流(I_{t2})，造成靜電耐受度的不足。在電路正常工作時其持有電壓(Holding Voltage, V_h)必須大於應用上的最高供應電壓，以避免發生闕損(Latch-up)危險。

由於矽控整流器具有較低的導通

電阻，故矽控整流器常被應用於靜電放電防護設計中，然而，高觸發電壓和低持有電壓特性，將會限制矽控整流器在高壓靜電放電防護設計上的應用。本文透過Bipolar CMOS DMOS(BCD)製程中之PSB(P-type Snapback Implantation)和NBL(N-Buried Layer)布局選擇，研究其對矽控整流器的觸發電壓、持有電壓以及靜電放電耐受度之影響。

持有電壓和觸發電壓調變

(一)持有電壓調變

本章節分兩部份介紹影響靜電放電防護元件持有電壓的參數，第一部分是寄生PNP電晶體的基極電阻($R_{B, PNP}$)與NPN電晶體的基極電阻($R_{B, NPN}$)，第二部份是雪崩區域(Avalanche Region)的轉移。

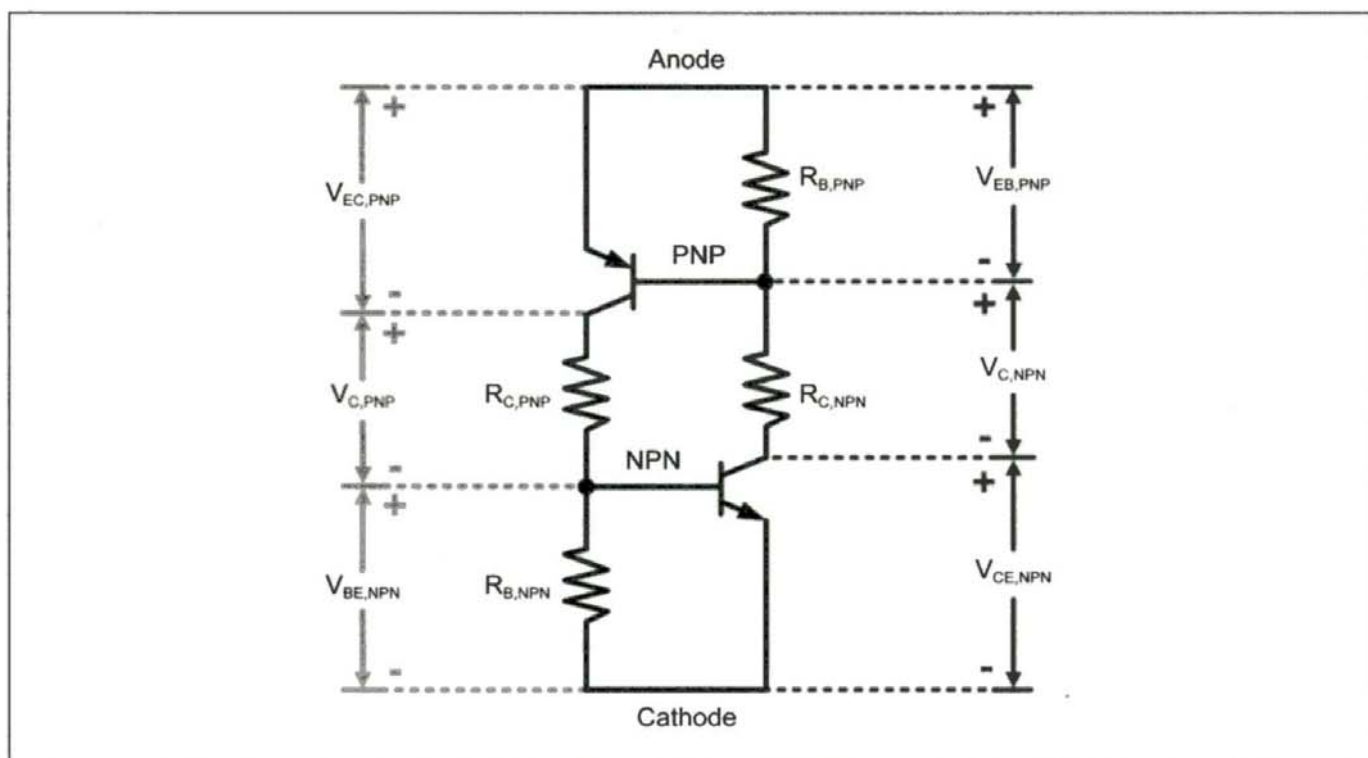


圖2 矽控整流器等效電路圖與其相對應之跨壓

首先介紹第一部份。圖2顯示矽控整流器之等效電路圖與其相對應之跨壓^[4]。由圖2可知，整體矽控整流器的持有電壓可表示為：

$$\begin{aligned} V_h &= V_{EC,PNP} + V_{C,PNP} + V_{BE,NPN} \\ &= V_{EC,PNP} + V_{BE,NPN} \times (R_{B,NPN} + R_{C,PNP}) / R_{B,NPN} \\ &= V_{EC,PNP} + V_{BE,NPN} \times (1 + R_{C,PNP} / R_{B,NPN}) \end{aligned} \quad (1)$$

同理亦可表示為：

$$\begin{aligned} V_h &= V_{CE,NPN} + V_{C,NPN} + V_{EB,PNP} \\ &= V_{CE,NPN} + V_{EB,PNP} \times (R_{B,PNP} + R_{C,NPN}) / R_{B,PNP} \\ &= V_{CE,NPN} + V_{EB,PNP} \times (1 + R_{C,NPN} / R_{B,PNP}) \end{aligned} \quad (2)$$

其中方程式(1)中， $V_{EC,PNP}$ 是PNP電晶體射極與集極跨壓， $V_{BE,NPN}$ 是NPN電晶體基極與射極跨壓， $R_{C,PNP}$ 是PNP電晶體集極電阻， $R_{B,NPN}$ 是NPN電晶體基極電阻， $V_{C,PNP}$ 是PNP電晶體

集極跨壓。相同地，方程式(2)中的參數定義如同上述所示。

從方程式(1)與方程式(2)中，PNP電晶體的集極電阻($R_{C,PNP}$)、NPN電晶體的集極電阻($R_{C,NPN}$)、PNP電晶體的基極電阻($R_{B,PNP}$)與NPN電晶體的基極電阻($R_{B,NPN}$)為影響矽控整流器持有電壓的變數。藉由增加雙載子接面電晶體的寄生集極電阻或是降低基極電阻，可提升矽控整流器整體的持有電壓。

第二部份介紹雪崩區域(Avalanche Region)的轉移對NPN電晶體持有電壓的影響^[5]。圖3是NPN電晶體元件剖面圖與傳輸線

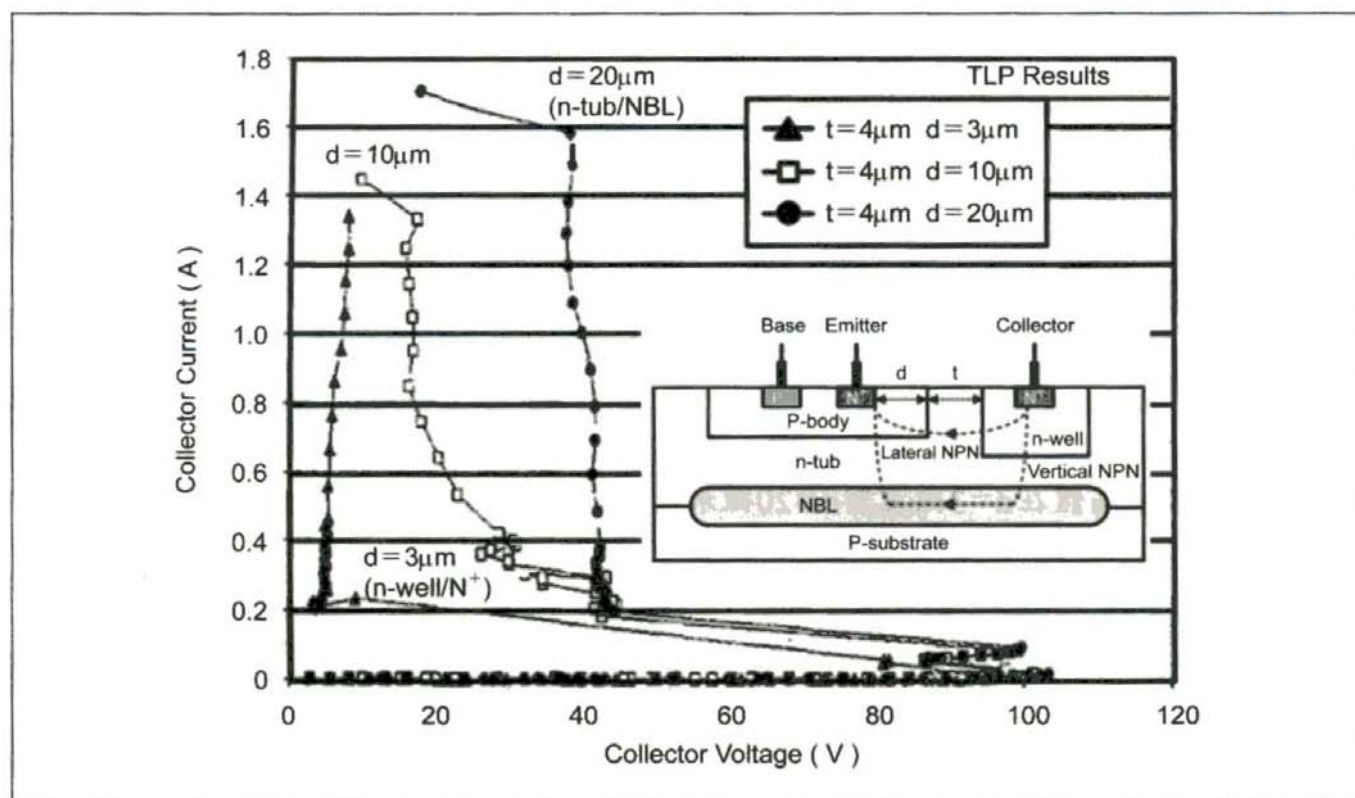


圖3 NPN電晶體元件剖面圖與傳輸線系統(Transmission Line Pulsing, TLP)量測圖^[5]

系統(Transmission Line Pulsing, TLP)量測圖。此實驗有兩種參數，分別是 d 和 t ， d 是P-body到 N^+ 射極(emitter)的距離， t 是P-body到n-well的距離。

圖3顯示在傳輸線系統量測下，固定參數 t 並增加參數 d 會導致NPN電晶體持有電壓的增加，圖3中顯示 $d=3$ 微米與 $d=20$ 微米分別有最小與最大的持有電壓。圖4顯示NPN電晶體在 $d=3$ 微米與 $d=20$ 微米的雪崩區域發生位置。圖4(a)顯示 $d=3$ 微米情形下，雪崩區域發生在位於集極(collector)端的 N^+ /n-well接面，圖4(b)顯示 $d=20$ 微米情形下，雪崩區域發生在位於較深處的NBL/n-tub接面，因為越濃的接面產生的電子電洞對(electron-hole pairs)越多，電子電洞對

的增加會降低持有電壓，所以在 $d=3$ 微米情形下，有最低的持有電壓。此外，比較圖3和圖4，顯示圖4(a) $d=3$ 微米，雪崩區域落在 N^+ /n-well接面，圖3中水平NPN電晶體的導通將會主宰整個靜電電流的放電路徑，所以有較低的持有電壓；相對的，圖4(b) $d=20$ 微米，雪崩區域落在NBL/n-tub接面，圖3中垂直NPN電晶體的導通將會主宰整個靜電電流的放電路徑，所以有較高的持有電壓。

(二)觸發電壓調變

為了保護內部電路(Internal Circuits)不因靜電放電而燒燬，矽控整流器必須有效率且快速地被觸發。許多降低靜電放電防護元件觸發電壓的研究

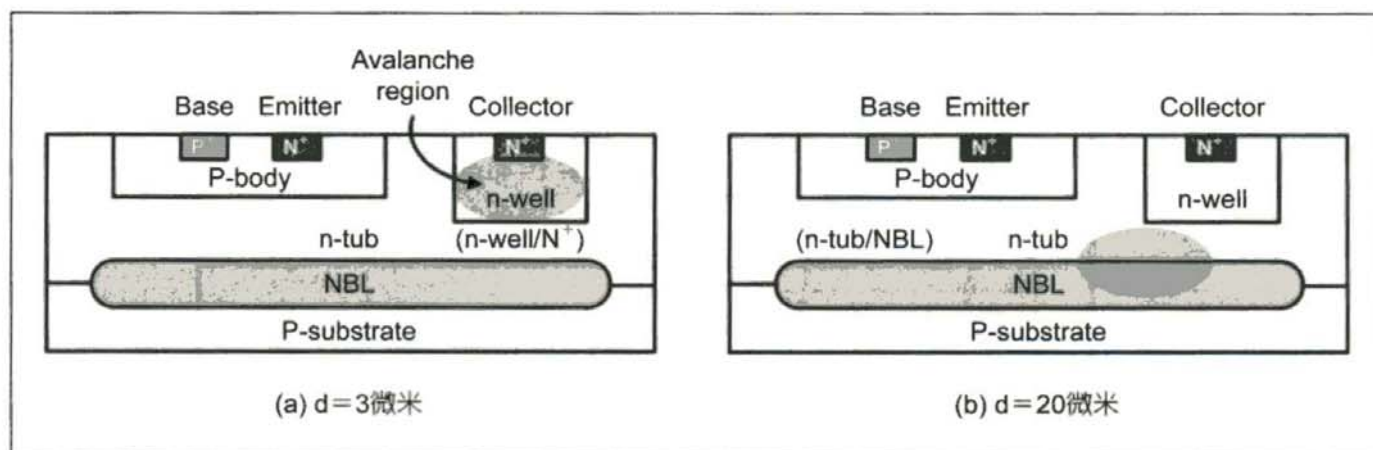


圖4 NPN電晶體在 $d=3$ 微米與 $d=20$ 微米的雪崩區域(Avalanche Region)發生位置^[5]

已被發展出來。從電路的觀點出發，可在靜電放電防護元件電路中適當加入觸發電路^[6]，然而，利用觸發電路降低觸發電壓的方法會額外增加佈局面積。從元件的觀點出發，鑿穿(Punch Through)效應^[5]也能有效降低觸發電壓，如圖3所示，調整NPN電晶體的參數 t ，其觸發電壓可有效地被調變，圖5顯示參數 t 對崩潰電壓與觸發電壓的關係，在固定參數 d 情形下，減少參數 t 會降低崩潰電壓與觸發電壓，這在 $0.7\mu\text{m}$ CMOS製程被驗證。利用空乏區(depletion region)的鑿穿效應，靜電放電防護元件的觸發電壓可進一步被設計，然而，利用鑿穿效應調整觸發電壓的方式，在不同製程下其觸發電壓會有所漂移，因此，需要適當控制 t 的大小，避免電路在正常操作下，導致靜電放電防護元件被誤觸發。

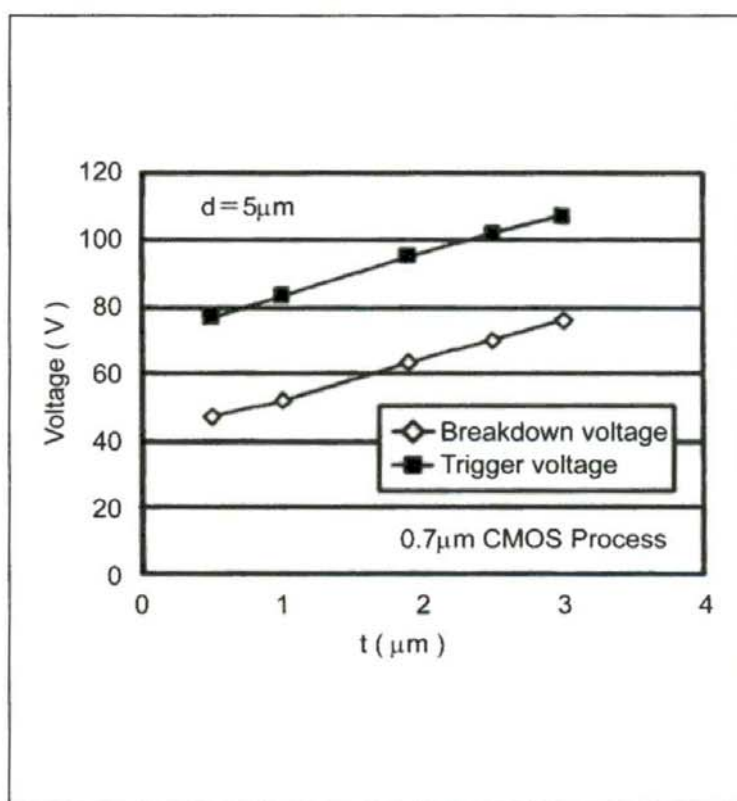


圖5 參數 t 對NPN電晶體的崩潰電壓與觸發電壓關係^[5]

在本文中，不使用外部觸發電路及降低製程變異的情形下，可透過改變NBL於矽控整流器結構中的位置，影響接面的崩潰電壓，進而降低矽控整流器的觸發電壓。

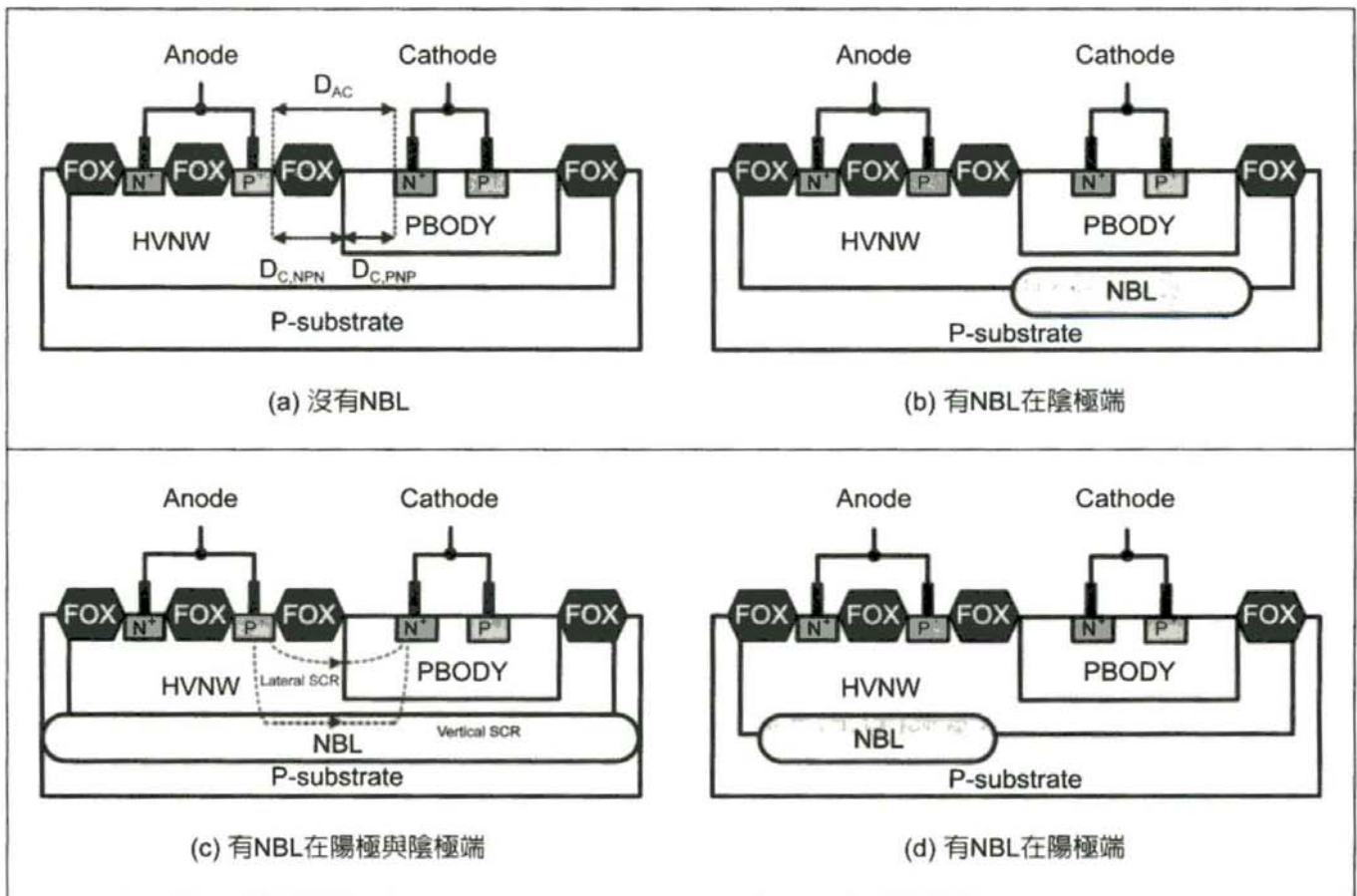


圖6 矽控整流器，沒有NBL、有NBL在陰極端、有NBL在陽極與陰極端和有NBL在陽極端，之元件剖面圖

靜電放電防護元件設計

本文第三章節分為兩大部份，第一部分是不同NBL的位置調變，第二部份則透過PSB 和NBL佈局選擇，研究其對矽控整流器的觸發電壓、持有電壓以及靜電放電耐受度之影響。

(一)不同NBL位置之矽控整流器

不同NBL位置之矽控整流器元件剖面圖如圖6所示。在圖6(a)中，陽極到陰極的距離(D_{AC})等於NPN電晶體等效集極長度($D_{C,NPN}$)加上PNP電晶體等效集極長度($D_{C,PNP}$)，可表示為：

$$D_{AC} = D_{C,NPN} + D_{C,PNP} \quad (3)$$

其中NPN電晶體等效集極長度($D_{C,NPN}$)距離是從逆偏接面(HVNW/PBODY)到陽極端的 P^+ 擴散區，而PNP電晶體等效集極長度($D_{C,PNP}$)距離是從逆偏接面(HVNW/PBODY)到陰極端的 N^+ 擴散區。

在圖6(b)～圖6(d)中，NBL摻雜位置分別位於陰極端、陽極端與陰極端、及陽極端。NBL的加入導致矽控整流器產生兩種電流通路徑，分別是水平矽控整流器和垂直矽控整流器之電流

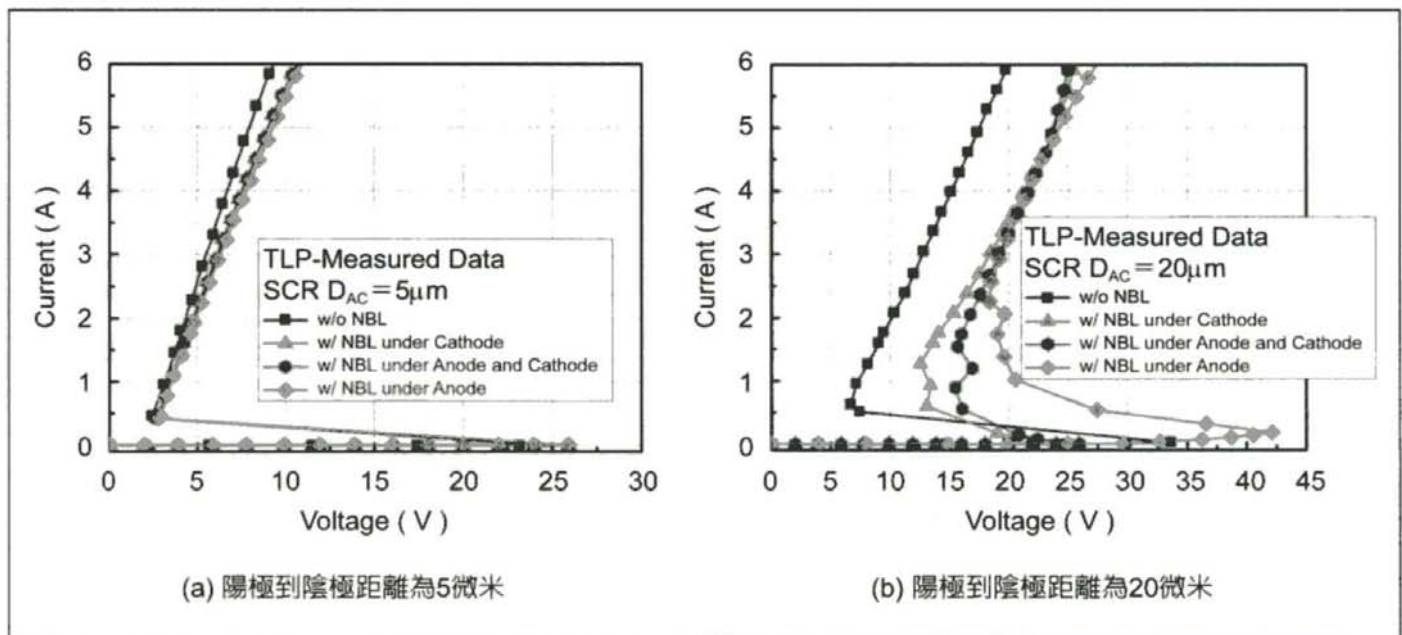


圖7 不同NBL位置的矽控整流器，陽極到陰極距離為5微米和陽極到陰極距離為20微米情況下，之傳輸線系統(TLP)量測圖

路徑。在本研究中，矽控整流器之設計參數如下：寬度為100微米，PNP電晶體等效集極長度($D_{C,PNP}$)固定為1.3微米。

圖7是不同NBL位置的矽控整流器在不同陽極到陰極距離情形下之傳輸線系統(TLP)量測圖。陽極到陰極距離為5微米時，不同NBL位置沒有造成矽控整流器特性曲線之變化。由於對於較小的陽極到陰極距離而言，水平的矽控整流器比垂直的矽控整流器更容易導通，造成大部份的電流依舊流向水平方向。所以，當陽極到陰極距離為5微米時，矽控整流器特性曲線不會因為NBL的加入而發生改變。

陽極到陰極距離增加至20微米時，會增加水平矽控整流器之寄生PNP電晶體基極寬度，因此造成水平矽控整流器不易導通。所以，主要電流導通路徑會

因垂直矽控整流器的導通而轉換成垂直方向，因而造成不同NBL位置之矽控整流器產生不同的元件特性。從圖7(b)量測結果中，NBL在陰極端和NBL同時在陽極和陰極端的元件結構有較小之觸發電壓($\sim 26V$)，原因在於較高濃度NBL的加入會降低逆偏接面(HNNW/PBODY)的崩潰電壓，進而導致這兩種結構有較小之觸發電壓。然而，NBL在陽極端的結構有最高的觸發電壓($\sim 42V$)和持有電壓($\sim 18V$)。高觸發電壓的原因在於陽極下方的NBL在較長陽極到陰極距離情況下，並無法有效影響逆偏接面的崩潰電壓，此外，NBL會造成矽控整流器的寄生PNP電晶體基極電阻值($R_{B,PNP}$)降低，因此使得觸發電壓增加。另外，發生雪崩崩潰(Avalanche Breakdown)區域會因為Kirk effect而

表1 陽極到陰極距離20微米情況下，不同NBL位置之矽控整流器量測結果

NBL Positions		None	Cathode	Anode/Cathode	Anode
TLP	$V_{ti}(V)$	33.64	25.89	25.94	42.11
	$V_h(V)$	6.69	12.55	15.49	18.38
	$I_{t2}(A)$	> 6	> 6	> 6	> 6
DC	$V_h(V)$	1.95	1.95	2.75	2.4
HBM(kV)		> 8	> 8	> 8	> 8

轉移至NBL/HVNW接面^[5]。由於NBL/HVNW的小面積接面和NBL濃度比 N^+ 淡的原因，造成在NBL/HVNW接面產生的電子電洞對(Electron-Hole Pairs)來源減少，進而增加持有電壓。

不同NBL位置的矽控整流器在陽極到陰極距離為20微米之量測結果如表1所示。由於水平表面的電流路徑會因為NBL的加入而轉換成較深的電流路徑，熱可以均勻分布在矽控整流器中，因此，即使在較高的持有電壓情形下， I_{t2} 仍可以大於6安培，而HBM量測結果都可以大於8kV。

因為NBL的加入，導致矽控整流器存在著寄生水平和垂直的電流路徑。然而，要確保垂直電流路徑的產生，必須透過適當設計來抑制水平矽控整流器的導通，進而使大部份電流流至垂直的矽控整流器。本文透過增加寄生PNP電晶體基極寬度，來抑制水平矽控整流器的導通，

並在傳輸線系統量測結果中得到驗證。量測結果證實，在足夠大的陽極到陰極距離情況下，持有電壓會因垂直的電流路徑導通而增加。此外，利用調變NBL位置，可以有效降低矽控整流器的觸發電壓。

(二)加入PSB與NBL摻雜之矽控整流器

加入PSB與NBL摻雜之矽控整流器元件剖面圖如圖8所示。PSB和NBL的位置分別位於矽控整流器陰極端 P^+ 與 N^+ 擴散區的下方以及HVNW的下方。在本研究中，矽控整流器的寬度為100微米，陽極到陰極距離為7.1微米。為了提升矽控整流器整體的持有電壓，可藉由PSB降低NPN電晶體的寄生基極電阻($R_{B,NPN}$)來達成。

圖9是加入PSB與NBL摻雜之矽控整流器的傳輸線系統量測圖。沒有加入PSB和NBL與只加入NBL的矽控整流器結構中，兩者特性曲線相似，原因是這兩種結構中，主要的電流路徑仍為水平方向。由於陽極到陰極距離只有7.1微米，故在此結構中只加入NBL並無法有效產生垂直的電流路徑。在加入PSB的矽控整流器中，PSB可抑制水平方向之導通路徑，

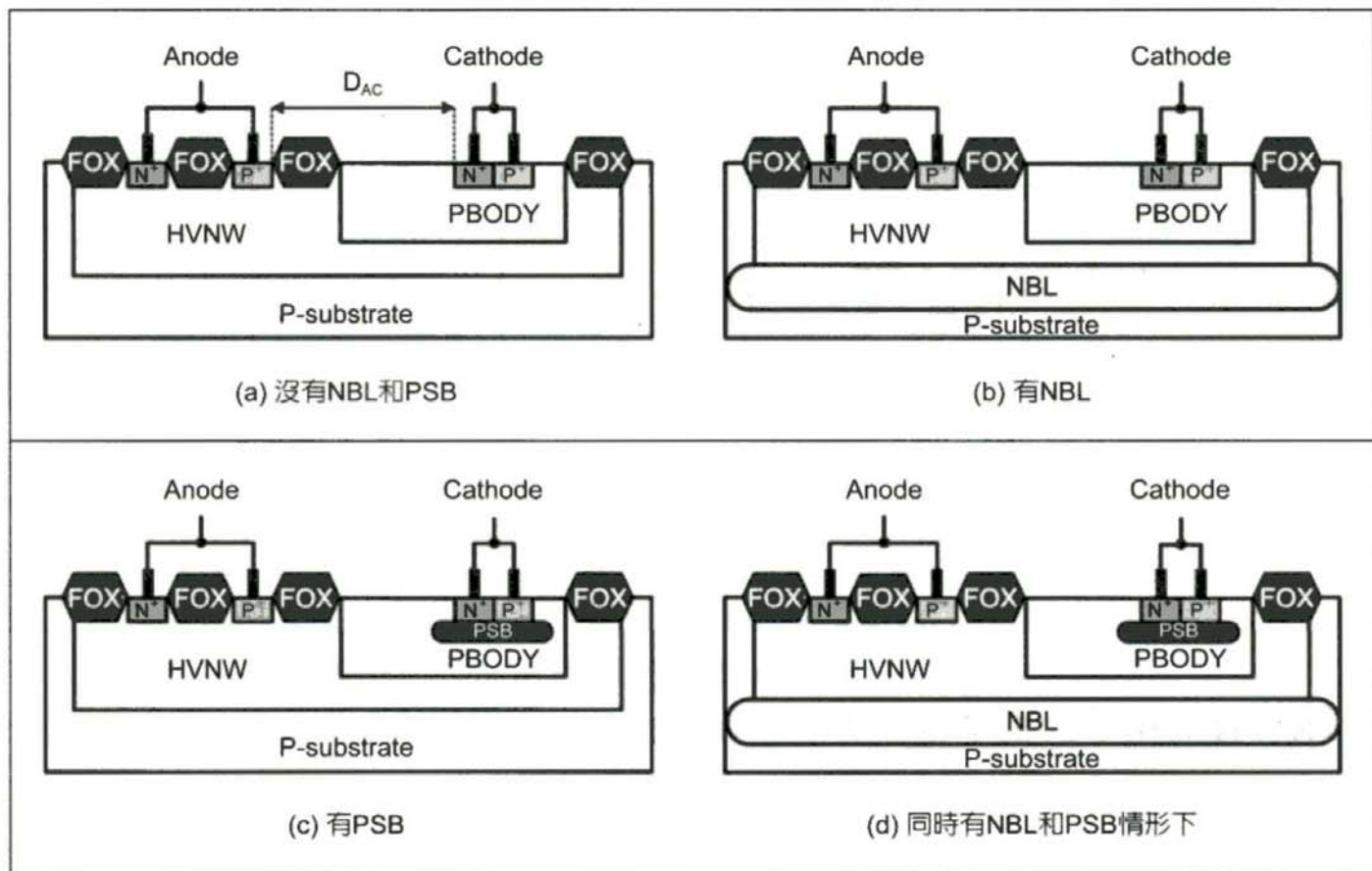


圖8 矽控整流器，沒有NBL和PSB、有NBL、有PSB和同時有NBL和PSB情形下，之元件剖面圖

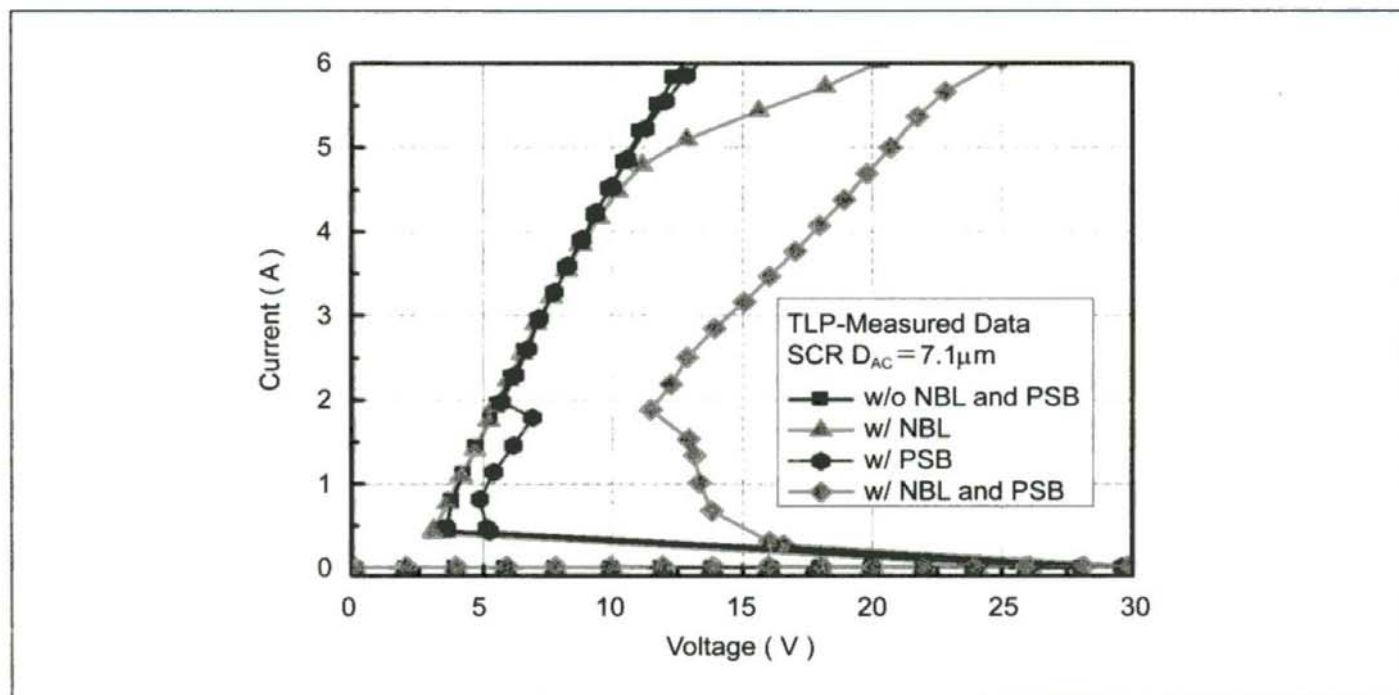


圖9 加入PSB與NBL摻雜之矽控整流器的傳輸線系統(TLP)量測圖

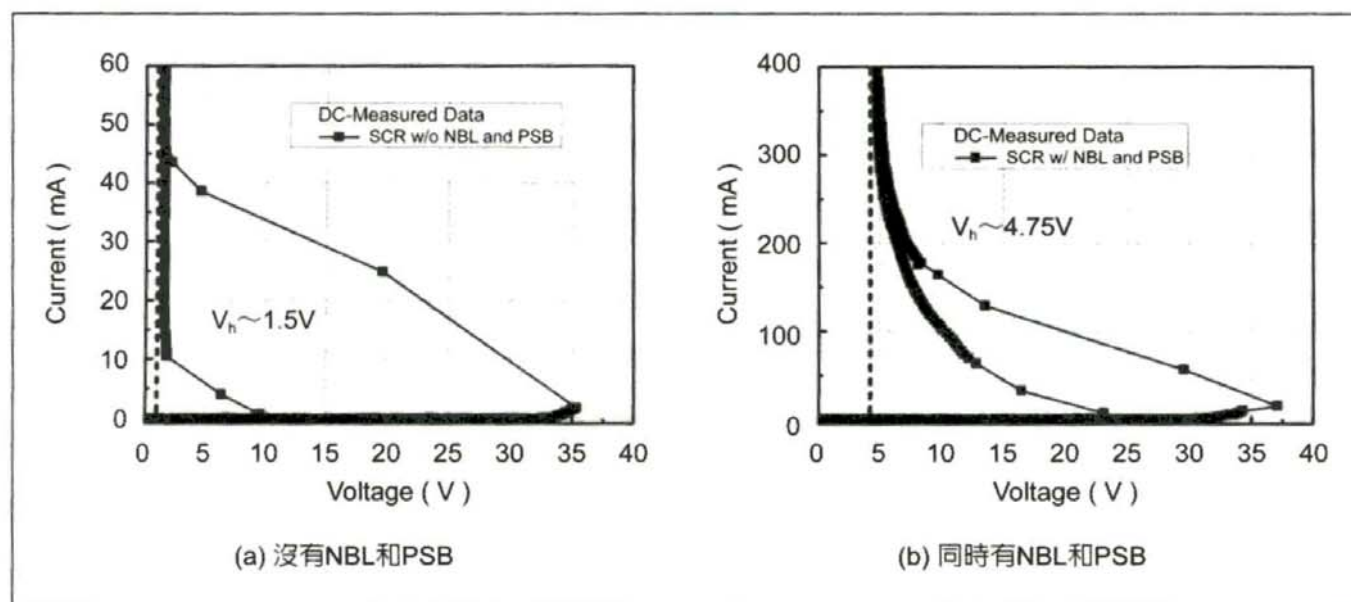


圖10 矽控整流器，沒有NBL和PSB、同時有NBL和PSB情形下，之DC量測圖

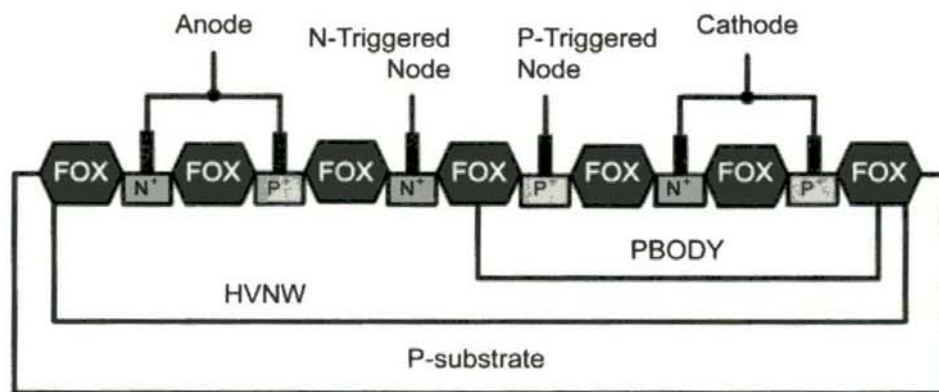
表2 加入PSB和NBL摻雜之矽控整流器量測結果

Conditions		None	NBL	PSB	NBL/PSB
TLP	$V_{t1}(V)$	28.06	26.10	30.07	29.89
	$V_h(V)$	3.58	3.07	4.85	11.47
	$I_{t2}(A)$	> 6	> 6	> 6	> 6
DC	$V_h(V)$	1.5	1.45	2.45	4.75
HBM(kV)		> 8	> 8	7	7.5

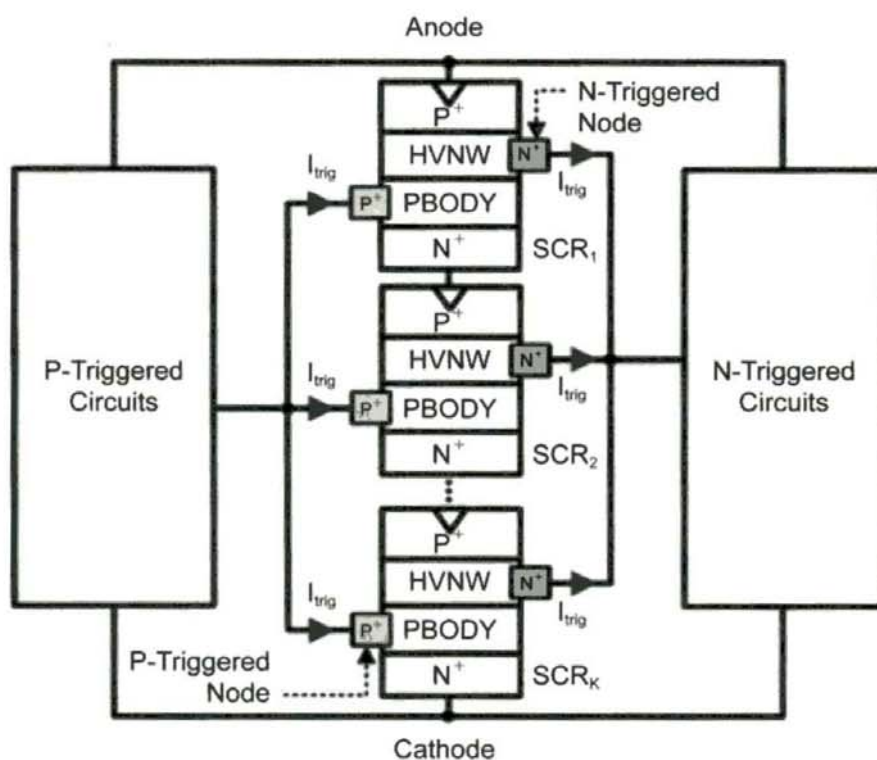
因此持有電壓可增加約1伏。而在加入PSB的矽控整流器中再加入NBL可進一步產生垂直的電流路徑。從量測結果發現，同時加入PSB和NBL之結構因為垂直的矽控整流器導通，所以有最高之持有電壓。

圖10是加入PSB與NBL摻雜之矽控整流器DC量測圖(measured by curve tracer)。在圖中，同時有NBL和PSB的架構，其DC的持有電壓約為4.75伏，比

沒有NBL和PSB的架構增加大約3伏。表2為加入PSB與NBL摻雜之矽控整流器量測結果。沒有NBL和PSB的矽控整流器與只加入NBL的矽控整流器，其HBM量測結果都可以大於8kV，而有加入PSB的矽控整流器，因為水平電流路徑受到抑制，所以HBM耐受度會稍微降低。而這四種結構中， I_{t2} 都可以大於6安培。



(a) 單一矽控整流器之元件剖面圖



(b) 具觸發電路的堆疊矽控整流器之相對應電路圖

圖11 單一矽控整流器之元件剖面圖和具觸發電路的堆疊矽控整流器之相對應電路圖

從DC量測結果發現，矽控整流器的持有電壓遠低於最高供應電壓(V_{DD})，為避免矽控整流器在电路正常工作情形下發生闖瑣之危險，可利用堆疊方式(Stacked Configuration)^[7]提高靜電

放電防護元件之持有電壓，以進一步增加對闖瑣的免疫能力。利用堆疊矽控整流器增加持有電壓的同時，必須有額外的觸發電路去降低過高的觸發電壓。如圖11所示，利用P型觸發電路

(P-Triggered Circuits)產生觸發電流(I_{trig})灌入P型觸發節點，或是利用N型觸發電路(N-Triggered Circuits)從N型觸發節點抽出觸發電流，可進一步降低堆疊矽控整流器的觸發電壓。

結論

本文中利用NBL的調變，降低矽控整流器的觸發電壓以及產生寄生的垂直電流路徑。利用較深電流路徑產生較高之持有電壓與足夠的靜電放電耐受度。利用PSB的調變，增加矽控整流器的持有電壓，增加幅度大約1伏左右。在同時使用PSB和NBL的結構中則可以增加DC持有電壓至5伏左右。在門瑣效應考量下，可以進一步利用堆疊方式再搭配PSB和NBL的摻雜，使DC持有電壓能夠大於電路正常工作的操作電壓，以避免發生門瑣之危險。■

參考文獻

- [1] G. Bertrand, C. Delage, M. Bafleur, N. Nolhier, J. Dorkel, Q. Nguyen, N. Mauran, D. Tremouilles, and P. Perdu, "Analysis and compact modeling of a vertical grounded-base n-p-n bipolar transistor used as ESD protection in a smart power technology," *IEEE Journal of Solid-State Circuits*, vol. 36, no. 9, pp. 1373-1381, Sep. 2001.
- [2] J.-H. Lee, J.-R. Shih, C.-S. Tang, K.-C. Liu, Y.-H. Wu, R.-Y. Shiue, T.-C. Ong, Y.-K. Peng, and J.-T. Yue, "Novel ESD protection structure with embedded SCR LDMOS for smart power technology," in *Proc. IEEE Int. Reliab. Phys. Symp.*, 2002, pp. 156-161.
- [3] C. Duvvury, F. Carvajal, C. Jones, and D. Briggs, "Lateral DMOS design for ESD robustness," in *IEDM Tech. Dig.*, 1997, pp. 375-378.
- [4] M.-D. Ker and Z.-P. Chen, "SCR device with dynamic holding voltage for on-chip ESD protection in a 0.25- μm fully salicided CMOS process," *IEEE Trans. Electron Devices*, vol. 51, no. 10, pp. 1731-1733, Oct. 2004.
- [5] V. Heyn, G. Groeseneken, B. Keppens, M. Natarajan, L. Vacaresses, and G. Gallopyn, "Design and analysis of new protection structures for smart power technology with controlled trigger and holding voltage," in *Proc. IEEE Int. Reliab. Phys Symp.*, 2001, pp. 253-258.
- [6] Y.-S. Koo, K.-D. Kim, and J.-K. Kwon, "ESD protection circuit with low triggering voltage and fast turn-on using substrate-triggered technique," *IEICE Electronics Express*, vol. 6, no. 8, pp. 467-471, Apr. 2009.
- [7] M.-D. Ker and K.-H. Lin, "The impact of low-holding-voltage issue in high-voltage CMOS technology and the design of latchup-free power-rail ESD clamp circuit for LCD driver ICs," *IEEE*

J. Solid-State Circuits, vol. 40, no. 8,
pp. 1751-1759, Aug. 2005.

《日經BP社雜誌》

No.	雜誌名稱	一年冊數
1	日經エレクトロニクス	26
2	日經ものづくり	12
3	日經マイクロデバイス	12
4	日經Automotive Technology	6
5	日經ビジネス	50
6	日經ストラテジー	12
7	日經エコロジー	12
8	日經レストラン	12
9	日經情報ビジネスアソシエ	24
10	日經ベンチャー	12
11	日經不動産マーケット情報	12
12	日經マーケット・アクセス	12
13	日經コンピュータ	26
14	日經SYSTEMS	12
15	日經ソリューションビジネス	24
16	日經ソフトウェア	12
17	日經Linux	12
18	日經コミュニケーション	24
19	日經NETWORK	12
20	日經ニューメディア	48
23	日經アーキテクチュア	26
24	日經コンストラクション	24
25	日經ホームビルダー	12

* 歡迎來電洽詢發行部查詢期刊售價 *
洽詢專線：(02)27493393 分機 686 ~ 688

作者簡介

許哲綸先生

現任職於聚積科技股份有限公司

學歷：國立交通大學電子研究所

專長：靜電放電防護

柯明道先生

現職：義守大學講座教授暨研究副校長

學歷：國立交通大學電子研究所博士

專長：奈米電子、積體電路設計及可靠度、
輸出入界面電路、靜電放電防護電路、
平面顯示器電路設計

陳穩義先生

現為國立交通大學電子研究所博士候選人

專長：靜電放電防護

黃暉仁先生

現任職於世界先進積體電路股份有限公司

專長：靜電放電防護與積體電路可靠度

周業甯先生

現任職於世界先進積體電路股份有限公司

專長：靜電放電防護與積體電路可靠度

林耿立先生

現任職於世界先進積體電路股份有限公司

專長：靜電放電防護與積體電路可靠度