

適用於射頻積體電路之 極低寄生電容 靜電放電防護設計

文－林群祐、柯明道

關鍵字：靜電放電(electrostatic discharge, ESD)、
射頻(radio frequency, RF)、
矽控整流器(silicon-controlled rectifier, SCR)

摘要

無線通訊裝置中的射頻(radio frequency, RF)電路，因其連接射頻收發機與外接之濾波器或天線，爲了避免積體電路遭受靜電放電的威脅與破壞，因此需搭配靜電放電防護設計。由於射頻電路操作在數十億赫茲(gigahertz, GHz)以上的工作頻率，如此高頻的工作頻率對於訊號路徑上的寄生效應有極爲嚴格的限制，靜電放電防護電路的寄生效應必須達到最小化的設計，以避免射頻電路性能的嚴重衰減。在寄生效應嚴格限制的情況下，矽控整流器(silicon-controlled rectifier, SCR)是極爲優選的靜電放電防護元件，它具有面積小、寄生效應小、靜電放電耐受度高的優點，尤其將它應用在先進製程中不會有門鎖效應(latchup)的問題，因此可以應用在射頻積體電路中當作靜電放電防護元件。本篇論文深入探討一種極低寄生電容之矽控整流器元件設計，並於65奈米互補式金氧半製程中成功驗證。

前言

追求更高的工作速度與更優良的電路性能是積體電路設計不斷努力的方向，根據電晶體理論，當電晶體的尺寸縮小時，可獲得較高的工作頻率，因

此在半導體製程進入奈米領域之後，隨著縮微(scaled down)技術的快速發展，射頻電晶體的操作頻率也得以順利地提升。然而，對縮微化之電晶體而言，靜電放電(electrostatic discharge, ESD)是影響其可靠度的最主要因素。由於奈米製程技術中，電晶體閘極氧化層(gate oxide)的厚度逐漸變薄，其崩潰電壓也隨之降低，只要幾伏特的靜電電壓便會將閘極氧化層打穿^[1]。而且電晶體的閘極通常就是射頻電路的輸入級，而週遭環境隨時可能釋放幾百伏特甚至幾千伏特的靜電至此輸入級，因此必須設計出適當的靜電放電防護電路，以避免射頻積體電路遭受靜電放電轟擊而損壞。由於靜電放電防護電路必須放置於射頻積體電路之輸入與輸出接點，所以靜電放電防護電路之負載效應將對射頻電路的性能造成明顯的負面影響^[2]，例如，靜電放電防護電路產生的寄生電容，會降低射頻電路的放大增益，並改變輸入輸出接點的阻抗匹配。對於射頻電路而言，輸入與輸出接點的寄生電容必須非常低，否則寄生電容造成的負載將大幅衰減射頻電路的性能。根據前人技術文獻，操作在2 GHz的射頻輸入接點，可容忍的最大負載電容只有200 fF，這200 fF不但包括了靜電放電防護元件，也包含了輸入銲墊(Pad)本身的寄生電容^[3]。

為了降低靜電放電防護電路的寄生效應，在射頻電路輸入與輸出接點上只適用單階靜電放電防護電路。如圖1所示為射頻積體電路之靜電放電防護設計

^[4]，其在輸入與輸出接點到 V_{DD} 以及 V_{SS} 之間分別加上靜電放電防護元件(ESD protection device)，以提供靜電放電至電源線之路徑。此外，在 V_{DD} 和 V_{SS} 之間搭配使用電源線間靜電放電箝制電路(power-rail ESD clamp circuit)，以實現全晶片防護設計。由於電源線間靜電放電箝制電路是擺放在電源線之間，因此並不會對射頻電路的輸入與輸出接點產生寄生效應。

本文先針對目前應用於互補式金氧半(CMOS)製程的射頻積體電路之靜電放電防護元件作簡介，例如使用二極體(diode)、電感器(inductor)、矽控整流器(silicon-controlled rectifier, SCR)等放電元件將輸入與輸出接點的靜電放電電流分流至地。由於在眾多的靜電放電防護元件中，矽控整流器具有面積最小、寄生效應最小、靜電放電耐受度最好的優點，並且完全相容於一般互補式金氧半

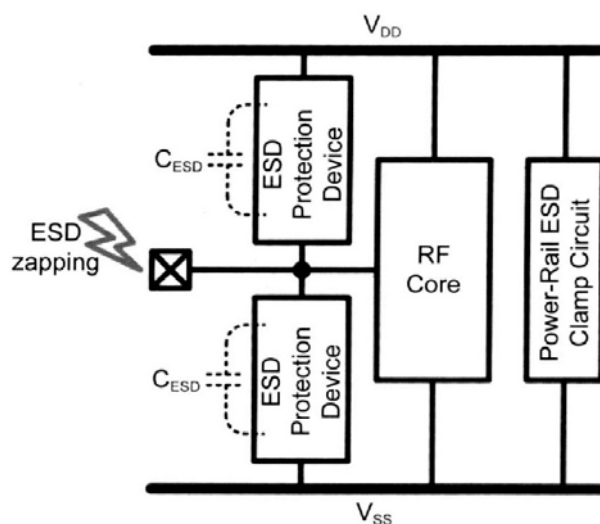


圖1 射頻積體電路之靜電放電防護設計

製程的步驟，不需額外的光罩去遮蔽金屬矽化物(silicide blocking)，尤其將它應用在先進製程中不會有門鎖效應(latchup)的問題，因此可以廣泛應用在射頻電路中當作靜電放電防護元件^[5]。接著深入研究極低寄生電容之矽控整流器靜電放電防護元件設計；最後介紹快速導通矽控整流器之啟動技術。

靜電放電防護元件的選用

閘極接地之N型金氧半場效電晶體(gate-grounded NMOS, GGNMOS)因其擁有優異的靜電放電耐受度，已成為廣泛應用於數位及一般類比電路的靜電放電防護元件，於射頻電路中亦常被使用於電源對地的箝制電路中；然而，該元件的寄生電容較大，難以應用於射頻訊號輸入與輸出端。

順偏的二極體擁有不錯的靜電放電耐受度，本身所造成的寄生電容亦較GGNMOS小，因此可使用二極體當作靜電放電防護元件，以降低對射頻電路造成的寄生效應，目前已被廣泛應用於射頻電路的靜電放電防護設計中。然而，當射頻電路的工作頻率逐漸提升，靜電放電防護二極體所造成的寄生效應仍會影響射頻電路的性能。為了進一步降低靜電放電防護二極體在射頻輸入點造成的寄生電容，可以串接二極體以降低靜電放電防護二極體的等效電容值。典型使用串聯的複晶矽二極體來保護射頻輸入點的靜電放電防護設計如圖2所示，此設計已成功地在2.4-GHz射頻低雜訊放大器中驗證，並擁有2kV的靜電放電耐受度^[6]。

輸入端靜電放電防護元件的寄生電容與寄生電阻，對其造成的射頻功率增益損失(loss)與雜訊指數(noise figure)有顯著的影響。在射

頻電路工作時，如果在靜電放電防護元件處提供很大的阻抗，則射頻功率增益將不再惡化。圖3應用電感器來設計靜電放電防護電路^[7]，消除靜電放電防護元件之寄生效應對射頻應用的影響。該電感的諧振頻率約設計在射頻電路

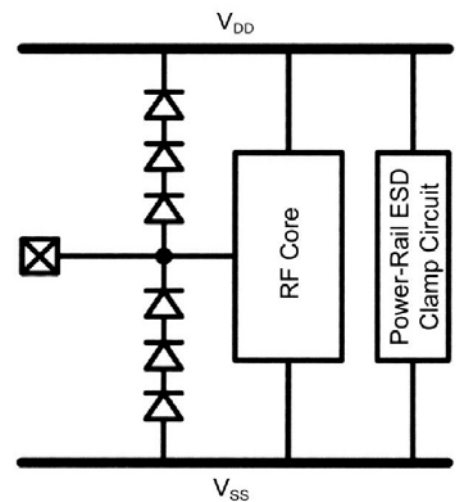


圖2 使用二極體串接來保護射頻電路

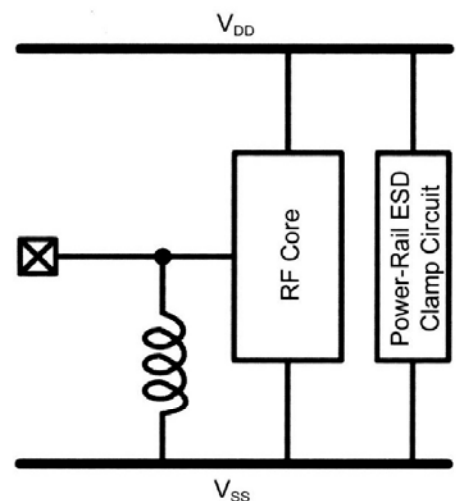


圖3 使用電感器來設計靜電放電防護電路

操作頻率，於電路正常工作時呈現高阻抗；當遭受靜電轟擊時，則呈現低阻抗來排放靜電電流，達到保護內部電路的效果。與前述幾項防護元件相較，電感的缺點是需要較大的晶片佈局面積。

矽控整流器(silicon-controlled rectifier, SCR)是由P-N-P-N四層半導體結構所組成，這個四層結構也就是導致闕鎖效應(latchup)問題的相同結構，但在靜電放電防護能力上，矽控整流器具有優秀的能力，能在最小的佈局面積下提供最高的靜電放電防護能力。尤其當積體電路的操作電壓隨著先進製程逐漸下降的情況下，矽控整流器導致鎖住效應的風險即漸漸降低，因此成為十分有潛力的靜電放電防護元件。與二極體相較，矽控整流器擁有更小的寄生電容。

矽控整流器已被實際應用於一個超寬頻(ultra-wide band)射頻功率放大器(power amplifier)^[8]，如圖4所示。矽控整流器並搭配靜電放電觸發電路(trigger

circuit)，可於靜電放電轟擊時提供觸發電流，以快速導通矽控整流器。此靜電放電防護電路和射頻功率放大器共同設計後，不會降低射頻電路應有的性能，並能達到優異的靜電放電防護效果。在未受靜電轟擊前，受靜電放電防護電路保護的功率放大器和未受保護的功率放大器擁有同樣的增益；然而在靜電轟擊後，未受保護的功率放大器很容易受到損傷，而受保護的功率放大器仍然保持完好的性能。

矽控整流器亦被實際應用於一個5-GHz差動式低雜訊放大器(differential low-noise amplifier)^[9]，如圖5所示。搭配靜電放電防護電路的低雜訊放大器是使用基體觸發矽控整流器(substrate-triggered SCR, STSCR)當作輸入輸出端之靜電放電防護元件。根據文獻記錄，上述使用矽控整流器之靜電放電防護設計其人體放電模式與機械放電模式靜電放電耐受度分別高達6.5 kV與500V。

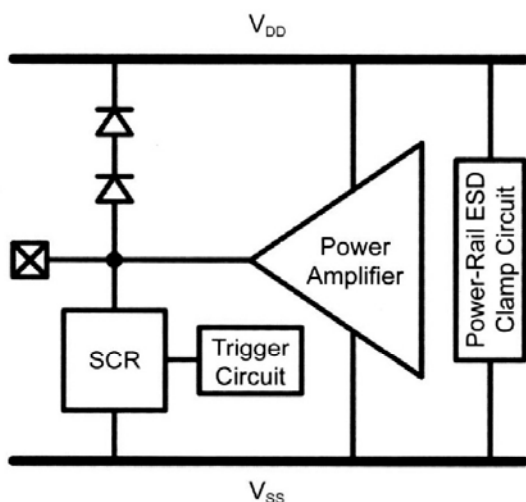


圖4 應用於射頻功率放大器之矽控整流器

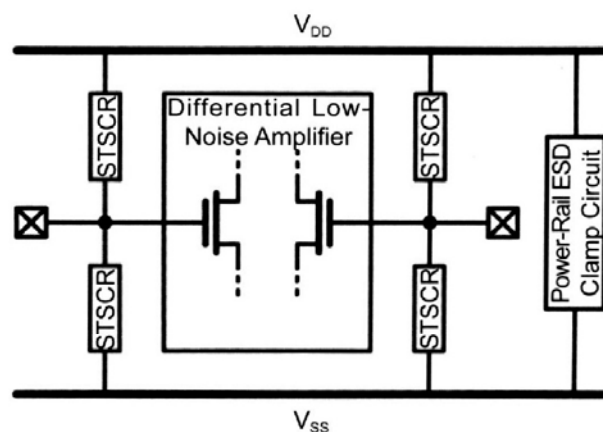


圖5 應用於差動式低雜訊放大器之矽控整流器

爲了進一步降低矽控整流器在射頻輸入點造成的寄生電容，可使用佈局(layout)的技巧將矽控整流器的寄生電容值降低。晶片上的元件佈局一般是以長條狀(stripe)方式實現，如圖6所示，另一種以方塊狀(waffle)方式佈局的矽控整流器已經被證實可擁有較低的寄生電容值^[5]。在射頻電路的靜電放電防護電路設計中，必須具備低寄生電容、固定的輸入電容和優良的靜電放電防護能力。下一章將深入研究這種方塊狀佈局的矽控整流器應用在射頻電路靜電放電防護設計之技術。

極低寄生電容之矽控整流器靜電放電防護元件設計

1. P型矽控整流器

一種P型矽控整流器被設計應用在輸入與輸出接點到 V_{DD} 之間，它的元件剖面圖以及等效電路如圖7(a)所示。P型矽控整流器的正向放電路徑由 P^+ 擴散區、N型井(N-well)、P型井(P-well)和 N^+

擴散區所組成。P型矽控整流器中的深N型井(deep N-well)是用來隔絕P型井和P型基體，以避免這個P型井的電位被連接到 V_{SS} 端。P型矽控整流器的等效電路包含了一個PNP雙載子電晶體(BJT)和一個NPN雙載子電晶體，其中的PNP雙載子電晶體是由 P^+ 擴散區、N型井和P型井所組成，而NPN雙載子電晶體是由N型井、P型井和 N^+ 擴散區所組成。當靜電放電電流由 V_{DD} 流向輸入與輸出接點時，PNP和NPN雙載子電晶體之間的正回授(positive-feedback)機制將使得矽控整流器導通^[10]。P型矽控整流器的負向放電路徑由寄生的二極體(P型井和N型井)所組成。當靜電放電電流由輸入與輸出接點流向 V_{DD} 時，順偏的二極體即可快速導通。

一個 2×2 方塊狀的P型矽控整流器已於65奈米CMOS製程中實現，它所使用的佈局面積爲 $\sim 23 \times 23 \mu m^2$ 。爲了適合於高頻參數量測系統，這個P型矽控整流器被擺設於接地-訊號-接地(ground-signal-ground)形式的鉅墊中；而爲了排除鉅墊的寄生效應，另一組沒有矽控整流器，只有接地-訊號-接地的鉅墊也被實現於同一個測試晶片中，以量測鉅墊本生的寄生電容。扣除掉鉅墊的寄生電容後，將可得到矽控整流器的寄生電容值。

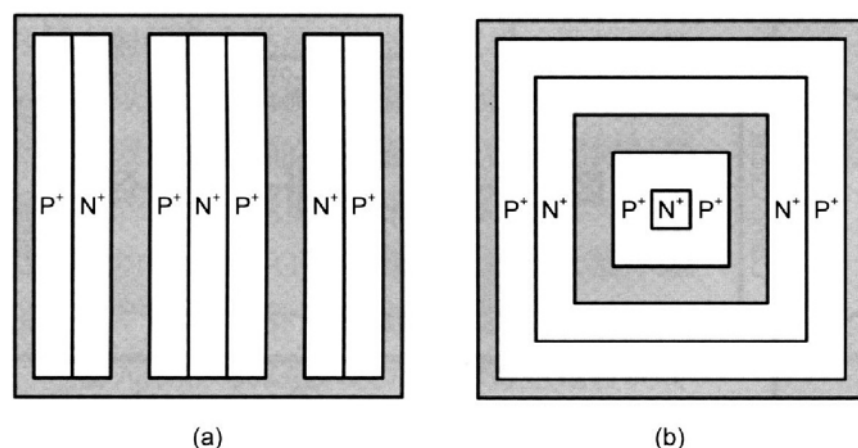


圖6 矽控整流器佈局：(a)長條狀；(b)方塊狀

2. N型矽控整流器

一種N型矽控整流器被設計應用在輸入與輸出接點到 V_{SS} 之間，它的元件剖面圖以及等效電路如圖7(b)所示。當正極性靜電放電電流由輸入與輸出接點流向 V_{SS} 時，N型矽控整流器的正向放電路徑由 P^+ 擴散區、N型井、P型井和 N^+ 擴散區所組成。N型矽控整流器的負向放電路徑由寄生的二極體(P型井和N型井)所組成。當負極性靜電放電電流由輸入與輸出接點流向 V_{SS} 時，順偏的二極體即可快速導通。

一個 2×2 方塊狀的N型矽控整流器已於同

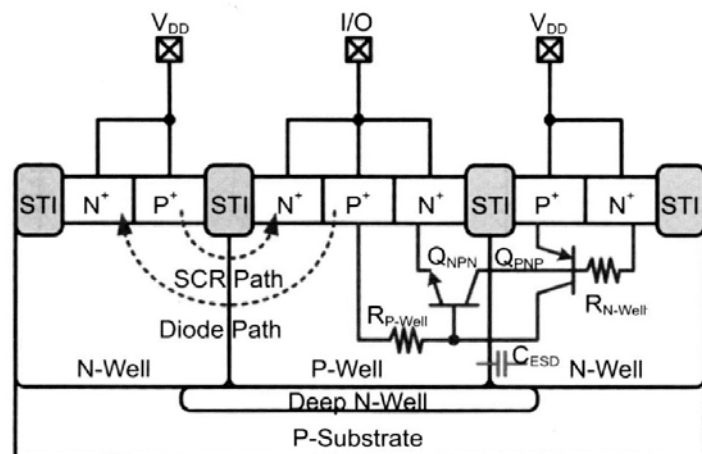
一65奈米CMOS製程中實現，它所使用的佈局面積亦為 $\sim 23 \times 23 \mu m^2$ 。這個N型矽控整流器被擺設於接地-訊號-接地形式的鋁墊中，它的晶片佈局圖如圖8所示。

3. 寄生電容

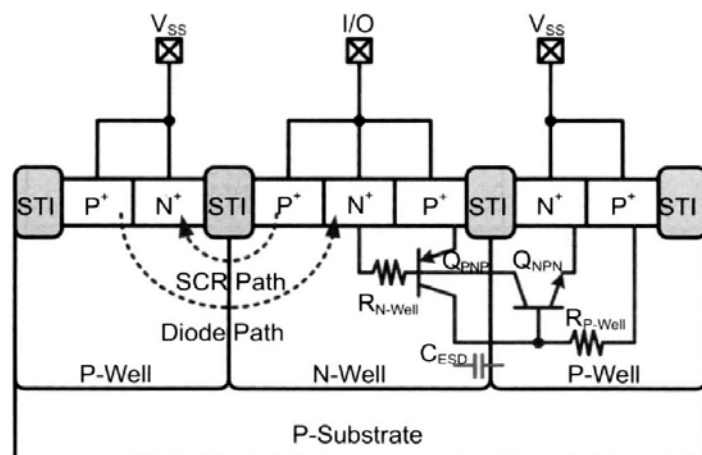
所有靜電放電防護元件的高頻S參數可使用網路分析儀(HP 8510C)量測得到，量測到的S參數可利用式(1)轉換成Y參數，再利用式(2)轉換成電容值^[11]。當在高頻量測時， V_{DD} 端被偏壓於1 V， V_{SS} 端被偏壓於0 V，輸入與輸出端則被偏壓於0 V、0.25 V、0.5 V、0.75 V和1 V(V_{DD})。

$$Y_{11} = \frac{1}{Z_0} \cdot \frac{(1 + S_{22})(1 - S_{11}) + S_{12}S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \quad (1)$$

$$Capacitance = \frac{Im(Y_{11})}{2\pi f} \quad (2)$$



(a)



(b)

圖7 矽控整流器之元件剖面圖：(a)P型；(b)N型

圖9(a)和圖9(b)分別為量測到的P型和N型矽控整流器之寄生電容值，圖10比較了這兩種矽控整流器於5 GHz的寄生電容值。當輸入與輸出端的偏壓逐漸升高時，P型矽控整流器的寄生電容值會逐漸增加，相對的，N型矽控整流器的寄生電容值則是逐漸降低。當這兩個矽控整流器同時存在時，也就是P型矽控整流器擺放於輸入與輸出端和 V_{DD} 之間、N型矽控整

流器擺放於輸入與輸出端和 V_{SS} 之間時，即使輸入與輸出端的偏壓從0 V變化到1 V，這兩個矽控整流器總共的寄生電容值可維持在~135 fF、變化量只有~3 fF。

4. 靜電放電耐受度

人體放電模式(human-body model, HBM)的靜電放電測試標準為判斷靜電放電耐受度的重要依據。根據量測結果，P型和N型矽控整流器的人體放電模式之

靜電放電耐受度(V_{HBM})皆達到8 kV以上(8kV是實驗機台的測試極限)。

傳輸線觸波(transmission line pulse, TLP)產生系統用來量測靜電放電防護元件之高電流-電壓特性曲線，圖11(a)和圖11(b)分別為P型和N型矽控整流器的量測結果，從圖中可以得到元件之觸發電壓(trigger voltage, V_{tl})、導通電阻(turn-on resistance, R_{on})和二次崩潰電流(secondary

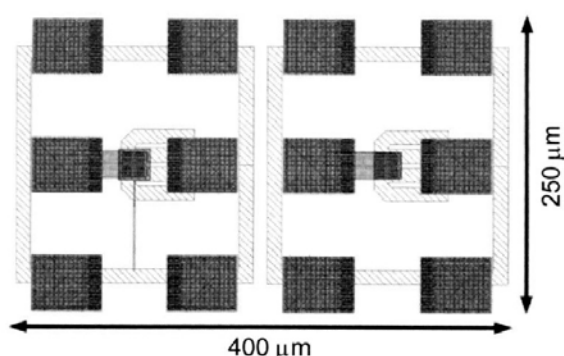


圖8 P型和N型矽控整流器之晶片佈局圖

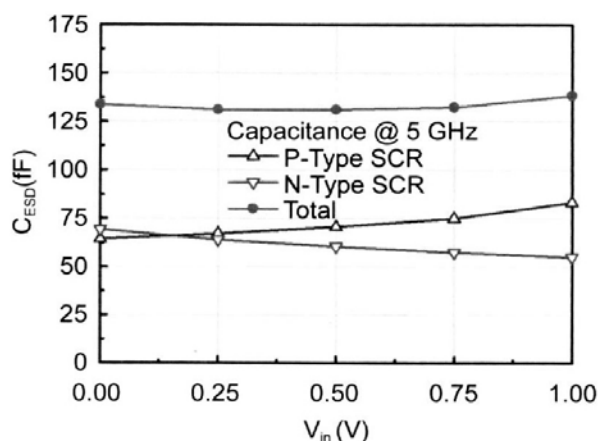
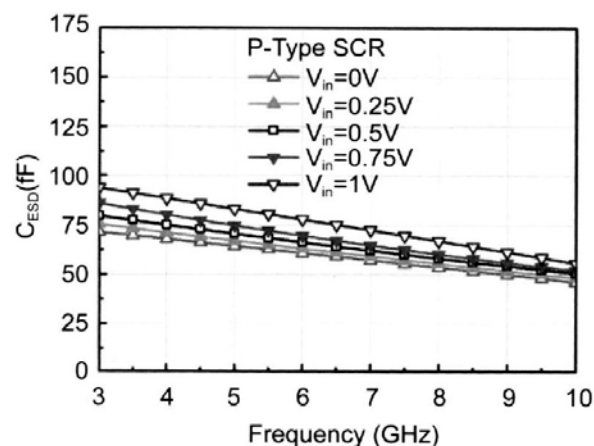
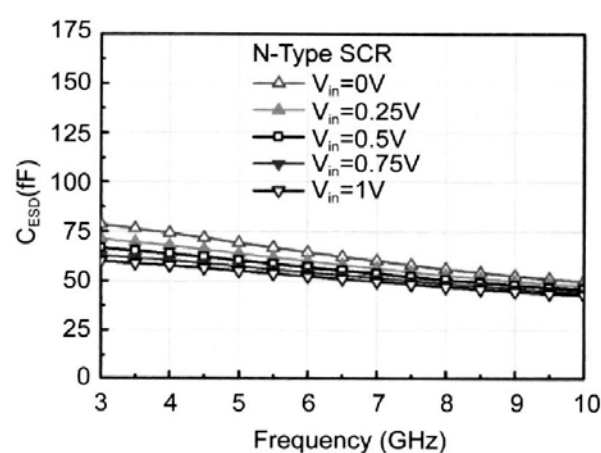


圖10 P型和N型矽控整流器於5 GHz之寄生電容



(a)



(b)

圖9 矽控整流器之寄生電容值：(a)P型；(b)N型

breakdown current, I_{t2})等參數。P型和N型矽控整流器的觸發電壓皆為 ~ 12 V，導通電阻皆為 $\sim 0.7 \Omega$ ，二次崩潰電流分別為5.2 A和5.4 A。以上之靜電放電測試結果和傳輸線觸波量測結果皆統整於表1。

快速導通矽控整流器之啟動技術

為了使矽控整流器在靜電放電發生時更快速地導通，設計者可以利用基體觸發(substrate-trigger)技術使矽控整

流器的觸發電壓降低。由於矽控整流器的等效電路包含了PNP和NPN雙載子電晶體，其中的NPN雙載子電晶體的基極(base)可被注入觸發電流、或是PNP雙載子電晶體的基極可被抽出觸發電流，使得矽控整流器快速導通。圖12為矽控整流器之觸發電路(trigger circuit)的設計方式，由圖中可知，觸發電路是擺設於 V_{DD} 和 V_{SS} 之間，因此不會增加輸入與輸出端的負載效應。當輸入與輸出端遭受靜電放電轟擊時，矽控整流

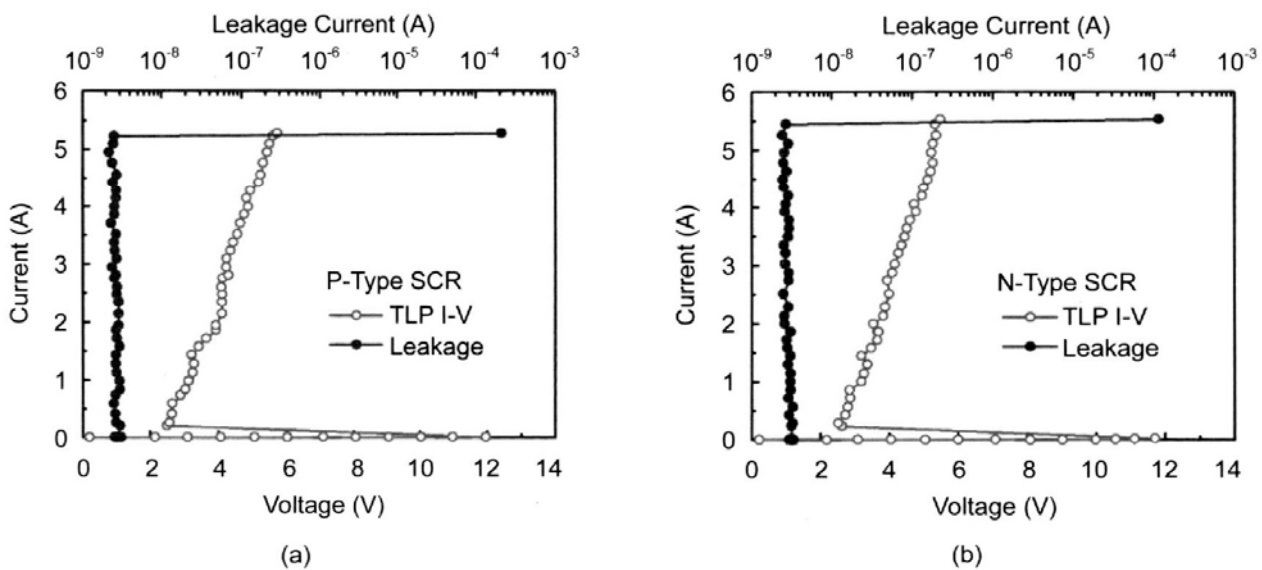


圖11 矽控整流器之高電流-電壓特性曲線：(a)P型；(b)N型

表1 極低寄生電容的矽控整流器之量測結果

	P型矽控整流器	N型矽控整流器
寄生電容 @ 5 GHz	64.4 ~ 83.2 fF	55.1 ~ 69.3 fF
觸發電壓(V_{t1})	12.0 V	11.7 V
二次崩潰電流(I_{t2})	5.2 A	5.4 A
導通電阻(R_{on})	0.7Ω	0.7Ω
人體放電模式之靜電放電耐受度(V_{HBM})	> 8 kV	> 8 kV

器的觸發方法和放電路徑亦展示於圖12中。如圖12(a)所示，當輸入與輸出端遭受PS-mode(positive-to- V_{SS})靜電放電轟擊時，靜電電流會先流經P型矽控整流器中的寄生二極體至 V_{DD} ，再由觸發電路快速地啟動N型矽控整流器，使得大部分的靜電電流可以從N型矽控整流器排放至 V_{SS} 。當輸入與輸出端遭受其他組合的靜

電放電轟擊時，包括PD-mode(positive-to- V_{DD})、NS-mode(negative-to- V_{SS})、和ND-mode(negative-to- V_{DD})，圖12(b)、圖12(c)和圖12(d)分別顯示它們的放電路徑。

結語

在射頻電路的靜電放電防護電路設計中，必須具備低寄生電容、固定的輸

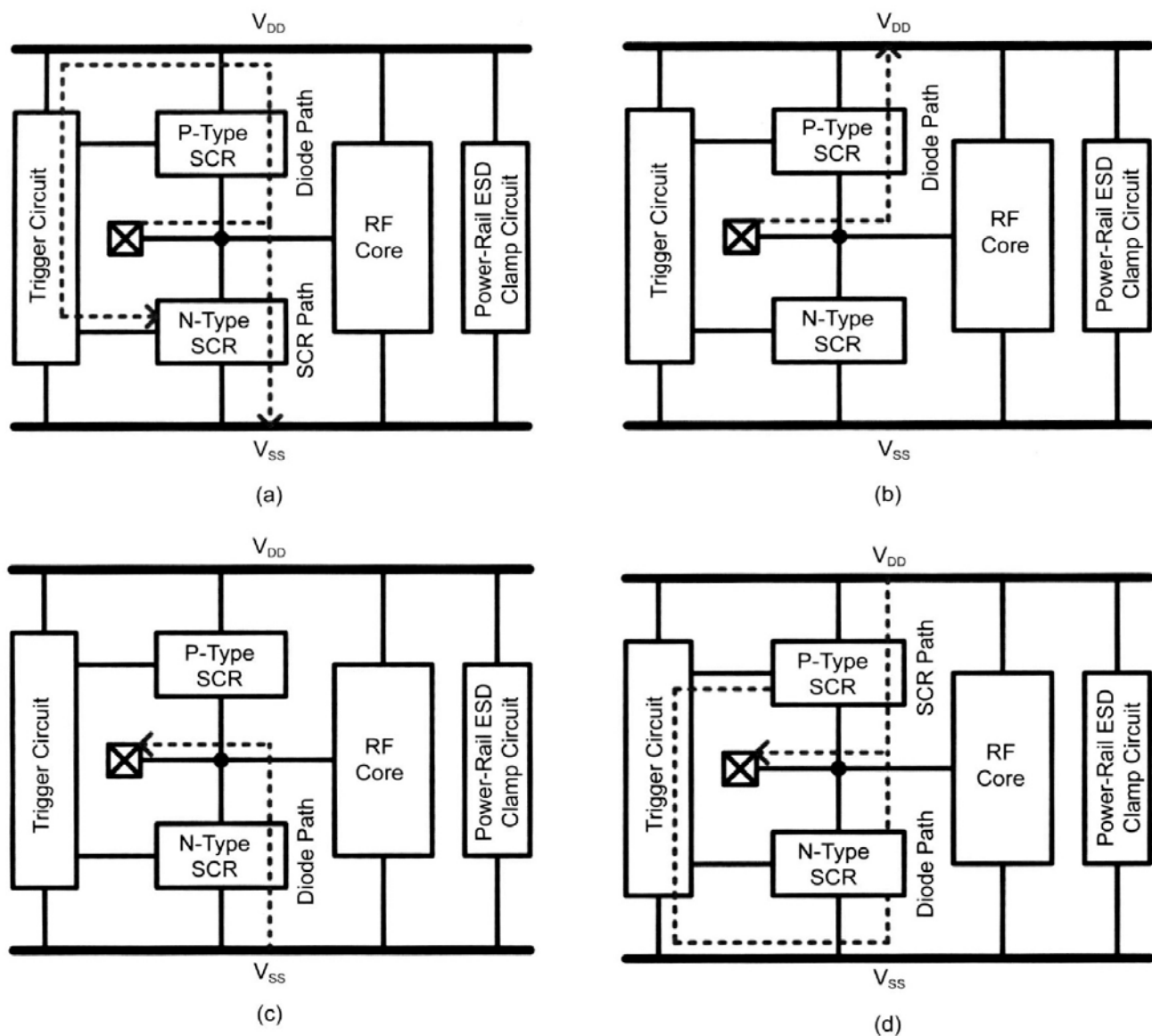


圖12 快速導通之矽控整流器於(a)PS-mode、(b)PD-mode、(c)NS-mode和(d)ND-mode之放電路徑

入電容、和優良的靜電放電防護能力。在眾多的靜電放電防護元件中，矽控整流器具有最佳的潛力，可以應用在射頻電路中當作靜電放電防護元件。本論文提出的極低寄生電容之矽控整流器元件設計，它可以承受8 kV的人體放電模式靜電放電，它的寄生電容值為~135 fF，即使輸入與輸出端的偏壓從0 V變化到1 V (V_{DD})，寄生電容值的變化量只有~3 fF。為了使矽控整流器在靜電放電發生時更快速地導通，本文亦使用一種基體觸發技術，使矽控整流器的觸發電壓降低，並不會增加輸入與輸出端的負載效應。因此，矽控整流器可以廣泛應用在射頻積體電路中當作靜電放電防護元件。■

參考文獻

- [1] M. Mergens, C. Russ, K. Verhaege, J. Armer, P. Jozwiak, R. Mohn, B. Keppens, and C. Trinh, "Speed optimized diode-triggered SCR (DTSCR) for RF ESD protection of ultra-sensitive IC nodes in advanced technologies," *IEEE Trans. Device Mater. Reliab.*, vol. 5, no. 3, pp. 532-542, Sep. 2005.
- [2] S. Voldman, *ESD: RF Technology and Circuits*. John Wiley & Sons, 2006.
- [3] C. Richier, P. Salome, G. Mabboux, I. Zaza, A. Juge, and P. Mortini, "Investigation on different ESD protection strategies devoted to 3.3 V RF applications (2 GHz) in a 0.18 μ m CMOS process," in *Proc. EOS/ESD Symp.*, 2000, pp. 251-259.
- [4] M.-D. Ker, T.-Y. Chen, and C.-Y. Chang, "ESD protection design for CMOS RF integrated circuits," in *Proc. EOS/ESD Symp.*, 2001, pp. 346-354.
- [5] M.-D. Ker and C.-Y. Lin, "Low-capacitance SCR with waffle layout structure for on-chip ESD protection in RF ICs," *IEEE Trans. Microw. Theory Tech.*, vol. 56, no. 5, pp. 1286-1294, May 2008.
- [6] M.-D. Ker and C.-Y. Chang, "ESD protection design for CMOS RF integrated circuits using polysilicon diodes," *Microelectron. Reliab.*, vol. 42, no. 6, pp. 863-872, Jun. 2002.
- [7] S. Thijs, K. Raczkowski, D. Linten, M. Scholz, A. Griffoni, and G. Groeseneken, "CDM and HBM analysis of ESD protected 60 GHz power amplifier in 45 nm low-power digital CMOS," in *Proc. EOS/ESD Symp.*, pp. 329-333, 2009.
- [8] C.-Y. Lin, M.-D. Ker, and G.-X. Meng, "Low-capacitance and fast turn-on SCR for RF ESD protection," *IEICE Trans. Electronics*, vol. E91-C, no. 8, pp. 1321-1330, Aug. 2008.
- [9] Y.-W. Hsiao and M.-D. Ker, "A 5-GHz differential low-noise amplifier with high pin-to-pin ESD robustness in a

130-nm CMOS process,” IEEE Trans. Microw. Theory Tech., vol. 57, no. 5, pp. 1044-1053, May 2009.

- [10] M.-D. Ker and K.-C. Hsu, “Overview of on-chip electrostatic discharge protection design with SCR-based devices in CMOS integrated circuits,” IEEE Trans. Device Mater. Reliab., vol. 5, no. 2, pp. 235-249, Jun. 2003.
- [11] D. Pozar, Microwave Engineering, 3rd ed. New York: Wiley, 2004.

作者簡介

林群祐先生

現職：國立交通大學博士後研究員

學歷：國立交通大學電子研究所博士

專長：積體電路設計及可靠度、靜電放電防護電路

柯明道先生

現職：義守大學電子工程學系講座教授兼研究副校長

學歷：國立交通大學電子研究所博士

專長：奈米電子、積體電路設計及可靠度、輸出入界面電路、靜電放電防護電路、平面顯示器電路設計

2010.11月號

半導體光電技術

武東星 主編

專 - 輯 - 主 - 題 - 說 - 明

主題：

1. 磊晶用氮化鎵基板與模板
2. 車頭燈用高功率氮化鎵發光二極體
3. 高效率(>20%)矽晶太陽電池
4. 高效率氮化鎵太陽電池
5. 藍綠光半導體雷射
6. 氧化物半導體光電元件
7. 生醫用室溫熱像感測陣列元件

說明：

在全球暖化的能源議題上，由半導體光電技術所主導的發光二極體與太陽電池一直是大家最期待的夢幻組合，台灣近年來在政府的積極主導下，進行「新兆能源產業」的推動，由於材料與元件是光電產業最重要的一環，影響到產品之成本與市場競爭力，本專輯特著重在介紹半導體光電產業之關鍵技術，內容涵蓋現今主流之矽半導體材料與化合物氮化鎵材料。此外，除了在「百萬屋頂」與「十城萬盞」的既有紅海思維外，頗為業界重視之藍綠光半導體雷射、氧化物半導體光電元件與生醫用室溫熱像感測陣列元件也有可能成為新的藍海市場。