



積體電路產品之 靜電放電測試及防護技術

國立交通大學博士後研究員/林群祐
國立交通大學電子研究所特聘教授/柯明道

摘要

所有積體電路產品皆必須於量產時符合可靠度的規範，以提供該積體電路產品足夠的耐用年限。而隨著半導體製程的持續發展，靜電放電 (electrostatic discharge, ESD) 防護已成為積體電路產品可靠度中相當艱鉅的挑戰，大多數積體電路產品的故障與損壞均與遭受靜電放電轟擊有關。為了保證積體電路產品的靜電放電耐受程度，因此，所有積體電路晶片皆須於出廠時抽測其元件層級 (component-level) 之靜電放電耐受度；而當晶片安裝在電子產品後，這些電子產品也要抽測其系統層級 (system-level) 之靜電放電耐受度。本文首先介紹了元件層級和系統層級之靜電放電測試標準，這些標準已受到國際間各大公司的採用，作為靜電放電測試的依據。本文也簡介了一些積體電路之靜電放電防護設計和系統產品之靜電防護解決方案。然而，不同積體電路產品遇到的靜電放電問題常常都不一樣，解決的方式則是要隨機應變。

關鍵字：積體電路、可靠度、靜電放電現象、靜電放電測試標準、靜電放電防護設計。

一、前言

靜電放電 (electrostatic discharge, ESD) 是造成大多數的電子元件或電子系統故障與損壞的主要因素^{[1]-[4]}。靜電放電的產生多是由於人為因素所形成，但又很難避免。例如電子元件或系統在製造、生產、組裝、測

試、存放和搬運等的過程中，靜電會累積在人體、儀器及儲放設備等之中，甚至在電子元件本身也會累積靜電，而人們在不知情的情況下，使這些物體相互接觸，因而形成了一放電路徑，使得電子元件或系統遭到靜電放電的破壞。這種破壞會導致半導體元件以



及電腦系統等，形成一種永久性的毀壞，因而影響電子元件或系統功能，而使得電子產品工作不正常。如圖1所示，是一個應用在車用電子的積體電路遭受 1000 伏特人體放電模式之靜電放電轟擊後，所拍攝下之掃描式電子顯微鏡 (scanning electron microscope, SEM) 照片，可明顯地看到靜電放電電流造成電晶體元件的燒毀現象。由於一般商用積體電路須達到 2000 伏特人體放電模式之靜電放電耐受度，因此，積體電路須搭配適當的靜電放電防護設計，以避免積體電路遭受靜電放電的威脅與破壞。

隨著消費性電子產品的迅速發展，消費者要求愈來愈先進的性能，也更要求電子產品符合可靠度的規範，以讓使用者用得安心，並提供該產品足夠的耐用年限。靜電放電是積體電路產品可靠度中最重要的一環，因此所有電子元件或系統皆須搭配靜電放電防護設計。

為了辨別各項積體電路產品的靜電放電防護能力，必須有一套正確而快速的測試

方法作為判斷標準。當積體電路晶片生產出來時，必須先抽測其元件層級 (component-level) 之靜電放電耐受度；而當晶片安裝在電子產品後，這些電子產品也要抽測其系統層級 (system-level) 之靜電放電耐受度。本文將於第二章和第三章分別介紹元件層級和系統層級之靜電放電測試標準，這些標準已受到國際間各大公司的採用，作為靜電放電測試的依據。本文第四章和第五章將分別簡介積體電路之靜電放電防護設計、和系統產品之靜電放電防護解決方案，希望對電子產業相關從業人員有所幫助。

二、元件層級之靜電放電測試標準

元件層級之靜電放電測試標準是用於測試積體電路晶片之靜電放電耐受度。依靜電放電產生的原因及其對積體電路放電的方式不同，目前分類為三大類：(1) 人體放電模式 (human-body model, HBM)；(2) 機器放電模式 (machine model, MM)；(3) 元件充電模式 (charged-device model, CDM)。以下針對此三類靜電放電現象詳加說明，並比較各類放電現象。

1. 人體放電模式

人體放電模式的靜電放電是指因人體在地上走動磨擦或其他因素而在人體上已累積了靜電，當此人去碰觸到積體電路時，人體上的靜電便會經由積體電路的接腳 (pin) 而進入積體電路內，再經由積體電路放電到地去。此放電的過程會在短到幾百奈秒 (ns) 的時間內產生數安培的瞬間放電電流，此電流會把積體電路內的元件給燒毀。有關於人體放電模式的靜電放電已有工業測試的標準，此項測試標準最早是由美軍制訂出來，為現

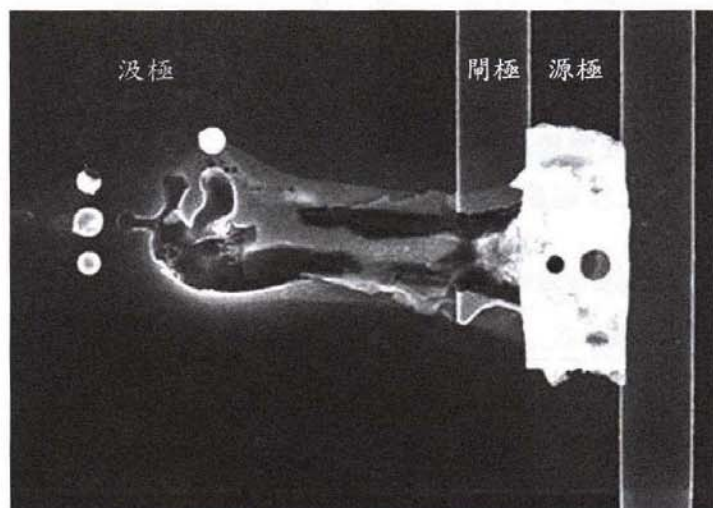


圖1 一應用於車用電子的積體電路，遭受 1000 伏特人體放電模式之靜電放電轟擊後，所拍攝之掃描式電子顯微鏡照片。

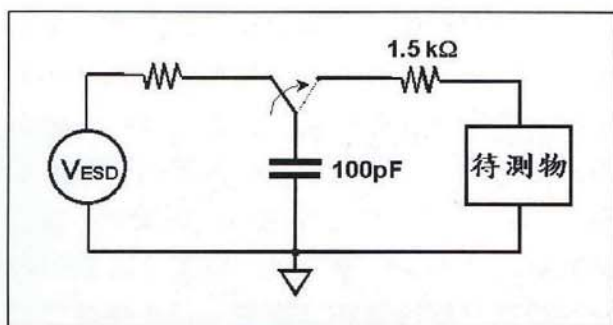


圖2 人體放電模式之靜電放電等效電路圖

今各國用來判斷積體電路之靜電放電耐受度的重要依據。圖2顯示此工業標準 (MIL-STD-883^[5]) 的等效電路圖，其中人體的等效電容定為 100 微微法拉 (pF)，人體的等效放電電阻定為 1.5 千歐姆 (kΩ)。另外，聯合電子設備工程委員會 (Joint Electron Device Engineering Council, JEDEC) 是半導體工業界的一個標準化組織，其亦對此人體放電模式訂定測試規範 (JESD22-A114-B^[6])，其中人體的等效電容和電阻亦分別為 100 微微法拉和 1.5 千歐姆。一般商用積體電路須達到 2000 伏特人體放電模式之靜電放電耐受度，如表1所示。

2. 機器放電模式

機器放電模式的靜電放電是指機器本身累積了靜電，當此機器去碰觸到積體電路時，該靜電便經由積體電路的接腳放電。此機器放電模式的工業測試標準為 "ED-4701-1"^[7]，此項測試標準最早是由日本制訂

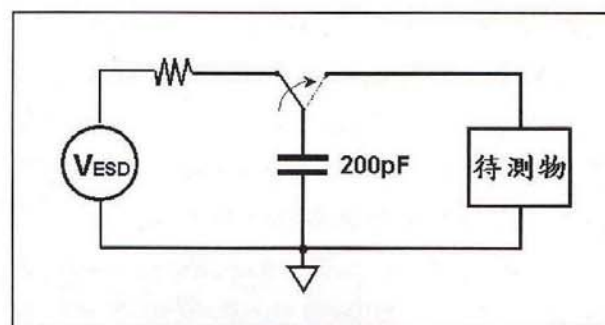


圖3 機器放電模式之靜電放電等效電路圖

出來，其等效電路圖如圖3所示。因為大多數機器都是用金屬製造的，其機器放電模式的等效電阻為 0 歐姆，但其等效電容定為 200 微微法拉。由於機器放電模式的等效電阻為 0，故其放電的過程更短，在幾奈秒到幾十奈秒之內會有數安培的瞬間放電電流產生，對積體電路的破壞力更大。有關人體放電模式與機器放電模式的放電電流比較，顯示於圖4中。機器放電模式的放電電流波形有上下振動的情形，是因為測試機台導線的雜散等效電感與電容互相耦合而引起的。另外，聯合電子設備工程委員會亦對此機器放電模式訂定測試規範 (EIA/JESD22-A115-A^[8])，其中的等效電容和電阻亦分別為 200 微微法拉和 0 歐姆。一般商用積體電路須達到 200 伏特機器放電模式之靜電放電耐受度，此規格亦列於表1。

3. 元件充電模式

此放電模式是指積體電路先因磨擦或

表1 積體電路產品之靜電放電耐受度規格

	人體放電模式	機器放電模式	元件充電模式
OK	2000 伏特	200 伏特	1000 伏特
Safe	4000 伏特	400 伏特	1500 伏特
Super	10000 伏特	1000 伏特	2000 伏特

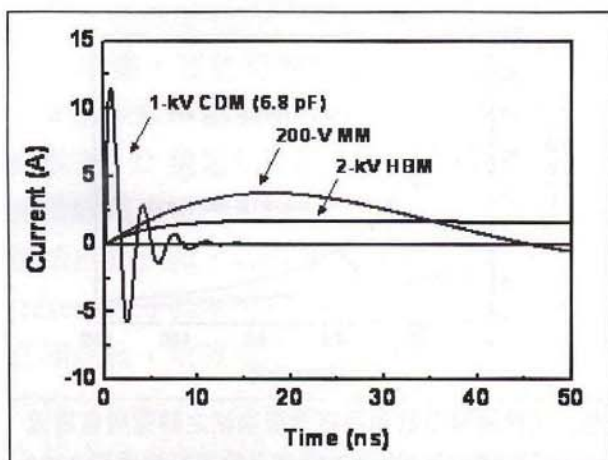


圖4 聯合電子設備工程委員會規範之各種靜電放電模式的電流比較圖

其他因素而在積體電路內部累積了靜電，但在靜電累積的過程中積體電路並未被損傷。此帶有靜電的積體電路在處理過程中，當其接腳去碰觸到接地面時，積體電路內部的靜電便會經由接腳自積體電路內部流出來，而造成了放電的現象。此種模式的放電時間更短，僅約幾奈秒之內，而且放電現象更難以真實的被模擬。因為積體電路內部累積的靜電會因積體電路本身對地的等效電容而變，積體電路擺放的角度與位置以及積體電路所用的包裝型式都會造成不同的等效電容。此元件充電模式的工業測試標準有 "ESD STM5.3.1-1999" [9] 和 "JESD22-C101C" [10]，該元件充電模式靜電放電的等效電路圖顯示於圖5中。一般商用積體電路須達到 1000 伏特元件充電模式之靜電放電耐受度，如表1所示。有關人體放電模式、機器放電模式、與元件充電模式的放電電流比較，顯示於圖4中。其中，元件充電模式的放電電流在不到 1 奈秒的時間內，便已衝到十幾安培的尖峰值，但其放電的總時段約在 10 奈秒的時間內便結束。此種放電現象更易造成積體電路的損傷。

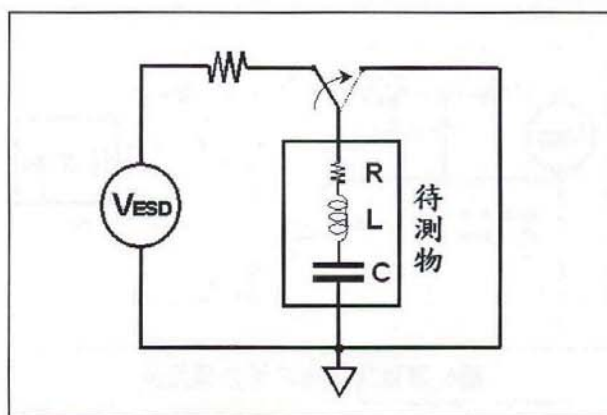


圖5 元件充電模式之靜電放電等效電路圖

三、系統層級之靜電放電測試標準

前段所述之元件層級靜電放電測試標準是用於模擬積體電路直接遭受靜電轟擊的過程，但是當積體電路晶片安裝在電子產品後，這時週遭的環境也有可能會對電子產品產生靜電放電的破壞，所以電子產品也要做系統層級之靜電放電測試。在電子產品中，系統層級之靜電放電測試已成為一個重要的可靠度問題。在國際電工協會 (International Electro-technical Commission, IEC) 所訂定的電磁相容基本規範中，其中有一項靜電測試規範 (IEC 61000-4-2 [11]) 對系統產品之靜電耐受要求及測試方法有完整的定義。目前有超過130個國家參與國際電工協會，因此這項靜電測試規範已成為國際各大公司的重要依據。

IEC 61000-4-2 所定義的測試模式主要是用來模擬人體之靜電放電，如圖6是系統層級靜電放電測試時使用的靜電放電槍 (ESD gun) 之等效電路圖，它與 MIL-STD-883 所定義之人體放電模式有點相似，但是差別在於電容和電阻值的大小。由圖6中可知，IEC 61000-4-2 設定的等效電容值為 150 微微法拉

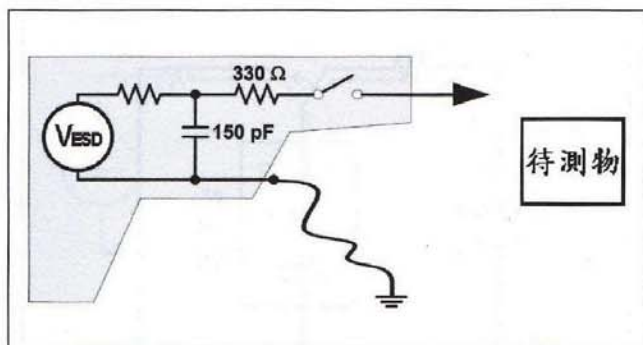


圖6 靜電放電槍之等效電路圖

(MIL-STD-883 的 1.5 倍)、電阻值為 330 歐姆 (MIL-STD-883 的 1/5 倍)。因此，在這種較大的儲能電容和較小的放電電阻情況下，靜電放電的破壞力自然會更加嚴重。有關元件層級之靜電放電測試 (MIL-STD-883) 和系統層級之靜電放電測試 (IEC 61000-4-2) 的放電電流比較，顯示於圖7中。其中，兩者電容的充電電壓皆達到 8000 伏特，系統層級之靜電放電電流會達到 30 安培的峰值，約是元件層級之靜電放電電流的6倍，因此系統層級之靜電放電測試更易造成積體電路的損傷。這就是電子產品通過元件層級之靜電放電測試後，有時卻無法通過系統層級之靜電放電測試的主要原因，也因此促使 IEC61000-4-2 成為各大公司所接受之測試規範。

在使用靜電放電槍測試系統層級之靜電放電耐受度時，包括以下兩種方法：

1.接觸放電 (contact discharge) 測試

這種測試方法是模擬金屬工具接觸到電子產品時發生的靜電放電現象。在這種測試方法下，靜電放電槍的放電頭 (head) 是由尖頭金屬所組成，如圖8所示。測試時，靜電放電槍經由尖端金屬對待測產品作接觸放電測試。

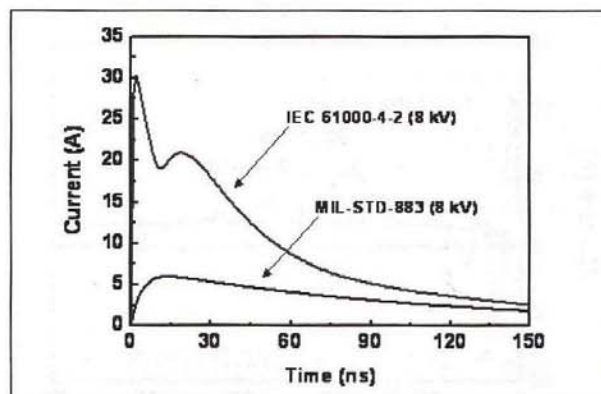


圖7 元件層級測試和系統層級測試之靜電放電電流比較圖 (其中兩者的電容充電電壓皆達到 8000 伏特)

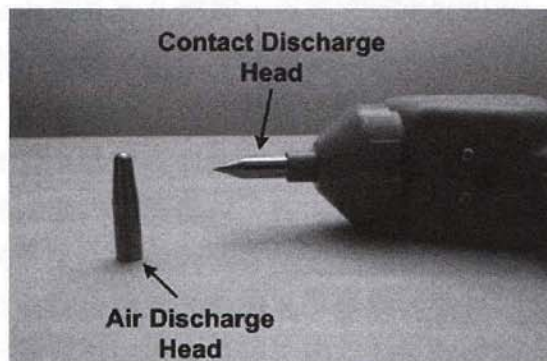


圖8 靜電放電槍之接觸放電接頭和空氣放電接頭

2.空氣放電 (air discharge) 測試

這種測試方法是模擬人的手指接觸到電子產品時發生的靜電放電現象。在這種空氣放電測試方法下，靜電放電槍使用 8 毫米 (mm) 的放電頭，如圖8所示。測試時，靜電放電槍經由放電頭對電子產品作非接觸式放電測試。

靜電放電之測試結果須依照電子產品功能受影響的程度做判定，目前將受影響的程度分為四級，包含 A 級 (class A)、B 級 (class B)、C 級 (class C)、和 D 級 (class D)。A 級是指電子產品的功能在測試前、測試中、和測試後完全不受靜電放電所影響，皆可以正常操作，並且沒有任何性能衰減。B 級是指



產品在測試過程中，功能會暫時受靜電放電所影響，在放電瞬間會降低性能或是出現異常現象，但是在靜電放電測試後可以自動恢復。C 級是指產品在測試過程中，功能會受靜電放電所影響，且在靜電放電測試後無法自動恢復，必須由使用者重開機或重置(reset)後才能恢復其功能。D 級則是指產品在測試後，就算使用者重開機或重置也無法恢復其功能。一般建議，商用產品必須通過 A 級或 B 級的驗證才能被大眾市場所接受，C 級產品則可能用於低價商品中，工業用產品則一定要達到 A 級的水準。

四、積體電路之靜電放電防護設計的基本概念

靜電放電防護電路是在積體電路中專門用來當靜電放電防護之用，此靜電放電防護電路提供了靜電放電電流路徑，以免靜電放電時，靜電電流流入積體電路的內部電路而造成損傷。為避免積體電路遭受靜電放電的威脅與破壞，所有積體電路與外界接觸的鉅墊(pad)皆須搭配靜電放電防護設計^[12]。在輸出鉅墊，其輸出級大尺寸的電晶體(PMOS和NMOS)本身便可當作靜電放電防護元件來用，但是其佈局(layout)必須遵守設計規則(design rule)中有關靜電放電佈局方面的規定。在輸入鉅墊，因積體電路的輸入端一般都是連接到電晶體的閘極(gate)，且由於閘極氧化層很容易被靜電放電所打穿，因此在輸入鉅墊的下方或旁邊會設計一組靜電放電防護電路，以保護輸入級的元件。在電源端(V_{DD} pad)與接地端(V_{SS} pad)的鉅墊也要做靜電放電防護設計，因為電源端與接地端的接腳也可能遭受靜電放電的轟擊。因此，一個全晶片之靜電放電防護電路的安排要如

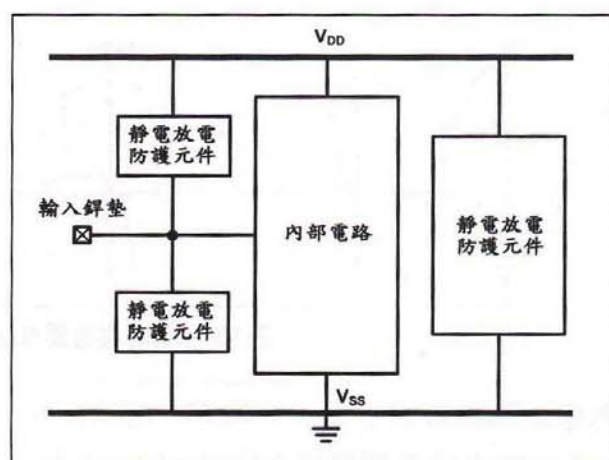


圖9 全晶片之靜電放電防護電路

圖9所示^[13]。

在積體電路中加入靜電放電防護電路後，該靜電放電防護電路要發揮防護效果，以避免積體電路內的元件被靜電放電所損傷。當靜電放電電壓出現在輸入或輸出腳位上時，製作於該輸入或輸出鉅墊旁的靜電放電防護電路必須要能夠及早導通來排放靜電放電電流。因此，靜電放電防護電路內所使用的元件必須要具有較低的導通電壓或較快的導通速度。在互補式金氧半電晶體(CMOS)製程中，常見的靜電放電防護元件有：電阻(resistor)、二極體(diode)、N型金氧半電晶體(NMOS)、P型金氧半電晶體(PMOS)、場氧化層元件(field-oxide device)、和寄生的矽控整流器元件(silicon-controlled rectifier, SCR)，這些元件可以用來設計組合成各式各樣的靜電放電防護電路。其中電阻具有阻擋電流的能力，因此經常與其他元件共同使用以提昇該元件的靜電放電耐受能力。各種元件的電流-電壓(I-V)特性曲線如圖10所示。

若一個靜電放電防護元件在靜電放電

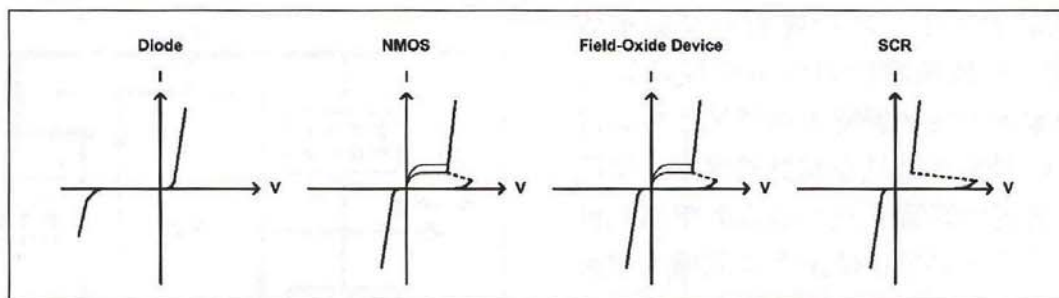


圖10 各種靜電放電保護元件之電流-電壓特性曲線

轟擊之下具有較低的工作電壓 (operating voltage)，則在該靜電放電防護元件上所產生的熱就會較小，這些熱就由該靜電放電防護元件來承受。當靜電放電所產生的熱量大於該靜電放電防護元件所能承受的極限值，該靜電放電防護元件便會燒毀，如果要能承受更大的靜電放電放電電流，則必須增加該靜電放電防護元件的尺寸及佈局面積以提昇其承受能力。從圖10可知，各種靜電放電防護元件在順向偏壓及逆向偏壓之下，其工作電壓是不相同的，例如二極體元件在順向偏壓之下的工作電壓約在 0.7 伏特左右，但是該二極體元件在逆向偏壓之下的工作電壓約在 -10 伏特左右，因此，當相同大小的靜電放電放電電流流經該二極體元件時，在逆向偏壓情形下所產生的熱量遠大於該二極體元件在順向偏壓情形下的熱量，也就是說在相同元件尺寸大小的前提之下，二極體元件在順向偏壓之下所能承受的靜電放電電壓將遠大於該元件在逆向偏壓之下所能承受的靜電放電電壓值。因此，如何設計一個具有高靜電放電承受能力但只佔用小佈局面積的靜電放電防護電路，必須要考慮元件在不同偏壓之下的特性。至於金氧半電晶體元件或場氧化層元件的靜電放電承受能力，則跟該元件的第二次崩潰 (secondary-breakdown) 有關。當靜電放電放電電流大於該元件的第二次崩潰點

電流，該元件便會造成不可回復性的損傷。在各種靜電放電防護元件之中，由於矽控整流器元件在順向偏壓與逆向偏壓之下的工作電壓都只有約 1 伏特左右，因此矽控整流器可在更小的佈局面積之下承受極高的靜電放電電壓^[14]。

五、系統層級之靜電放電防護解決方案

系統層級之靜電放電防護設計必須從印刷電路板 (printed circuit board, PCB) 開始作起，例如：印刷電路板走線須考慮減少對電磁場耦合的敏感度、應用反耦合 (decoupling) 電容、在印刷電路板佈局時使用低通濾波的方式疏導靜電放電能量、使用電壓箝制元件作抑制。

電壓箝制元件需要可吸收大量靜電放電能量，除此之外，還需要考慮在靜電放電衝擊下的導通速度是否夠快，更需要考慮電壓箝制元件在導通後箝制電壓 (clamping voltage) 是否夠低，以避免內部線路受到靜電放電衝擊而造成系統損傷。由於一些元件特性的限制，很多電壓箝制元件具有較高的箝制電壓，使它們不能提供有效的靜電放電保護。一種瞬態電壓抑制器 (transient voltage suppressor, TVS) 二極體正可解決此問題，它已成為電子產品之靜電放電防護的關鍵性技

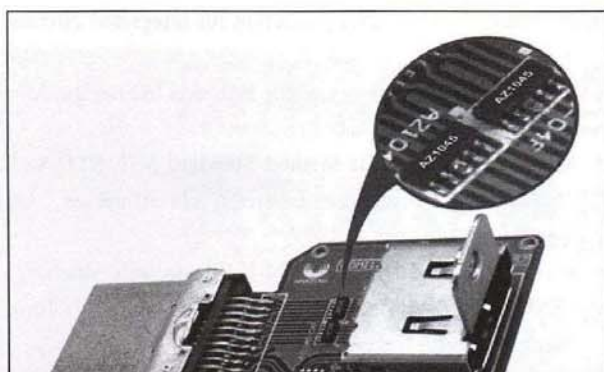


圖11 應用在高清晰度多媒體介面上的瞬態電壓抑制器二極體^[16]

術^[15]。瞬態電壓抑制器二極體是專門設計用於吸收靜電放電能量、並保護系統免於遭受靜電放電損害的產品。瞬態電壓抑制器二極體在印刷電路板上與被保護線路並聯，當瞬時電壓超過電路正常工作電壓後，瞬態電壓抑制器二極體便會導通，提供給瞬時電流一個超低阻抗路徑，以避開被保護線路，並且在電壓恢復正常值之前使被保護線路一直保持截止電壓。當瞬時脈衝結束以後，瞬態電壓抑制器二極體會回到高阻抗狀態，整個迴路進入正常電壓。

當電壓箝制元件應用在高速電路時，必須擁有低負載電容，以避免電路性能的嚴重衰減。如圖11為一個應用在高清晰度多媒體介面 (high-definition multimedia interface, HDMI) 1.4 版上的瞬態電壓抑制器二極體 (AZ1045)^[16]，其接腳本身的寄生電容只有 0.5 微微法拉，滿足高清晰度多媒體介面規格的要求，不會影響到訊號完整性。

在靜電放電防護能力上，這個瞬態電壓抑制器二極體可以承受接觸模式測試 10000 伏特的靜電放電轟擊，而不會有任何損壞發生，可滿足消費性電子產品可靠度的要求。

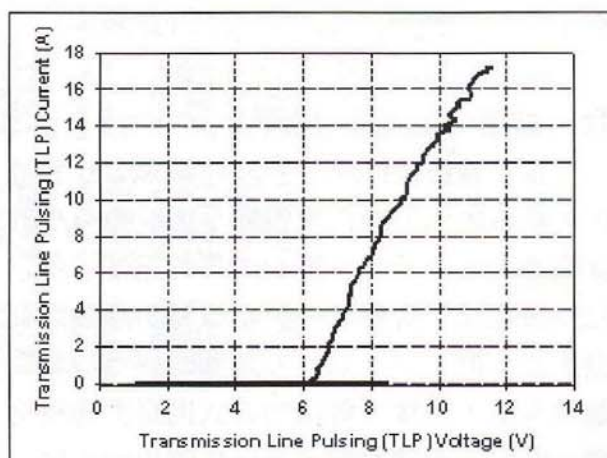


圖12 傳輸線脈波系統量測之瞬態電壓抑制器二極體的電壓-電流特性曲線^[16]

圖12是使用傳輸線脈波 (transmission line pulsing, TLP) 系統所量到的瞬態電壓抑制器二極體之電壓-電流特性曲線，由量測結果可以看到，瞬態電壓抑制器二極體的箝制電壓小於 12 伏特。瞬態電壓抑制器二極體擁有如此低的箝制電壓，可以有效防止資料傳輸時被靜電放電事件所干擾，如此的高清晰度多媒體介面連接埠才有機會通過 A 級的系統層級之靜電放電測試。

除了印刷電路板上之靜電放電防護設計之外，在系統產品的靜電放電防護措施也要被注意。例如機殼保持導電性以發揮屏蔽功能，使機殼內的電路不受靜電放電影響。若機殼是使用非金屬材料、不具屏蔽功能，則要使電路板的佈局減小迴路面積或使用雙層以上電路板，以降低對靜電放電電磁場的感應。還有固定機殼的金屬螺絲不能穿透到機構內部，因為它在靜電放電時就像天線對內部輻射、以及作尖端放電。

對於系統層級之靜電防護設計而言，必須注意到零件的選用、印刷電路板的設計、和



產品系統佈線整合，每個階段都不能草率。

六、結語

當半導體製程進入奈米 (nanoscale) 領域後，電路內部的操作電壓變小，只要有小的雜訊進入很容易就干擾到內部的訊號，所以元件層級和系統層級之靜電放電防護設計都很重要。但是，不同產品遇到的靜電放電問題常常都不一樣，解決的方式則是要隨機應變，所以，希望設計者能保持開放的心態去解決靜電放電防護的問題。

靜電放電防護技術隨著半導體製程的先進演變而愈來愈困難，然而世界先進國家的各大廠商在靜電放電防護上的研究也更趨熱烈，各式各樣的技術都被提出用在靜電放電防護上，因而已有很多靜電放電防護設計的相關專利被申請。在產品商業化時，設計者還要注意專利的智慧財產權問題，因而是高難度的設計工作。

有鑑於靜電放電問題的嚴重性，「台灣靜電放電防護工程學會」每年皆會舉辦研討會、論壇等活動，廣邀積體電路製造、設計、測試、與防靜電放電的材料以及廠務相關領域之人員，期盼透過學會多人參與的方式，培養台灣電子產業此方面的技術與知識，並期盼透過學會的交流，讓相關產業的防護技術有一個互相學習與觀摩的地方，協助提昇台灣產業的產品品質與可靠度。 ◆

參考文獻

1. S. Voldman, ESD: circuits and devices, John Wiley & Sons, 2006.
2. A. Amerasekera and C. Duvvury, ESD in silicon integrated circuits, John Wiley & Sons, 2002.
3. A. Wang, On-chip ESD protection for integrated circuits, Kluwer, 2002.
4. S. Dabral and T. Maloney, Basic ESD and I/O design, John Wiley & Sons, 1998.
5. Microelectronics Test Method Standard MIL-STD-883, "Electrostatic discharge sensitivity classification," US Department of Defense, 1991.
6. JEDEC Standard JESD22-A114-B, "Electrostatic discharge (ESD) sensitivity testing human body model," Joint Electron Device Engineering Council, 2000.
7. JEITA Standard ED-4701-1, "Environmental and endurance test methods for semiconductor devices," Japan Electronics and Information Technology Industries Association, 2001.
8. EIA/JEDEC Standard EIA/JESD22-A115-A, "Electrostatic discharge (ESD) sensitivity testing machine model (MM)," Electronic Industries Alliance and Joint Electron Device Engineering Council, 1997.
9. ESD Association Standard ESD STM5.3.1-1999, "for electrostatic discharge sensitivity testing – charged device model (CDM) – component level," ESD Association, 1999.
10. JEDEC Standard JESD22-C101C, "Field-induced charged-device model test method for electrostatic discharge-withstand thresholds of microelectronic components," Joint Electron Device Engineering Council, 2004.
11. IEC Standard IEC 61000-4-2, "Testing and measurement techniques – Electrostatic discharge immunity tests," International Electrotechnical Commission, 2001.
12. 柯明道, "互補式金氧半積體電路之靜電放電防護," [Online]. Available: <http://www.ics.ee.nctu.edu.tw/~mdker/ESD/>
13. M.-D. Ker, "Whole-chip ESD protection design with efficient VDD-to-VSS ESD clamp circuits for submicron CMOS VLSI," IEEE Trans. Electron Devices, vol. 46, no. 1, pp. 173-183, Jan. 1999.
14. M.-D. Ker and K.-C. Hsu, "Overview of on-chip electrostatic discharge protection design with SCR-based devices in CMOS integrated circuits," IEEE Trans. Device Mater. Reliab., vol. 5, no. 2, pp. 235-249, Jun. 2005.
15. M. Bobde, S. Mallikarjunaswamy, M. Ho, and F. Hebert, "A novel ESD super-clamp structure for TVS applications," in Proceeding of IEEE Applied Power Electronics Conference and Exposition, 2008, pp. 897-900.
16. 姜信欽, "HDMI 1.4連接埠的靜電放電防護解決方案", 電子時報, Jan. 2010. [Online]. Available: <http://www.digitimes.com.tw/tw/dt/n/shwnws.asp?cnlid=13&id=0000166040>