

元件充電模式之 靜電放電防護設計

文—林群祐、柯明道

關鍵字：元件充電模式(charged-device model)、靜電放電(electrostatic discharge, ESD)、初始導通(initial-on)、奈米金氧半製程(nanoscale CMOS process)

摘要

相較於人體放電模式(human-body-model, HBM)與機械放電模式(machine-model, MM)，元件充電模式(charged-device-model, CDM)靜電放電對積體電路的衝擊更嚴重。在奈米金氧半製程中，由於電晶體閘極氧化層厚度持續降低，勢必惡化積體電路的元件充電模式靜電放電耐受度。在積體電路設計上，元件充電模式靜電放電現象已成為相當嚴重且必須解決的課題。因此，本論文提出一種具有初始導通特性之元件充電模式靜電放電防護設計。本設計已於55奈米金氧半製程中實作，其元件充電模式靜電放電耐受度亦已被驗證。

前言

元件製程進入奈米領域之後，隨著縮微的快速發展，電晶體的操作頻率也得以順利地提昇。然而，對縮微化之電晶體而言，靜電放電(electrostatic discharge, ESD)是影響其可靠度的最主要因素^[1-2]。相較於人體放電模式(human-body-model, HBM)與機械放電模式(machine-model, MM)，元件充電模式(charged-device-model, CDM)靜電放電對積體電路的衝擊更為嚴重^[3-4]。元件充電模式之靜電放電是由於積體電路產品因磨擦、移動、或其他

因素而在晶片內部累積了靜電電荷，雖然在靜電累積的過程中晶片並未被損傷，但在晶片的某個接腳接觸到接地面時，晶片內部累積的靜電電荷便會經由此接腳自晶片內部流出來，而造成了放電的現象，並在極短的時間內產生極大的電流，經常高達十幾安培以上。

相較於人體放電與機械放電模式之數十奈秒(nanosecond)到數百奈秒的放電時間而言，元件充電模式靜電放電的時間更短，僅約幾奈秒之內的時間便結束。如此短的放電時間，極可能使得在靜電放電防護電路尚未導通前，靜電電荷即透過元件結構中的寄生電容進行放電，所以當元件充電模式靜電放電現象發生時，電晶體的閘極氧化層很容易因靜電放電而損壞，如圖1所示^[5]。這種電晶體閘極毀損的情況，在元件充電模式靜電放電測試時極為明顯。在奈米金氧半製程中，由於電晶體閘極氧化層厚度持續降低，勢必惡化積體電路的元件充電模式靜電放電耐受度。因此，在積體電路設計上，元件充電模式靜電放電現象已成為相當嚴重且必須解決的課題。

本文將於第二章介紹人體放電模式、機械放電模式與元件充電模式之靜電放電測試標準，這些

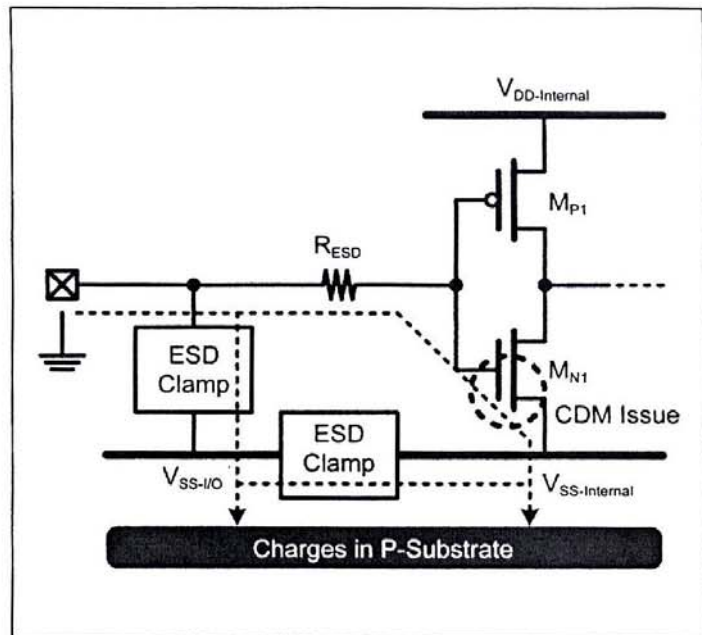


圖1 輸入緩衝器遭受元件充電模式之靜電放電轟擊

標準已受到國際間各大公司的採用，作為積體電路之靜電放電耐受度的測試依據。本論文第三章針對目前已發展的元件充電模式之靜電放電防護設計進行分析，並歸納各種設計的成效。為了提升積體電路之元件充電模式靜電放電耐受度，本論文於第四章提出一種新型利用初始導通技術實作之元件充電模式靜電放電防護設計，本設計已於55奈米金氧半製程中實作，其元件充電模式靜電放電耐受度亦已被驗證。

元件層級之靜電放電測試標準

依靜電放電產生的原因及其對積體電路放電的方式不同，目前分類為三大類：(1)人體放電模式、(2)機器放電模式和(3)元件充電模式。以下針對此三類靜電放電現象詳加說明，並比較各類放電現象。

(一)人體放電模式

人體放電模式的靜電放電是指因人體在地上走動磨擦或其他因素而在人體上已累積了靜電，當此人去碰觸到積體電路時，人體上的靜電便會經由積體電路的接腳(pin)而進入積體電路內，再經由積體電路放電到地去。此放電的過程會在短到幾百奈秒(ns)的時間內產生數安培的瞬間放電電流，此電流會把積體電路內的元件給燒毀。有關於人體放電模式的靜電放電已有工業測試的標準，為現今各國用來判斷積體電路之靜電放電耐受度的重要依據。圖2顯示此工業標準(MIL-STD-883^[6])的等效電路圖，其中人體的等效電容定為100微微法拉(pF)，人體的等效放電電阻定為1.5千歐姆(kΩ)。另外，聯合電子設備工程委員會(Joint Electron Device Engineering Council, JEDEC)亦對此人體放電模式訂定測試規範(JESD22-A114-B^[7])，詳細情形請參閱該工業標準。

(二)機器放電模式

機器放電模式的靜電放電是指機器本身累積了靜電，當此機器去碰觸到積體電路時，該靜電便經由積體電路的接腳放電。此機器放電模式的工業測試標準為"ED-4701-1"^[8]，其等效電路圖如圖3所示。因為大多數機器都是用金屬製造的，其機器放電模式的等效電阻為0歐姆，但其等效電容定為200微微法拉。由於機器放電模式的等效電阻為0，故其放電的過程更短，在幾奈秒到

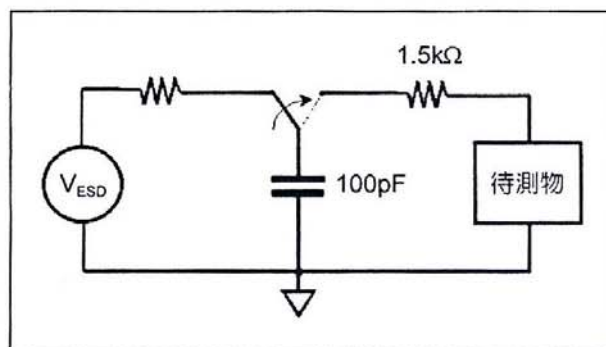


圖2 人體放電模式之靜電放電等效電路圖

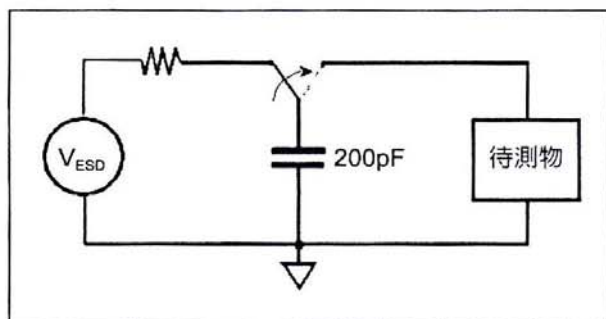


圖3 機器放電模式之靜電放電等效電路圖

幾十奈秒之內會有數安培的瞬間放電電流產生，對積體電路的破壞力更大。有關人體放電模式與機器放電模式的放電電流比較，顯示於圖4中。機器放電模式的放電電流波形有上下振動的情形，是因為測試機台導線的雜散等效電感與電容互相耦合而引起的。另外，聯合電子設備工程委員會亦對此機器放電模式訂定測試規範(EIA/JESD22-A115-A^[9])，詳細情形請參閱該工業標準。

(三)元件充電模式

此放電模式是指積體電路先因磨擦或其他因素而在積體電路內部累積

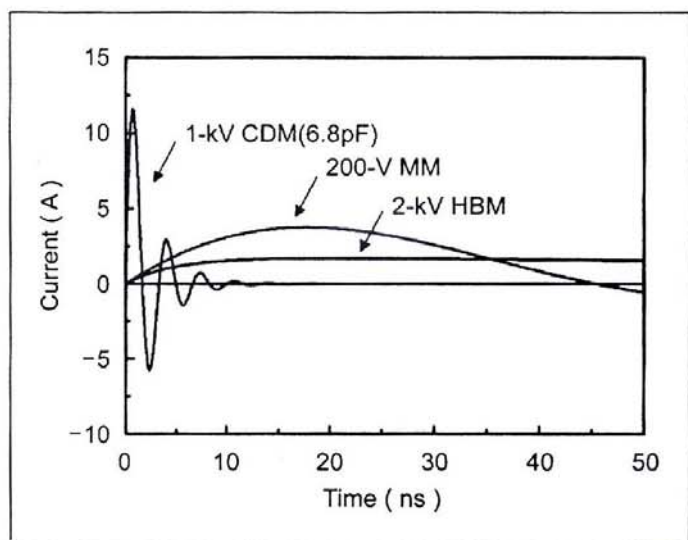


圖4 聯合電子設備工程委員會規範之各種靜電放電模式的電流比較圖

了靜電，但在靜電累積的過程中積體電路並未被損傷。此帶有靜電的積體電路在處理過程中，當其接腳去碰觸到接地面時，積體電路內部的靜電便會經由接腳自積體電路內部流出來，而造成了放電的現象。此種模式的放電時間更短，僅約幾奈秒之內，而且放電現象更難以真實的被模擬。因為積體電路內部累積的靜電會因積體電路本身對地的等效電容而變，積體電路擺放的角度與位置以及積體電路所用的包裝型式都會造成不同的等效電容。此機器放電模式的工業測試標準有"ESD STM5.3.1-1999"^[10]和"JESD22-C101C"^[11]，該元件充電模式靜電放電的等效電路圖顯示於圖5中。有關人體放電模式、機器放電模式、與元件充電模式的放電電流比較，顯示於圖4中。其中，元件充電模式的放電電流在不到1奈秒的時間內，便已衝到十幾安培的尖峰值，但其放電的總時段約在10奈秒的時間內便結束，此種放電現象更易造成積體電路的損傷。由於在奈米金

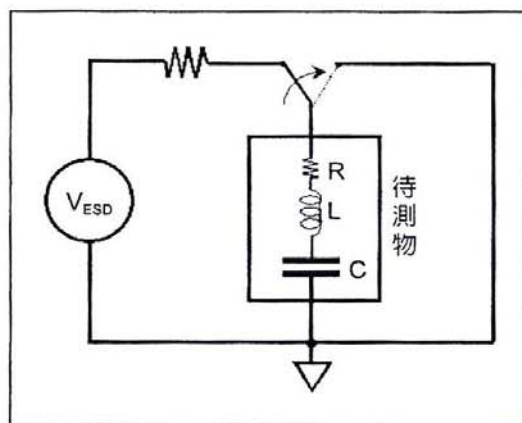


圖5 元件充電模式之靜電放電等效電路圖

氧半製程中電晶體的靜電放電耐受度持續降低，因此，積體電路須搭配更有效的靜電放電防護設計，以避免積體電路遭受靜電放電的威脅與破壞。

傳統之元件充電模式靜電放電防護設計

積體電路只製作於晶片表面約幾微米的厚度而已，但是P型基體(P-substrate)的厚度卻有數百微米，因此，大部分的靜電電荷是儲存在晶片的P型基體中。當元件充電模式靜電放電發生時，靜電電荷便會在瞬間由P型基體流出，在那瞬間因過高的跨壓跨在輸入緩衝器之閘極氧化層上，而將其打穿。目前文獻上所見的一種改善方法是在輸入緩衝器之N型金氧半電晶體的P型井(P-well)下方加入一層深N型井(deep N-well)，以將

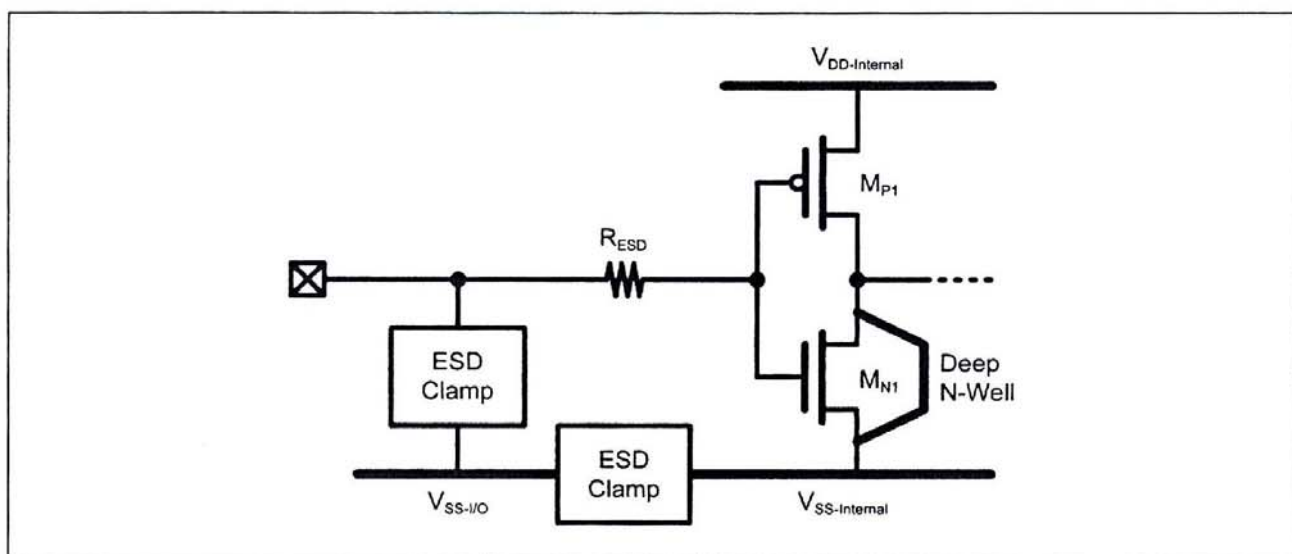


圖6 利用深N型井實現之元件充電模式靜電放電防護設計^[12]

此P型井與P型基體相隔絕，如圖6所示^[12]。當元件充電模式之靜電放電事件發生時，堆積在P型基體中之大量靜電電荷被深N型井所隔離，因此不會對金氧半電晶體的閘極氧化層產生損害。而P型井中的靜電電荷，因其數量較少，並不至於對閘極氧化層造成損害。

然而，利用此方法實現之元件充電模式靜電放電防護設計必須額外用到一層深N型井光罩，這一層額外的光罩將會讓晶片生產成本大幅提高。

目前文獻上所見之另一種解決方案是在輸入緩衝器的閘極旁邊加上一個小尺寸的靜電放電防護元件(ESD clamp)，如圖7所示^[13]。該小尺寸的靜電放電防護元件可以使用一閘極接地之N型金氧半電晶體(gate-grounded NMOS, GGNMOS)來實現。

爲了進一步提升N型金氧半電晶體

的靜電放電防護能力，文獻[14]提出了一種自偏壓電流觸發(self-biased current trigger, SBCT)電路。自偏壓電流觸發電路是在原有的靜電放電防護電路中，加入一N型金氧半電晶體(M_{CDM})和源極電阻(R_{CDM})，如圖8所示。在正常操作期間，此N型金氧半電晶體的閘極被偏壓在系統最低電位，因此N型金氧半電晶體會被關閉。在負型元件充電模式靜電放電期間，N型金氧半電晶體的閘極會被偏壓($V_{SS-I/O} - V_{SS-Internal}$)而導通，電流流過源極電阻，從而減小輸入緩衝器之閘極閘氧化層的跨壓。此外，在正型元件充電模式靜電放電期間，N型金氧半電晶體中寄生的二極體元件會導通，亦可降低閘極氧化層損壞的風險。

相較於N型金氧半電晶體，P型金氧半電晶體元件本身具有初始導通的特性^[15]。若可將P型金氧半電晶體應用於

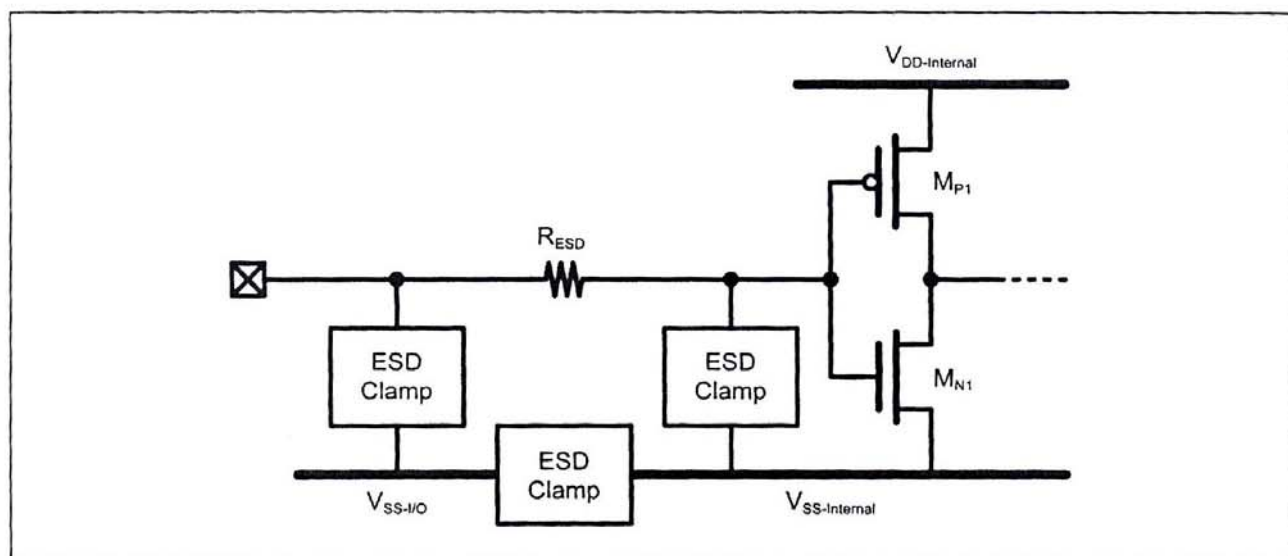


圖7 利用小尺寸靜電放電防護元件實現之元件充電模式靜電放電防護設計^[13]

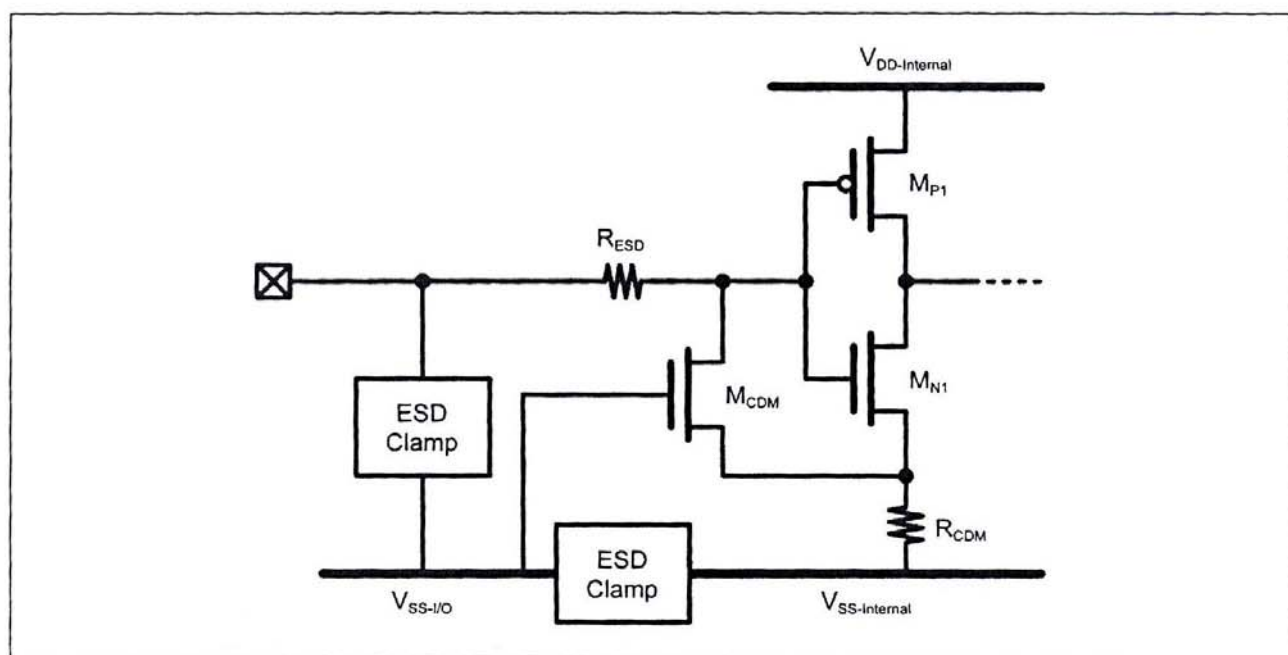


圖8 利用自偏壓電流觸發電路實現之元件充電模式靜電放電防護設計^[14]

元件充電模式靜電放電防護設計，將可大幅提升靜電放電防護能力。以下章節將介紹利用P型金氧半電晶體之初始導通特性實作之元件充電模式靜電放電防護設計。

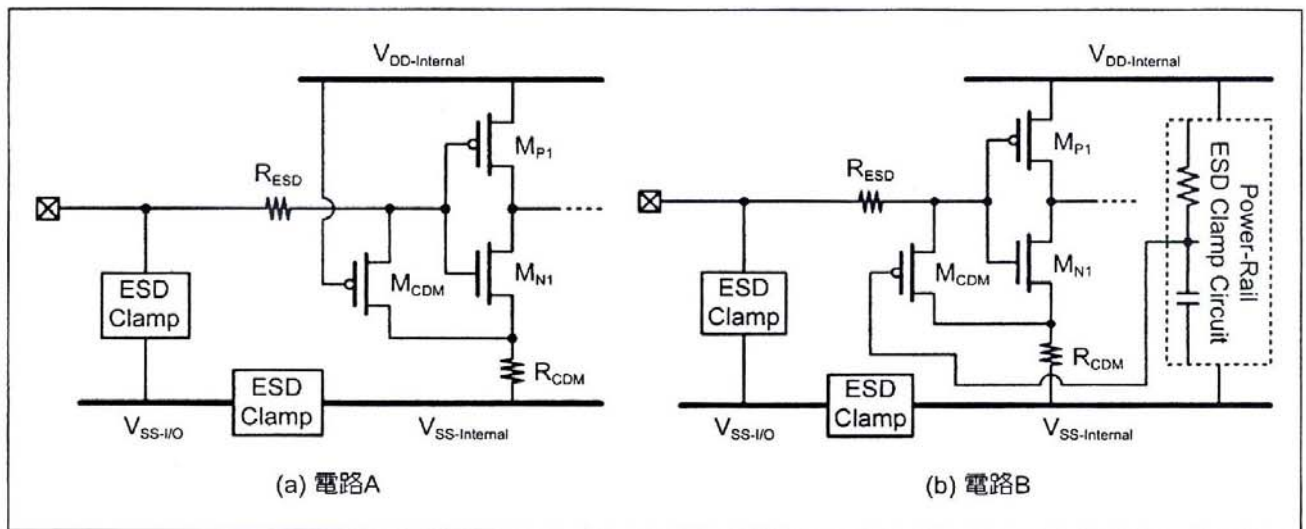


圖9 新提出利用初始導通技術實現之元件充電模式靜電放電防護設計：電路A和電路B

具有初始導通特性之創新設計

(一)初始導通特性

由於元件充電模式靜電放電的衝擊又快又大，故靜電放電防護電路的導通速度必須夠快，以有效保護輸入緩衝器免於遭受靜電放電之破壞。本論文利用P型金氧半電晶體之初始導通特性，實作一種創新之元件充電模式靜電放電防護設計。圖9(a)和圖9(b)分別展示本設計之兩種變形(電路A和電路B)。

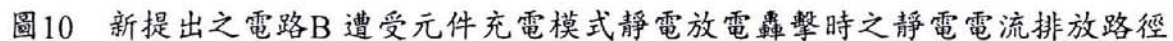
電路A是在原有的靜電放電防護電路中，加入一P型金氧半電晶體(M_{CDM})和一源極電阻(R_{CDM})。在正常操作期間，此P型金氧半電晶體的閘極被偏壓在系統最高電位，因此P型金氧半電晶體會被關閉。在負型元件充電模式靜電放電期間，P型金氧半電晶體的閘極暫時處於浮接(floating)狀態，P型金氧半電晶體因此導通將電流注入源極電阻，從而減小輸入緩衝器之閘極閘氧化層的跨壓。此外，在正型元件充電模式靜電放電期間，P型金氧半電晶體中寄生的二極體元件

會導通，亦可降低閘極氧化層損壞的風險。

另一種電路B則是將P型金氧半電晶體(M_{CDM})的閘極連接至電源間靜電放電箝制電路(power-rail ESD clamp circuit)的電阻和電容之間。在正常操作期間，此P型金氧半電晶體的閘極一樣會被偏壓在系統最高電位。在元件充電模式靜電放電期間，此電路的靜電放電防護方式亦如電路A。圖10展示了電路B在負型元件充電模式靜電放電時，其靜電電流的排放路徑。

(二)測試電路實作

本實驗在55奈米金氧半製程中設計。在測試晶片中，第一組輸入緩衝器是實作圖7的電路，其中的靜電放電防護電路是各種尺寸之閘極接地N型金氧半電晶體



本論文提出之電路A和B(proposed design A and B)則是利用各種尺寸之P型金氧半電晶體以及100歐姆源極電阻來實作元件充電模式之靜電放電防護設計。

靜電放電防護電路在模擬負型和正型元件充電模式靜電放電時的導通情形分別展示於如圖11(a)和圖11(b)，圖12則是統整了靜電放電期間，輸入緩衝器之N型金氧半電晶體(M_{N1})上的最大跨壓。由模擬結果可看出，本論文提出之創新設計可降低此最大跨壓，因此可降低輸入緩衝器之閘極氧化層被元件充電模式靜電放電所損壞的風險。

(四)量測結果

本研究將前述的四種靜電放電防護電路在55奈米金氧半製程中實作並驗證。靜電放電測試時，測試晶片被包裝於雙列式封裝(dual-inline package)。元件充電模式之充電方式是使用電場感應(field-induced)。判定故障的方法是以

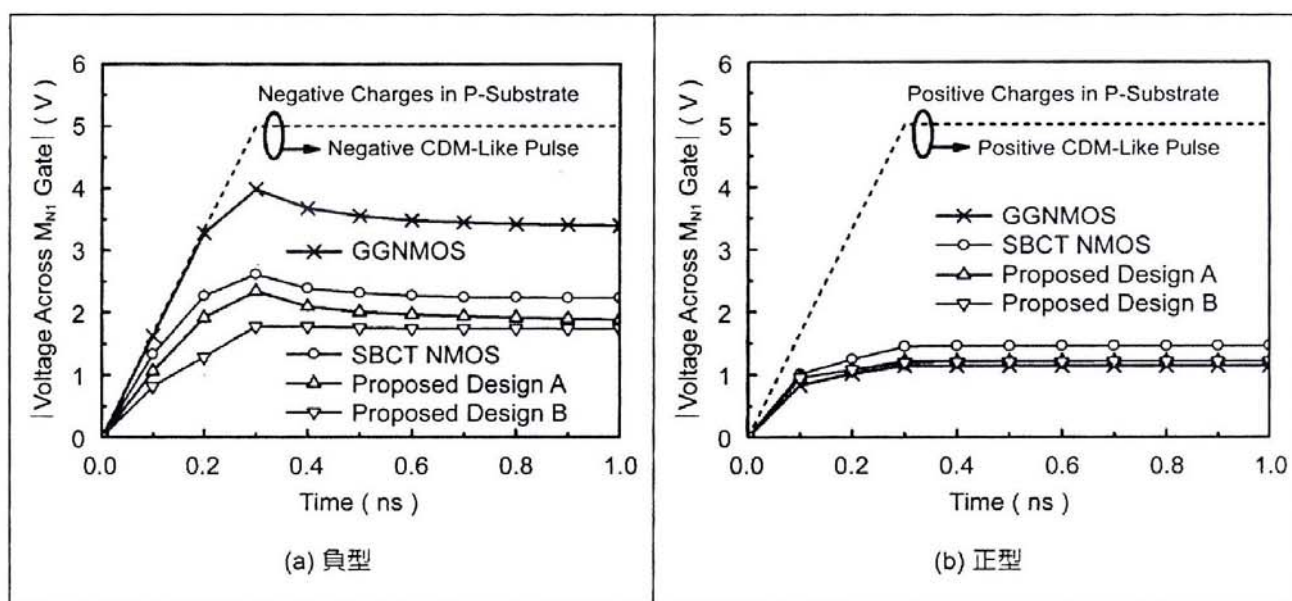


圖11 四種靜電放電防護電路在模擬遭受負型和正型之元件充電模式靜電放電時的導通情形

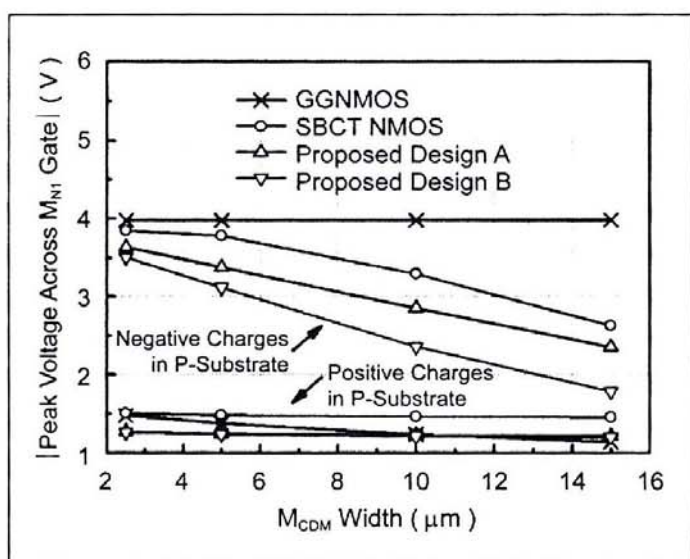


圖12 元件充電模式靜電放電期間在輸入緩衝器之N型金氧半電晶體(M_{N1})上的最大跨壓

輸入緩衝器在正常工作的電流電壓曲線漂移30%當作準則。

這四種靜電放電防護電路之元件充電模式靜電放電耐受度被統整於表1~表4。利用

本研究提出之初始導通靜電放電防護設計，可使輸入緩衝器擁有最佳的元件充電模式之靜電放電防護能力，最高可達到500伏的耐受度。

結語

利用P型金氧半電晶體之初始導通特性實作的元件充電模式靜電放電防護設計已於55奈米金氧半製程中驗證。此外，利用此方法實現之元件充電模式靜電放電防護設計不必用到額外的光罩和製程步驟，因此不會提高晶片生產成本。本設計將可大幅應用於奈米金氧半製程中，以提高積體電路之元件充電模式靜電放電防護能力。■

表1 搭配閘極接地N型金氧半電晶體 (GGNMOS)之輸入緩衝器

M_{CDM} (GGNMOS) Width	Positive CDM	Negative CDM
0 μ m	100V	< 100V
2.5 μ m	200V	< 100V
20 μ m	600V	100V

表2 搭配自偏壓電流觸發N型金氧半電晶體(SBCT NMOS)之輸入緩衝器

M_{CDM} (SBCT NMOS) Width	Positive CDM	Negative CDM
2.5 μ m	200V	100V
10 μ m	400V	200V
20 μ m	600V	300V

表3 搭配新提出之電路A之輸入緩衝器

M_{CDM} (PMOS) Width	Positive CDM	Negative CDM
2.5 μ m	200V	100V
10 μ m	400V	300V
20 μ m	600V	400V

表4 搭配新提出之電路B之輸入緩衝器

M_{CDM} (PMOS) Width	Positive CDM	Negative CDM
2.5 μ m	200V	100V
10 μ m	400V	400V
20 μ m	600V	500V

參考文獻

- [1] S. Voldman, ESD: Circuits and Devices. New York: Wiley, 2006.
- [2] A. Amerasekera and C. Duvvury, ESD in Silicon Integrated Circuits, 2nd ed. John Wiley & Sons, 2002.
- [3] N. Wakai and Y. Kobira, "Consideration for CDM breakdown and reliability designing in the latest semiconductor technology," in Proc. IEEE Reliability and Maintainability Symp., 2009, pp. 509-514.
- [4] T. Chen, C. Ito, W. Loh, W. Wang, K. Doddapaneni, S. Mitra, and R. Dutton, "Design methodology and protection strategy for ESD-CDM robust digital system design in 90-nm and 130-nm technologies," IEEE Trans. Electron Devices, vol. 56, no. 2, pp. 275-283, Feb. 2009.
- [5] Y. Zhou and J. Hajjar, "CDM ESD failure modes and VFTLP testing for protection evaluation," in Proc. IEEE International Solid-State and Integrated-Circuit Technology Conf., 2008, pp. 333-336.
- [6] Microelectronics Test Method Standard MIL-STD-883, "Electrostatic discharge sensitivity classification," US Department of Defense, 1991.
- [7] JEDEC Standard JESD22-A114-B, "Electrostatic discharge (ESD) sensitivity testing human body model,"

- Joint Electron Device Engineering Council, 2000.
- [8] JEITA Standard ED-4701-1, "Environmental and endurance test methods for semiconductor devices," Japan Electronics and Information Technology Industries Association, 2001.
- [9] EIA/JEDEC Standard EIA/JESD22-A115-A, "Electrostatic discharge (ESD) sensitivity testing machine model (MM)," Electronic Industries Alliance and Joint Electron Device Engineering Council, 1997.
- [10] ESD Association Standard ESD STM5.3.1-1999, "for electrostatic discharge sensitivity testing - charged device model (CDM) - component level," ESD Association, 1999.
- [11] JEDEC Standard JESD22-C101C, "Field-induced charged-device model test method for electrostatic discharge - withstand thresholds of microelectronic components," Joint Electron Device Engineering Council, 2004.
- [12] J. Lee, J. Shih, S. Guo, D. Yang, J. Chen, D. Su, and K. Wu, "The study of sensitive circuit and layout for CDM improvement," in Proc. IEEE International Physical and Failure Analysis of Integrated Circuits Symp., 2009, pp. 228-232.
- [13] J. Bourgeat, C. Entringer, P. Galy, P. Fonteneau, and M. Bafleur, "Local ESD protection structure based on silicon controlled rectifier achieving very low overshoot voltage," in Proc. EOS/ESD Symp., 2009, pp. 314-321.
- [14] S.-H. Chen and M.-D. Ker, "Active ESD protection circuit design against charged-device-model ESD event in CMOS integrated circuits," Microelectronics Reliability, vol. 47, no. 9-11, pp. 1502-1505, Sep. 2007.
- [15] M.-D. Ker and S.-H. Chen, "Implementation of initial-on ESD protection concept with PMOS-triggered SCR devices in deep-submicron CMOS technology," IEEE J. Solid-State Circuits, vol. 42, no. 5, pp. 1158-1168, May 2007.

作者簡介

林群祐先生

現職：國立交通大學智慧型仿生系統
研究中心/博士後研究員

學歷：國立交通大學電子研究所博士

專長：靜電放電防護電路、
智慧型仿生電路與系統

柯明道先生

現職：義守大學電子工程學系講座教授兼
研究副校長

學歷：國立交通大學電子研究所博士

專長：奈米電子、積體電路設計及可靠度、
輸出入界面電路、靜電放電防護電路、
平面顯示器電路設計、智慧型仿生
電路與系統
