

ESD 專利組合授權說明會 7 月 21 日召開

領先全球 ESD 專利技術 協助產業創造價值

(記者張美慧／新竹)



2005/07/13

由於半導體產業競爭的全球化，競爭型態也從過去的價格戰轉變成智慧戰，半導體產業廠商不得不快速且大量取得專利權，進行佈局，才能保持產業競爭力。有鑑於此，為配合產業界對於建立專利城堡的需求，工研院系統晶片技術發展中心（STC）將結合交大推出靜電放電防護（ESD protection）技術相關專利計 110 件，歡迎相關業界廠商出席，獲得進一步競標資訊，掌握競爭優勢。

工研院此次專屬授權的 ESD 專利組合，主要來自系統晶片技術發展中心的研發成果，把 IC 半導體產業中極重要的靜電放電防護（ESD Protection）與輸出入單元電路設計（I/O Circuit Design）相關專利，搭配**交大電子工程系柯明道教授**之靜電放電防護專利，以 6 項組合，共計 110 件優質專利，公開徵求專屬授權廠商。組合內容包含「輸出入介面電路之靜電放電防護」、「高速／射頻／混壓輸入輸出 IC 之靜電放電與電性栓鎖防護」、「輸出入單元電路設計」等專利，一併進行專屬授權。

專利中的全晶片靜電放電防護技術，具備高效能靜電放電防護電路，當 IC 產品發生靜電放電時，可有效防止內部電路受到傷害，對於晶圓代工廠、整合元件製造廠（IDM）與 IC 設計公司而言，是不可或缺的關鍵技術。而就產品面來看，舉凡功能日新月異的手持式消費性電子產品、通訊產品、具平面顯示器之電子產品、車用電子等對可靠度要求高的產品等，一些內含需要面積小、成本低之系統晶片、或需要靜電放電耐壓度高之 IC 產品，皆適用此靜電放電防護技術。此技術不但可應用於未來發展之系統單晶片產品，同時也相容於目前市場上較高階或消費性的 IC 產品，具有極高之市場價值。

對半導體業者而言，針對其產品部署完善的靜電放電防護設計專利網極其必要。國外 TI、IBM、Intel 等大廠，早在二十餘年前即投入靜電放電防護設計技術的研發，原市面上實用的靜電放電防護設計技術中超過 95% 受此等大廠專利保護，讓國內廠商在相關產品的研發上屢遇瓶頸。工研院晶片中心 ESD 研發團隊結合交大技術經驗，突破國際大廠專利防護網，在已申請的專利中找尋靜電放電防護設計的研發利基，建立了完整的專利部署，從專利引證分析及組合研究得知，此專利品質極具市場競爭性，可充分協助 IC 廠商節省大量成本，耐受更高的靜電水準。

台灣晶圓產業獨步全球，唯有累積更多更有效的專利保護，才能保持產業競爭力。無論在專利技術與論文產出值量上均居世界領導地位的 ESD 專利組合專屬授權，將協助晶圓代工廠、IDM、IP Provider 及 Fabless IC 設計公司快速的取得產業關鍵地位，更可經由再授權收取權利金；此外，在專利權受到侵害時，得請求損害賠償，對廠商的保障將有加乘效益。

ESD 專利組合專屬授權說明會，擬於 7 月 21 日上午 9：30，於竹東工研院中興院區 9 館 010 室 XXX 召開，內容包括專屬授權競標規則、專利組合及專屬授權契約內容介紹，並隨即開放通訊投標，結標日為 94 年 9 月 23 日下午 5：00 止。欲參加說明會需事先報名，報名窗口：江筱萍小姐（03）5915533，線上報名：http://www.taiwansoc.org/admin/soc_workshop_admin/workshop/workshop_92.htm，活動網址：<Http://www.stc.itri.org.tw/esd/>。