

◎ 華人觀點 ◎



撰文／柯明道

積體電路的金鐘罩 靜電放電防護技術

以半導體工業著稱的台灣，面對電子元件急速縮小的趨勢，同樣得用心處理靜電效應對積體電路的衝擊。

台灣對於靜電防護工程做到什麼地步？在市場上競爭力如何？靜電防護工程學會的理事長柯明道，將為我們做概略的介紹。

——編輯部

在電機、電子、資訊、通訊等產品不斷運用新科技推陳出新之後，靜電放電問題已經顯得愈來愈重要，對於各式各樣先進的積體電路（IC）產品中，微縮到深次微米尺寸的電晶體元件來說更是如此。這些電晶體對靜電放電非常敏感，如果沒有適當的靜電放電防護設計，在生產過程中便經常受到靜電放電損壞而無法順利量產。

最常遇到的情形就是因人體帶電而發生的靜電放電，而只要某次靜電放電能量超過 IC 產品的耐受極限，這些電路便會造成不可回覆性的永久損壞，甚至完全喪失功能，並且經常伴隨引發大量的漏電問題（見右頁下方圖）。

IC 講求輕薄短小，設計者和半導體廠無不想盡辦法把 IC 的晶片面積縮得更小，以降低製造成本、提昇 IC 產品的性能與獲利率。但這卻引發了另一個嚴重的問

題，就是積體電路的靜電放電（ESD）耐受能力大幅下降。尤其當元件大小縮小到奈米尺寸時，ESD 防護的問題便更為棘手。

以互補金氧半導體（CMOS）的 IC 為例，它的輸入極經常連接到閘極氧化層（gate oxide），而該氧化層在 90 奈米的 IC 製程技術中，厚度僅有 15~20 奈米；這麼薄，只要 5~7 伏特左右的靜電電壓便會打穿。況且，幾百至幾千伏特的靜電放電隨時就發生在我們的周遭（從實際量測的研究資料已經指出，人在地毯上行走時，在人體上累積的靜電可達幾千伏特至幾萬伏特之高），造成的損壞也是隨機性變化，這經常使得電子產品生產良率嚴重降低，且難以有效克服。因此，在 IC（尤其是 CMOS）設計之初，就必需要在 IC 晶片上設置有效的靜電放電防護電路與元件，從晶片本身提昇其對靜電放電之耐受能力：靜電放電箝制電路（ESD

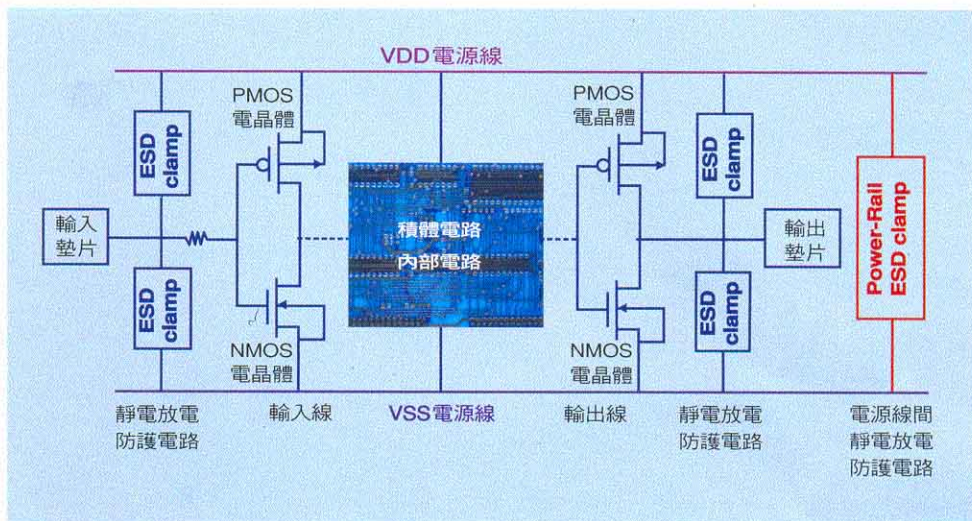
clamp，參見右圖）。

靜電放電箝制電路實際上的設計難度在於，如何在有限的晶片面積上，利用微小的電晶體元件來承受靜電放電瞬間的巨大放電電流。雖然 IC 設計已經發展出許多電腦輔助軟體來協助工程師完成複雜的電路設計，但靜電放電箝制電路因牽涉到元件二次崩潰的機制，現今並沒有可用的電腦輔助軟體來事先模擬，經常是憑藉經驗而為之、近乎藝術的工作。面對越來越昂貴的奈米製程與微影光罩成本，這是一個必須解決的技術問題，更是一個必須克服的營運成本問題。

IC 產業在台灣蓬勃發展，其 IC 製程已進入 0.18 微米的量產時代，0.13 微米的 IC 製程也已經在試產中。IC 的電晶體元件在深次微米的製程下，除了要減少其寄生的雜散電容與電阻之外，還要提昇深次微米金屬氧化物半導體（MOS）元件集積度、可靠度、與運算速度的製程技術，因而面臨了上述同樣的課題。歐美日等先進工業國家為確保電子產品不受 ESD 損壞，紛紛訂定嚴苛的測試標準與耐受度規格，輸往美國要通過 2000 伏特的人體放電模式（Human-Body Model），以及 1000 伏特的元件充電模式（Charged-Device Model）ESD 測試，輸往日本則要通 200 伏特的機器放電模式



積體電路產品對於靜電放電十分敏感，尤其在電子元件越做越小的時候，一遇上靜電便會損壞。這包括從外部而來的人體靜電放電（左圖），和從元件內部因為充電而產生的靜電放電（右圖）。



積體電路晶片上設置靜電放電箝制電路（ESD clamp）之示意圖

（Machine Model）ESD 測試，輸往歐洲則有 8~15KV 系統規格（System-level）的 ESD 測試要求。如此看來，要提昇台灣 IC 產品的世界競爭力，IC 產品的 ESD 規格和 ESD 防護能力就必需符合國際水準，而 ESD 防護能力也已經成為價格競爭的關鍵之一。國內 IC 廠商以及工研院就曾發生過 IC 產品的 ESD 防護能力不足，而喪失市場競爭力。

有鑑於這個問題日漸嚴重，國內在產業界與工研院靜電放電防護相關技術工作人員的推動之下，終於在 90 年 11 月成立了「中華民國靜電放電防護工程學會」，希望能夠藉此培養電子與半導體產業方面的技術與人才，協助提昇台灣電子與半導體產業的產品品質與可靠度（學會網址為：<http://www.t-csda.org/>）。另一方面，國內外各大知名學校與研究單位在積體電路之靜電放電防護技術方面，亦缺乏此類專業課程。因此，交通大學電子研究所特別開設了「積體電路之靜電放電防護設計特論」這門課程，期望能夠培育具有這類專業知識與技術的研究生，為台灣 IC 產業打造出靜電防護的金鐘罩。

SA

柯明道 交通大學電子研究所副教授，中華民國靜電放電防護工程學會理事長。已發表 IC 靜電放電防護技術相關論文 150 餘篇，擁有國內外技術專利 110 餘件。