



19 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

12 **Offenlegungsschrift**  
10 **DE 195 18 549 A 1**

51 Int. Cl.<sup>6</sup>:  
**H 01 L 23/60**  
H 01 L 27/088  
H 01 L 29/74

21 Aktenzeichen: 195 18 549.8  
22 Anmeldetag: 19. 5. 95  
43 Offenlegungstag: 10. 10. 96

DE 195 18 549 A 1

30 Unionspriorität: 32 33 31  
06.04.95 US 08/419,650

71 Anmelder:  
Industrial Technology Research Institute, Chutung,  
Hsinchu, TW

74 Vertreter:  
Grünecker, Kinkeldey, Stockmair & Schwanhäusser,  
Anwaltssozietät, 80538 München

72 Erfinder:  
Kez, Ming-Dou, Kvei-Jen, TW; Wu, Jain-Shun,  
Miou-Lee, TW

56 Entgegenhaltungen:  
US 51 82 220

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Chipinterne CMOS-ESE-Schutzschaltung mit vier Thyristoren mit Niederspannungstriggerung

57 Eine chipinterne ESE-Schutzschaltung, die in einer integrierten Schaltung in Submikron-CMOS-Technologie Anwendung findet. Sie schafft einen hohen ESE-Ausfallschwellenwert bei kleiner Layoutfläche und schützt die Eingangsstufe des CMOS-IC vor einem ESE-Ausfall. Sie umfaßt vier Niederspannungstriggerungs-Thyristoren. Diese sind gebildet durch Einfügen einer Kurzkanal-Dünnoxid-PMOS-Vorrichtung bzw. einer Kurzkanal-Dünnoxid-NMOS-Vorrichtung in die Seitenzweig-Thyristor-Struktur. Diese MOS-Vorrichtungen werden dazu verwendet, die Einschaltspannung des Seitenzweig-Thyristors unter die Gateoxid-Durchbruchspannung der CMOS-Bauelemente in der Eingangsstufe zu reduzieren. Diese vier Niederspannungstriggerungs-Thyristoren schaffen daher einen vollständigen ESE-Schutz ohne zusätzliche sekundäre ESE-Schutzelemente. Die vier ESE-Modi, nämlich PS, NS, PD und ND werden in einer 1:1-Zuordnung durch jeweils einen der vier Niederspannungstriggerungs-Thyristoren geschützt.

DE 195 18 549 A 1