

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-288403

(43)公開日 平成8年(1996)11月1日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8238		H 0 1 L 27/08	3 2 1 H
	27/092		H 0 3 K 19/003	Z
	27/04		H 0 1 L 27/04	H
	21/822		27/08	1 0 2 F
	21/8234		29/74	G
審査請求 有 請求項の数14 O L (全 22 頁) 最終頁に続く				

(21)出願番号 特願平7-291548

(22)出願日 平成7年(1995)11月9日

(31)優先権主張番号 4 1 9 6 5 0

(32)優先日 1995年4月6日

(33)優先権主張国 米国 (U S)

(71)出願人 390023582

財団法人工業技術研究院

台湾新竹縣竹東鎮中興路四段195號

(72)発明者 柯 明 道

台湾台南縣歸仁鄉西▲ほ▼村大▲ほ▼11號

(72)発明者 吳 添 祥

台湾苗栗縣後龍鎮北龍里3鄰104號

(74)代理人 弁理士 伊東 忠彦 (外1名)

(54)【発明の名称】 低電圧トリガーシリコン制御整流器を使用したCMOS静電放電保護回路

(57)【要約】

【課題】 比較的小さな占有面積で相対的に高いESD防護能力を提供し、サブミクロンCMOS IC中の入力装置を保護するサブミクロン相補式酸化金属半導体(CMOS)集積回路(IC)チップ上の静電放電(Electrostatic Discharge, ESD)防護回路を提供する。

【解決手段】 このESD防護回路中には、四個の低電圧トリガーSCRが含まれ、そのうち2個のデバイスはラテラルSCRにチャネル長の短いPMOSデバイスを追加し、構成されている。他の2個のデバイスはラテラルSCRにチャネル長の短いNMOSデバイスを追加し、構成されている。四個の静電放電の電流経路を提供し、一対一で対応する形で静電放電をバイパスに流してCMOS IC入力装置の四種類の静電放電モードによる損壊を防止している。従って効果的に全面的にCMOS IC入力装置の保護が可能である。

