

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-162303

(43) 公開日 平成9年(1997)6月20日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	21/8238		H 0 1 L 27/08	3 2 1 H
	27/092		27/04	H
	27/04		29/78	3 0 1 K
	21/822			
	29/78			

審査請求 有 請求項の数24 O L (全 16 頁)

(21) 出願番号 特願平7-318394

(22) 出願日 平成7年(1995)12月6日

(71) 出願人 390023582

財団法人工業技術研究院

台湾新竹縣竹東鎮中興路四段195號

(72) 発明者 柯 明 道

台湾台南縣歸仁鄉西▲ほ▼村大▲ほ▼11號

(72) 発明者 吳 添 祥

台湾苗栗縣後龍鎮北龍里3鄰104號

(74) 代理人 弁理士 伊東 忠彦 (外1名)

(54) 【発明の名称】 ゲート結合SCR構造を有するESD保護回路

(57) 【要約】 (修正有)

【課題】小さなレイアウト領域で、サブミクロンCMOS ICの入力段を静電気放電(ESD)誤動作に対して効果的に保護する。

【解決手段】薄い酸化物を用いた短チャンネルのPMOSとNMOSのデバイスP1とN1をラテラルSCR構造に挿入したPTLSCRとNTLSCRを採用して、これらのラテラルSCRデバイスのオン電圧をP1とN1デバイスのスナップバック降伏電圧まで減少させる。ゲート結合技術はサブミクロンCMOS IC入力段のより薄いゲート酸化物を完全に保護するように、前記の両ラテラルSCRのトリガーオン電圧を更に低下させる。また結合コンデンサC_p、C_n及び薄い酸化物を用いた長チャンネルのPMOSとNMOSのデバイスP2とN2はラテラルSCRのトリガーオン電圧を更に低下させるのに役立ち、寄生ダイオードD1、D2は付加的なESD保護効果を提供する。

